



Électronique Analogique Intégrée

Traitement et Propagation des Signaux Physiques

Travaux dirigés et travaux pratiques

CC 1A, AST 1A & AST 2A — 2006-2007

Patricia Desgreys

Patrick Loumeau

Jean-François Naviner

Van Tam Nguyen

Hervé Petit

Jean Provost

Direction de la Formation

Département Communications et Électronique

École Nationale Supérieure des Télécommunications

Table des matières

Informations pratiques	5
1 Travaux Dirigés : Transistor MOS	7
2 Travaux Dirigés : Amplification	13
3 Travaux dirigés : Echantillonneur-bloqueur	21
4 Travaux dirigés : Application du traitement du signal analogique en temps continu et en temps discret	25
5 Travaux dirigés : Application des capacités commutées	29
6 Travaux dirigés : Filtrage	33
7 Travaux dirigés : Conversion incrémentale	37
8 Travaux dirigés : Modem ADSL	39
9 Travaux Pratiques : Amplification	43
10 Travaux pratiques : Boucle à verrouillage de phase	53
11 Travaux pratiques : Modulation et démodulation d'amplitude	59

Informations pratiques

Programme des travaux dirigés

- La session 1 « Travaux Dirigés : Transistor MOS » est traitée dans le cadre de ce module pour les AST-2A et dans le cadre du module Semiconducteurs (SC) pour les CC-1A et AST-1A.

Corrigés des travaux dirigés

Les textes des travaux dirigés sont disponibles sur l'intranet de l'Ecole à l'adresse :

<http://www.comelec.enst.fr/tpsp/eai/pdf/EALtdtp.pdf>

Les corrigés sont mis successivement à dispositions à partir de la page :

http://www.comelec.enst.fr/tpsp/eai/poly_tntp/corriges/

au cours de l'avancement du module.

Correspondance de numérotation des travaux dirigés

Le tableau ci-dessous résume les correspondances de numérotation des chapitres de ce polycopié avec les sessions dispensées.

Chapitre	Intitulé	Session CC & AST 1A	Session AST 2A
1	Travaux Dirigés : Transistor MOS	SC	
2	Travaux Dirigés : Amplification	1	1
3	Travaux dirigés : Echantillonneur-bloqueur	2	
4	Travaux dirigés : Application du traitement du signal analogique en temps continu et en temps discret	3	2
5	Travaux dirigés : Application des capacités commutées	4	3
6	Travaux dirigés : Filtrage	5	4
7	Travaux dirigés : Conversion incrémentale	6	5
8	Travaux dirigés : Modem ADSL	7	6
9	Travaux Pratiques : Amplification	TP1	TP1
10	Travaux pratiques : Boucle à verrouillage de phase	TP2	TP2
11	Travaux pratiques : Modulation et démodulation d'amplitude	TP3	TP3

TAB. 1 – Correspondances de numérotation des chapitres et leçons

Chapitre 1

Travaux Dirigés : Transistor MOS

1.1 Introduction

1.1.1 Objectifs de l'étude

Nous allons nous intéresser à la modélisation du courant de sortie I_{ds} du transistor NMOS en nous appuyant sur des notions d'électricité telles que l'effet condensateur, l'intensité et la densité du courant de conduction dans un semi conducteur. Nous verrons comment adapter ce modèle aux différents types d'utilisation du MOS. Enfin nous ferons quelques calculs numériques afin d'appréhender les ordres de grandeurs d'une technologie récente (CMOS $0,25\mu m$ sur Silicium) de circuits intégrés.

1.1.2 Préliminaires

L'étude s'appuie sur les notions, les notations et les ordres de grandeur vus dans la leçon "du Silicium au transistor". Elle concerne le transistor MOS à canal N en régime de forte inversion ($V_{GS} > V_T$). Le courant I_{ds} est alors essentiellement un courant de conduction.

Il est également possible d'utiliser le transistor MOS en régime de faible inversion ($V_{GS} \leq V_T$). La charge d'inversion est alors très faible et le courant I_{ds} est essentiellement un courant de diffusion. Ce mode de fonctionnement ne sera pas envisagé dans la suite et nous supposons le courant du MOS négligeable en faible inversion : $V_{GS} \leq V_T \Rightarrow I_{ds} \approx 0$.

1.2 Courant drain Source

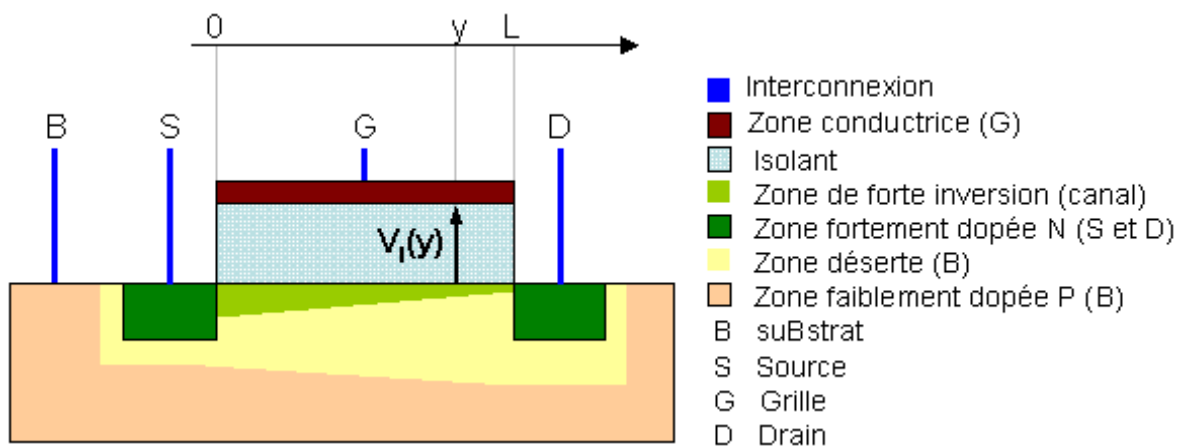


FIG. 1.1 – coupe technologique du transistor NMOS

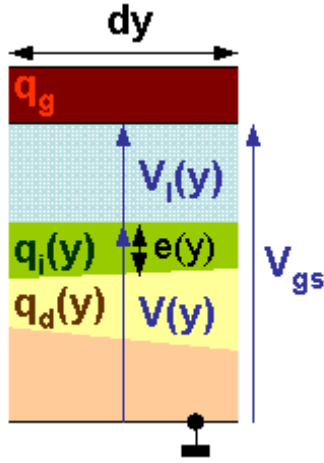


FIG. 1.2 – section du condensateur MOS élémentaire $c_{GB}(y)$

Nous utilisons le schéma de la figure 1.1 représentant la coupe technologique d'un transistor NMOS :

- longueur de grille : L ,
- largeur de grille : W ,
- capacité surfacique de l'isolant de grille : C'_{ox} ,
- tension de seuil : à $V_{BS} = 0V$: V_{T0} , à $V_{BS} > 0V$: $V_T > V_{T0}$,
- régime de forte inversion : $V_{GB} > V_T$,
- régime quadratique : $V_{DS} < V_{EG} = V_{GS} - V_T$.

Nous définissons un axe longitudinal $0y$ tel que :

- au droit de la source : $y_s = 0$,
- au droit du drain : $y_D = L$.

Nous considérons une section élémentaire $c_{GB}(y)$ de la capacité MOS C_{GB} en y , entre Source et Drain ($0 \leq y \leq L$), et nous définissons (figure 1.2) :

- longueur de la section élémentaire : dy ,
- épaisseur du canal (zone d'inversion) en y : $e(y)$,
régime quadratique : $0 \leq y \leq L \Rightarrow e(y) > 0$,
- potentiel du substrat : $V_B = 0V$,
- potentiel de la source : $V_S = 0V$,
- potentiel de l'interface Isolant Substrat en y : $V(y)$,
- potentiel aux bornes de l'isolant en y : $V_I(y)$,
- densité surfacique des charges libres de Grille en y : $q_g(y)$,
- densité surfacique des charges libres d'inversion en y : $q_i(y)$,
- densité surfacique des charges fixes de désertion en y : $q_d(y)$,
- mobilité des charges libres d'inversion dans le canal : μ_{0N}
- densité du courant I_{ds} en y : $J(y)$,
- champ électrique longitudinal en y , dû à $V(y)$: $E(y)$.

Nous utilisons le modèle simplifié de la forte inversion :

- l'intensité du courant I_{ds} est constante $\forall y$,
- la charge de désertion Q_d est maximale et constante en fonction de V_{GB} ,
- densité volumique des charges libres d'inversion est constante : n ,
- la densité surfacique des charges libres d'inversion en y est modélisée par l'équation :
 $q_i(y) = -C'_{ox}(V_{GB} - V(y) - V_T)$

Question 1.2.1 Expliquer qualitativement ce modèle puis exprimer cette même densité surfacique d'électrons en fonction de leur densité volumique et de l'épaisseur du canal.

Question 1.2.2 Expliquer comment évoluent $V(y)$, $V_I(y)$ et $e(y)$ pour $0 \leq y \leq L$. Pour quelle valeur de $V(y = L)$, V_{GS} étant donné, avons nous pincement ($e(y = L) = 0$)? En déduire la valeur de V_{DS} au pincement.

Question 1.2.3 À partir de ce qui précède élaborer l'expression du courant I_{ds} en fonction des paramètres technologiques (μ_{0N} , C'_{ox} et V_{T0}), des dimensions (W et L) et des tensions appliquées au transistor (V_{GS} et V_{DS}).

L'expression obtenue n'est valable qu'en régime de forte inversion ($V_{GB} > V_T$) et régime quadratique ($V_{DS} < V_{DS_{sat}}$). Au pincement ($V_{DS} = V_{DS_{sat}}$) nous obtenons $I_{ds} = I_{ds_{sat}}$:

$$I_{ds_{sat}} = \frac{\mu_{0N} C'_{ox} W}{2 L} (V_{GS} - V_T)^2 \quad (1.1)$$

Souvent les fondeurs de circuits fournissent le paramètre technologique appelé le facteur de transconductance : $k_N = \mu_{0N} C'_{ox}$.

Pour simplifier l'écriture nous utilisons le paramètre propre au transistor, puisqu'il contient ses dimensions, le coefficient de conduction : $K_N = \frac{\mu_{0N} C'_{ox} W}{2 L} = \frac{k_N W}{2 L}$.

Enfin la tension effective de grille est souvent utilisée : $V_{EG} = V_{GS} - V_T$

Ainsi l'équation du courant de saturation peut-elle s'écrire :

$$I_{ds_{sat}} = \frac{k_N W}{2 L} (V_{GS} - V_T)^2 = K_N (V_{GS} - V_T)^2 = K_N V_{EG}^2 \quad (1.2)$$

Au delà du pincement ($V_{DS} > V_{DS_{sat}}$) et pour un V_{GS} constant, la mesure du courant nous permet de constater une légère augmentation linéaire en fonction de la variation de V_{DS} . La modélisation de ce phénomène, appelé l'effet Early (du nom de l'inventeur du modèle) est complexe et nous nous contenterons du modèle comportemental utilisant le coefficient de modulation de longueur de canal λ_N :

$$I_{ds} = I_{ds_{sat}} \left(1 + \lambda_N (V_{DS} - V_{DS_{sat}}) \right) \quad (1.3)$$

Avec $V_{DS} \gg V_{DS_{sat}}$ nous simplifions encore :

$$I_{ds} = I_{ds_{sat}} (1 + \lambda_N V_{DS}) \quad (1.4)$$

Pour tenir compte de l'effet de la longueur de grille sur λ , il est fréquent d'utiliser la tension d'Early V_{E_N} :

$$\lambda_N = \frac{1}{V_{E_N} L} \quad (1.5)$$

Nous allons élaborer le graphe de $I_{ds} = f(V_{DS}, V_{GS})$ en utilisant les paramètres du tableau 2.1.

Question 1.2.4 Quel est le lieu des points de pincement $P(I_{ds_{sat}}, V_{DS_{sat}})$ dans le plan I_{ds}, V_{DS} lorsque V_{GS} varie? Tracer ce lieu en calculant 5 de ces points pour les valeurs du tableau 1.2.

paramètre	symbole	NMOS
tension d'alimentation	V_{DD}	+2,5V
longueur de grille	L	1 μm
largeur de grille	W	5 μm
tension de seuil à $V_{BS} = 0$	V_{T0N}	+0,4V
facteur de transconductance	k_N	200 $\mu A \cdot V^{-2}$
tension d'Early	V_{EN}	10MV $\cdot m^{-1}$
coefficient d'effet de substrat	γ_N	0,5V $^{\frac{1}{2}}$
potentiel interne du substrat à l'inversion	Ψ_{B_N}	0,8V

TAB. 1.1 – paramètres d'une technologie CMOS 0,25 μm sur Silicium

V_{GS} en V	0,6	1	1,5	2	V_{DD}
$V_{DS_{sat}}$ en V					
$I_{ds_{sat}}$ en mA					

TAB. 1.2 – Valeurs de V_{GS}

1.3 Modèle linéaire du courant

Pour certaines applications, essentiellement la conception de circuits de traitement d'information analogique, celle-ci étant portée par la variation du signal, nous utilisons un modèle linéaire aussi appelé modèle petit signal. Le principe d'élaboration de ce modèle est d'assimiler un segment de caractéristique autour d'un point M_0 , au segment de la tangente en ce point. Si les variations autour de M_0 sont faibles (d'où le nom petit signal) la distance entre la courbe réelle et sa tangente, donc l'erreur d'approximation, reste faible.

Pour des raisons qui seront argumentées par ailleurs, le point M_0 doit être choisi dans le régime de forte inversion et de forte saturation où :

$$I_{ds_{sat}} = K_N (V_{GS} - V_T)^2 (1 + \lambda_N V_{DS})$$

La tension de seuil variant elle-même à cause de l'effet de substrat pour un NMOS :

$$V_{BS} < 0 \Rightarrow V_T > V_{T0} \text{ et } : V_T = V_{T0} + \gamma(\sqrt{\Psi_B - V_{BS}} - \sqrt{\Psi_B})$$

Avec les paramètres technologiques (voir le tableau 2.1) :

- le coefficient d'effet de substrat : γ en \sqrt{V} ,
- le potentiel interne du substrat à l'inversion : Ψ_B en V.

Ainsi le courant est une fonction de 3 variables de tension : $I_{ds} = f(V_{GS}, V_{DS}, V_{BS})$ (figure 1.3). Ces tensions ont :

- une composante statique (aussi appelée continue), c'est à dire constante, notée en majuscules avec un indice 0 : V_{GS_0} ,
- une composante variable (aussi appelée petit signal) notée en minuscules : v_{gs} .

Nous obtenons : $V_{GS} = V_{GS_0} + v_{gs}$. En régime sinusoïdal par exemple, nous avons : $v_{gs} = a \cdot \sin(\omega t)$.

Le point de fonctionnement, ou point de polarisation, M_0 a les coordonnées : $M_0(I_{DS_0}, V_{DS_0}, V_{GS_0}, V_{BS_0})$. Ainsi que le note la figure 1.3 et le tableau 1.3 toutes les tensions sont référencées à la source qui est elle même à la masse.

Question 1.3.1 Calculer la tension statique effective de grille (V_{EG0}), la tension de pincement et vérifier que le transistor est en saturation.

Question 1.3.2 Exprimer la différentielle totale de l'intensité du courant I_{ds} en M_0

V_{S_0} en V	0
V_{GS_0} en V	+0,72V
V_{DS_0} en V	$\frac{V_{DD}}{2} = +1,25V$
V_{BS_0} en V	-0,5V
V_T en V	+0,52V
I_{ds_0} en μA	22

TAB. 1.3 – Les coordonnées du point de fonctionnement M_0

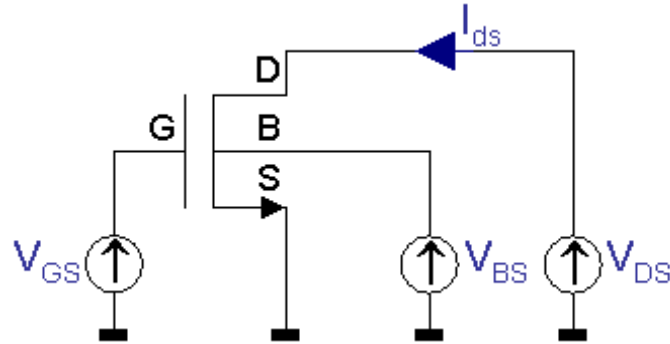


FIG. 1.3 – tensions du transistor NMOS

L'amplitude des sources "petit signal" est suffisamment faible pour pouvoir assimiler la différentielle et l'accroissement (c'est ce qui justifie leur nom) :

$$dV_{GS} = v_{gs}, \quad dV_{DS} = v_{ds}, \quad dV_{BS} = v_{bs}, \quad \text{et} \quad dI_{DS} = i_{ds}$$

Nous exprimons les variations du courant sous la forme suivante :

$$i_{ds} = g_m \cdot v_{gs} + g_{mb} \cdot v_{bs} + g_{ds} \cdot v_{ds}$$

Question 1.3.3 Dédure de cette équation le schéma du modèle linéaire (petit signal) du transistor MOS.

Question 1.3.4 Élaborer les expressions de g_m , g_{mb} , g_{ds} et calculer leur valeur à l'aide du tableau 1.3.

Chapitre 2

Travaux Dirigés : Amplification

2.1 Introduction

Nous envisageons ici l'étude de montages simples destinés à l'intégration monolithique en technologie Silicium sub-micronique CMOS. Ces montages constituent, en général, les premiers étages d'une chaîne de traitement du signal, où l'amplitude de la tension de ce dernier est trop proche de celle du bruit électrique pour être traitée directement (filtrage, conversion...)

Les critères de performances de ces montages sont essentiellement le gain et la bande passante.

2.2 Plan d'étude

Pour chaque montage nous devrions suivre le plan d'étude exposé en leçon :

- Analyse **grand signal** afin d'obtenir la caractéristique de transfert $V_s = f(V_e)$, le taux de distorsion et le positionnement du point de polarisation M_0 ,
- Analyse **statique** ou en continu, afin d'obtenir les coordonnées (I_{ds_0} , V_{ds_0} , V_{gs_0} et V_{bs_0}) du point de polarisation M_0 identifié plus haut, et de vérifier qu'ainsi le transistor est bien en régime saturé et l'amplificateur en classe A,
- Analyse **linéaire** ou en petit signal, obtenue à partir des caractéristiques grand signal, linéarisées au point de fonctionnement :
 - Modélisation petit signal du transistor (g_m , g_{mb} et g_{ds}),
 - Modélisation du circuit afin d'obtenir le gain en tension Gv_0 , la résistance d'entrée R_e , et la résistance de sortie R_s du montage,
- Analyse **harmonique** ou dynamique, pour laquelle nous utilisons le modèle linéaire auquel nous ajoutons les capacités du transistor et du montage afin d'obtenir la bande passante (domaine fréquentiel) du montage : $Gv(jf) = Gv_0 \cdot F(jf)$.

2.3 Technologie utilisée

Les transistors sont construits dans la technologie "CMOS 0,25 μm " sur Silicium présentée dans le tableau 2.1.

2.4 Paramètres des transistors

2.5 NMOS Source commune + charge PMOS

Le montage de la figure 2.1 représente un amplificateur CMOS constitué d'un transistor NMOS N_1 monté en source commune, d'une charge active PMOS P_2 montée en miroir de courant avec le PMOS P_3 .

paramètre	symbole	NMOS	PMOS
tension d'alimentation	V_{DD}	+2,5 V	
capacité surfacique de l'isolant de grille	C'_{ox}	$6 fF \cdot \mu m^{-2}$	
longueur minimale de grille	Lmin	$0,25 \mu m$	
largeur minimale de grille	Wmin	$0,75 \mu m$	
longueur de jonction	Lj	$0,85 \mu m$	
longueur de débordement	L_D	100nm	
tension de seuil à $V_{bs}=0$	V_{T0}	+0,4V	-0,6V
facteur de transconductance	$k = \mu_0 \cdot C'_{ox}$	$200 \mu A \cdot V^{-2}$	$70 \mu A \cdot V^{-2}$
tension d'Early	V_E	$10 MV \cdot m^{-1}$	$25 MV \cdot m^{-1}$
capacité surfacique de jonction	C'_{j0}	$1,7 fF \cdot \mu m^{-2}$	$1,9 fF \cdot \mu m^{-2}$

TAB. 2.1 – paramètres de la technologie $0,25 \mu m$

paramètre	symbole	NMOS	PMOS
longueur de grille	L	$1 \mu m$	
tension statique de sortie (classe A)	V_{s0}	$\frac{1}{2} V_{DD}$	
intensité du courant de polarisation	I_{DS0}	+100 μA	-100 μA
tension statique effective de grille	V_{EG0}	+0,2V	-0,2V

TAB. 2.2 – paramètres des transistors

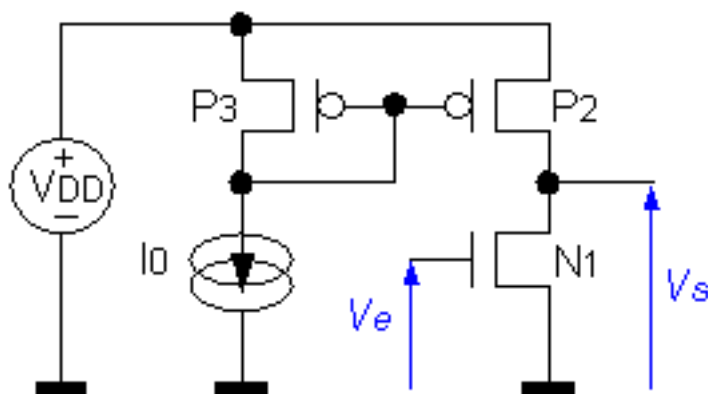


FIG. 2.1 – Schéma de l'amplificateur CMOS

2.5.1 Analyse grand signal

Question 2.5.1

2.5.2 Analyse statique

La source de courant indépendante fournit une intensité continue $I_0 = 0,1\text{mA}$. Les transistors respectent les paramètres du tableau 9.7. Nous négligeons l'effet Early.

Question 2.5.2 Montrer que les 3 transistors sont en régime saturé.

Question 2.5.3 Déterminer la largeur des 3 transistors. Application numérique (AN).

Question 2.5.4 Déterminer la valeur de la composante continue V_{E0} de V_e pour obtenir la polarisation requise. AN.

2.5.3 Analyse linéaire

Nous prenons en compte l'effet Early.

Question 2.5.5 Élaborer le modèle linéaire de l'amplificateur de la figure 2.1.

Question 2.5.6 Rappeler l'expression des paramètres linéaires du transistor MOS, et calculer la valeur (AN) des paramètres utiles dans le modèle linéaire défini plus haut.

Question 2.5.7 Établir l'expression du gain en tension linéaire de l'amplificateur. AN.

2.5.4 Analyse harmonique

Question 2.5.8 Identifier et exprimer la valeur des capacités entrant dans le modèle harmonique de l'amplificateur. AN.

Question 2.5.9 Élaborer le modèle harmonique de l'amplificateur de la figure 2.1.

Question 2.5.10 Établir l'expression du gain en tension harmonique de l'amplificateur et calculer la valeur des fréquences caractéristiques du module de ce gain. AN.

2.6 Amplificateur différentiel (hors programme)

Le montage de la figure 2.2 représente un amplificateur différentiel CMOS. Les transistors sont construits à l'aide de la technologie présentée dans le tableau 2.1.

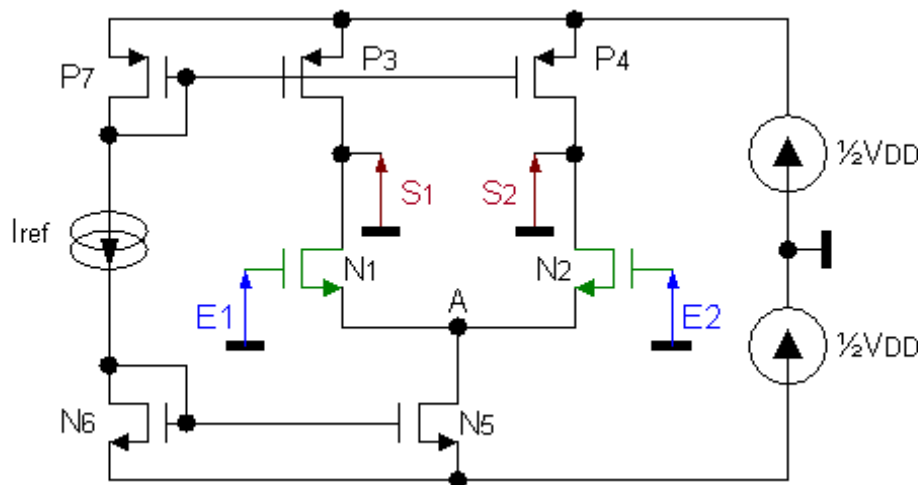


FIG. 2.2 – amplificateur différentiel CMOS

2.6.1 Paramètres des transistors

paramètre	symbole	NMOS	PMOS
longueur de grille	L	$1\mu m$	
intensité du courant de polarisation	I_{DS0}	$+100\mu A$	$-100\mu A$
tension statique effective de grille	V_{EG0}	$+0,2V$	$-0,2V$

TAB. 2.3 – paramètres des transistors

Les transistors respectent les paramètres du tableau 2.3. Les transistors N_1 , P_3 et P_7 de la figure 2.2 sont identiques aux transistors N_1 , P_2 et P_3 , respectivement, de la figure 2.1. Dans le montage de la figure 2.2, N_1 et N_2 sont identiques entre eux, de même P_3 et P_4 . Nous supposons que tous les transistors sont en régime saturé.

2.6.2 Analyse statique

La source de courant indépendante fournit une intensité continue $I_{ref} = 0,1mA$. Nous rappelons qu'au repos : $E_1 = E_2 = 0V$. Nous négligeons l'effet Early.

Question 2.6.1 Dimensionner les transistors P_7 , N_6 et N_5 . AN.

Par ailleurs l'analyse statique nous permet de déterminer la tension $V_A = 1,95V$ du point commun des sources de la paire différentielle et la tension Source-suBstrat de ces transistors (N_1 et N_2) $V_{BS0} = -0,55V$. Ainsi nous pouvons déterminer coefficient d'effet de substrat linéaire $\chi = +0,17$ (rappel : $g_{mb} = g_m \cdot \chi$).

2.6.3 Analyse linéaire

En régime linéaire nous prenons en compte l'effet Early et nous utilisons les définitions suivantes pour l'amplificateur différentiel :

- tension différentielle d'entrée : $v_{ed} = e_1 - e_2$
- tension différentielle de sortie : $v_{sd} = s_1 - s_2$
- gain différentiel en tension : $A_d = \frac{v_{sd}}{v_{ed}}$
- tension de mode commun d'entrée : $v_{ec} = \frac{1}{2}(e_1 + e_2)$
- tension de mode commun de sortie : $v_{sc} = \frac{1}{2}(s_1 + s_2)$
- gain de mode commun en tension : $A_c = \frac{v_{sc}}{v_{ec}}$
- et nous obtenons les tensions de sortie dissymétriques :

$$s_1 = +A_c \cdot v_{ec} + \frac{1}{2} A_d \cdot v_{ed}$$

$$s_2 = +A_c \cdot v_{ec} - \frac{1}{2} A_d \cdot v_{ed}$$

Question 2.6.2 Identifier les transistors qui interviennent dans le modèle linéaire, c'est à dire les transistors qui ont au moins une de leurs tensions petit signal (v_{gs} , v_{ds} , v_{bs}) non nulle, puis pour chacun d'eux identifier les éléments pertinents du modèle linéaire.

Question 2.6.3 Élaborer le modèle linéaire de l'amplificateur différentiel.

Question 2.6.4 Établir l'expression du gain linéaire A_d . AN.

Question 2.6.5 Établir l'expression du gain linéaire A_c . AN.

2.7 Annexe : Modélisation du transistor MOS

2.7.1 Modèles statique et grand signal

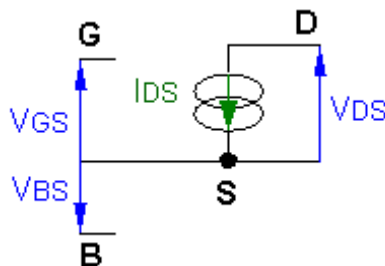


FIG. 2.3 – Schéma modèle statique et grand signal du MOS

- $K_n = \frac{\mu_{0n} \cdot C'_{ox}}{2} \cdot \frac{W_n}{L_n} = \frac{kn}{2} \cdot \frac{W_n}{L_n}$ et $K_p = \frac{\mu_{0p} \cdot C'_{ox}}{2} \cdot \frac{W_p}{L_p} = \frac{kp}{2} \cdot \frac{W_p}{L_p}$
- $V_{ds_{sat}} = V_{GS} - V_T = V_{EG}$
- $\lambda_n \approx \frac{1}{V_{En} \cdot L_n}$ et $\lambda_p \approx \frac{1}{V_{Ep} \cdot L_p}$

Équations du transistor NMOS		
régime	conditions	courant Ids
bloqué	$V_{gs} \leq V_{Tn}$	$I_{ds} = 0$
ohmique	$V_{gs} > V_{Tn}$	$V_{ds} \rightarrow 0$ $I_{ds} = 2 K_n (V_{gs} - V_{Tn}) V_{ds}$
quadratique		$V_{ds} < V_{ds_{sat}}$ $I_{ds} = 2 K_n (V_{gs} - V_{Tn} - \frac{V_{ds}}{2}) V_{ds}$
pincement		$V_{ds} = V_{ds_{sat}}$ $I_{ds_{sat}} = K_n (V_{gs} - V_{Tn})^2$
saturation		$V_{ds} > V_{ds_{sat}}$ $I_{ds} = I_{ds_{sat}} (1 + \lambda_n (V_{ds} - V_{ds_{sat}}))$
effet de substrat		$V_{bs_n} < 0$ $V_{Tn} = V_{T0n} + f(V_{bs_n})$
Équations du transistor PMOS		
régime	conditions	courant Ids
bloqué	$V_{gs} \geq V_{Tp}$	$I_{ds} = 0$
ohmique	$V_{gs} < V_{Tp}$	$V_{ds} \rightarrow 0$ $I_{ds} = -2 K_p (V_{gs} - V_{Tp}) V_{ds}$
quadratique		$V_{ds} > V_{ds_{sat}}$ $I_{ds} = -2 K_p (V_{gs} - V_{Tp} - \frac{V_{ds}}{2}) V_{ds}$
pincement		$V_{ds} = V_{ds_{sat}}$ $I_{ds_{sat}} = -K_p (V_{gs} - V_{Tp})^2$
saturation		$V_{ds} < V_{ds_{sat}}$ $I_{ds} = I_{ds_{sat}} (1 - \lambda_p (V_{ds} - V_{ds_{sat}}))$
effet de substrat		$V_{bs_p} > 0$ $V_{Tp} = V_{T0p} - f(V_{bs_p})$

TAB. 2.4 – Équations des transistors MOS (figure 2.3)

2.7.2 Modèle linéaire

2.7.3 Modèle harmonique

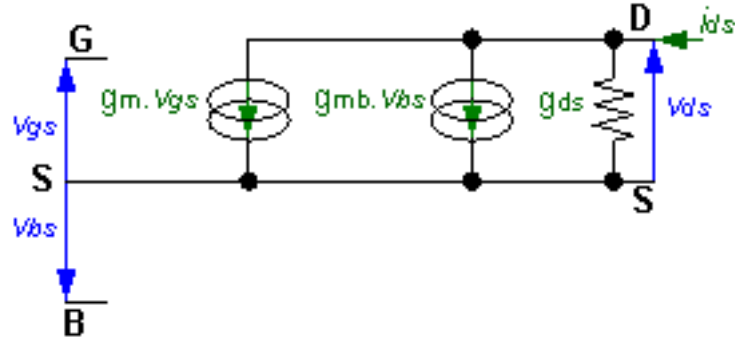


FIG. 2.4 – Schéma du modèle linéaire du MOS

élément	valeur
transconductance	$g_m = \frac{2 \cdot I_{DS0}}{V_{EG0}} = 2\sqrt{K \cdot I_{DS0} } = 2 \cdot K \cdot V_{EG0} $
conductance de sortie	$g_{ds} = \frac{\lambda \cdot I_{DS0} }{1 + \lambda \cdot V_{DS0} - V_{EG0} } \approx \lambda \cdot I_{DS0} \approx \frac{ I_{DS0} }{L \cdot V_E}$
transconductance d'effet de substrat	$g_{mb} = g_m \cdot \chi$ avec $\chi = f(V_{BS0})$
gain intrinsèque	$av = \frac{g_m}{g_{ds}} \approx \frac{2 \cdot L \cdot V_E}{ V_{EG0} }$

TAB. 2.5 – Équations du modèle linéaire du MOS (figure 2.4)

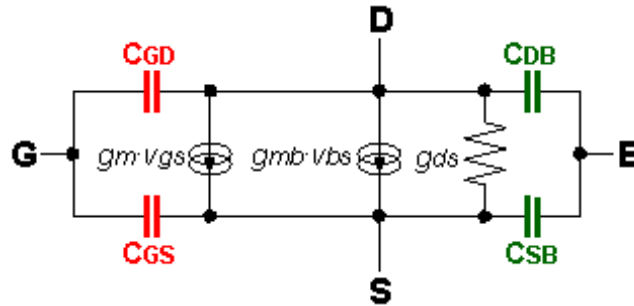


FIG. 2.5 – Schéma du modèle harmonique du MOS

élément	valeur
capacités dues à l'isolant de grille	$C_{GD} = C'_{ox} \cdot W \cdot L_D$
	$C_{GS} = C'_{ox} \cdot W \cdot \left(\frac{2}{3} \cdot L - \frac{1}{3} \cdot L_D\right)$
capacités dues aux jonctions (diodes)	$C_{SB} = C_{DB} = C'_{j0} \cdot W \cdot (L_j + L_D)$

TAB. 2.6 – Équations du modèle harmonique du MOS (figure 2.5)

Chapitre 3

Travaux dirigés : Echantillonneur-bloqueur

Les circuits échantillonneurs bloqueurs se trouvent à l'interface entre le monde analogique et les systèmes de traitement numérique de signal. Ils doivent être compatibles avec les performances de l'ensemble en terme de vitesse et de précision.

L'échantillonneur bloqueur est constitué au minimum :

- d'un interrupteur ;
- d'un élément de mémorisation.

L'interrupteur est réalisé à l'aide d'au moins un transistor et l'élément de mémorisation par une capacité.

3.1 Effet de la résistance de source

Nous supposons que les imperfections intrinsèques à l'échantillonneur bloqueur ont été réduites le plus possible. Nous allons dans cet exercice minimiser les erreurs introduites par son environnement. Une limitation importante est due à la valeur finie de l'impédance de la source qui fournit le signal et que nous supposons purement résistive pour simplifier l'étude (FIG. 3.1).

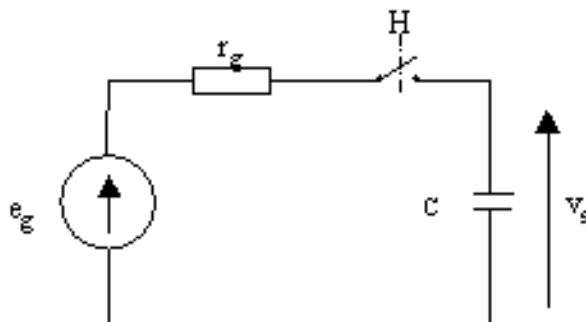


FIG. 3.1 –

On prendra $r_g = 10k\Omega$ et $C = 10pF$. On suppose le montage en phase d'échantillonnage ($H=1$). La capacité est initialement déchargée ($v_s=0$). On note $\varepsilon = e_g - v_s$ l'erreur d'échantillonnage et $\tau = r_g.C$ la constante de temps du circuit.

Question 3.1.1 Déterminer l'erreur d'échantillonnage en fonction du temps dans les deux cas suivants :

- le signal d'entrée est un échelon de tension : $e_g(t) = E_o.U(t)$,
 - le signal d'entrée est une rampe de tension : $e_g(t) = \alpha.t.U(t)$
- où $U(t) = 1$ pour $t > 0$ et $U(t) = 0$ si $t < 0$.

On applique un signal d'entrée sinusoïdal de période T_o et d'amplitude crête A et un signal d'horloge rectangulaire symétrique de période $T_h \ll T_o$ (FIG. 3.2).

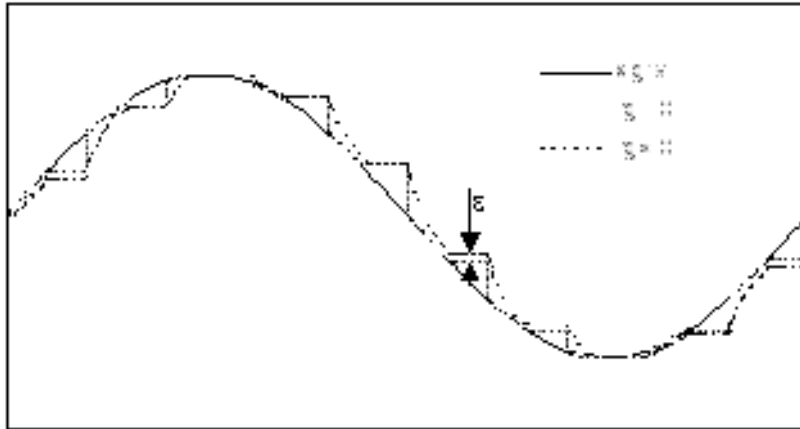


FIG. 3.2 –

Question 3.1.2 Calculer l'erreur maximale d'échantillonnage ε .

Question 3.1.3 Application numérique $T_h = 1\mu s$, $T_o = 10\mu s$, $r_{gg} 10k\Omega$, $C = 10pF$, $A = 1V$.

3.2 Utilisation d'un amplificateur

Afin de limiter l'erreur précédente, on insère entre le générateur et l'interrupteur un amplificateur (FIG. 3.3).

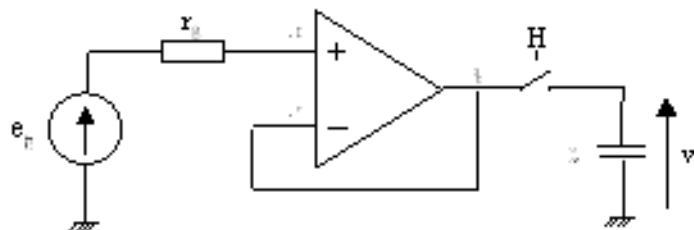


FIG. 3.3 –

L'amplificateur est modélisé par une source de courant contrôlée en tension $f(\varepsilon)$ (FIG. 3.4).

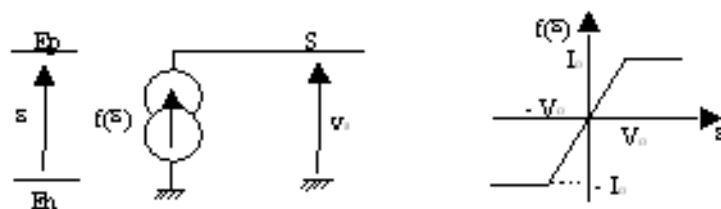


FIG. 3.4 –

Les paramètres de l'amplificateur sont $V_o = 0,1V$ et $I_o = 0,1mA$. La capacité C est fixée à $10pF$.

Question 3.2.1 Déterminer la réponse $v_s(t)$ à un échelon de tension d'amplitude 1V. Quelle est la pente maximale du signal de sortie ?

Question 3.2.2 Comparer (sans faire le calcul exact de la réponse) l'erreur d'échantillonnage à celle obtenue en 3.1.2 dans le cas d'un échelon de tension.

3.3 Module échantillonneur bloqueur

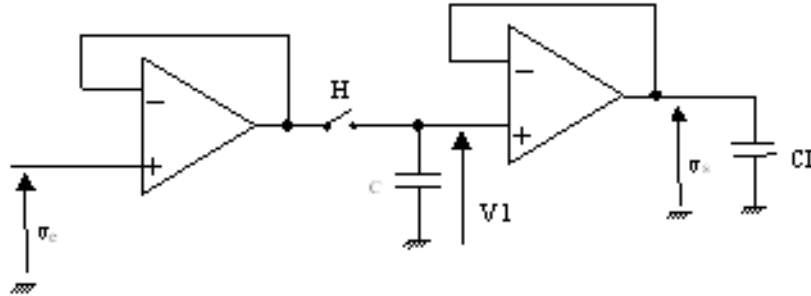


FIG. 3.5 –

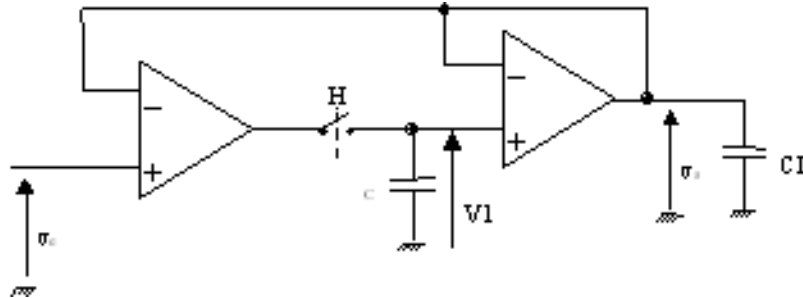


FIG. 3.6 –

La capacité CL (structure (a), FIG. 3.5 et structure (b), FIG. 3.6) représente la charge capacitive du circuit d'utilisation. Les deux amplificateurs sont identiques au montage de la FIG. 3.3 avec $f(\varepsilon) = Gm * \varepsilon$ (absence de saturation) et $Gm = 1mA/V$.

Question 3.3.1 Montrer que les deux systèmes vérifient une équation différentielle du deuxième ordre :

$$\tau^2 \frac{d^2 V_s(t)}{dt^2} + 2.m.\tau \frac{dV_s(t)}{dt} + V_s(t) = V_e(t)$$

Question 3.3.2 Calculer τ et m (coefficient d'amortissement) pour les structures (a) et (b).

On donne sur la FIG. 3.7 les réponses indicielles ($V_e(t) = E_o.U(t)$) pour un échelon de 1 V ($E_o = 1V$) et pour différentes valeurs de m d'un système linéaire du deuxième ordre.

On envisage deux cas possibles pour les capacités C et C_L :

1. $C = C_L$
2. $C = 2,5C_L$

Question 3.3.3 Dédire de la FIG. 3.7 la structure et le choix des capacités les plus favorables vis à vis du temps de réponse du système sachant que l'on tolère un dépassement de 2% au dessus de la valeur finale. Quelle est, dans ce cas, la durée minimale de la phase d'échantillonnage avec $C_L = 4pF$?

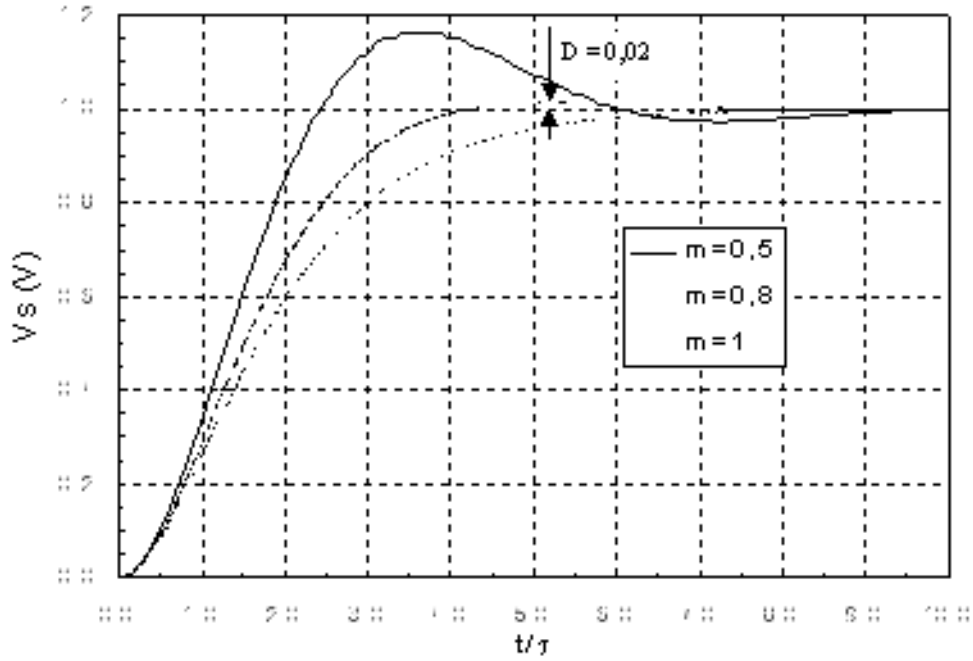


FIG. 3.7 –

Les amplificateurs ont, en fait, une conductance de sortie non nulle $G_d = 10^{-6}\Omega^{-1}$.

Question 3.3.4 Calculer l'erreur statique, introduite par cette conductance, sur le gain des structures (a) et (b) (on notera $A_o = G_m/G_d$). Comparer ces deux erreurs.

Question 3.3.5 Donner un schéma électrique possible en technologie CMOS de l'amplificateur.

Chapitre 4

Travaux dirigés : Application du traitement du signal analogique en temps continu et en temps discret

4.1 Application de la transformation de Laplace à la stabilité des amplificateurs opérationnels

L'amplificateur opérationnel de la FIG. 4.1 est réalisé à l'aide de transistors dont la bande passante est limitée. Ainsi l'amplificateur peut être décrit par la fonction de transfert :

$$T(p) = \frac{V_S}{\varepsilon} = \frac{A_0}{(1 + p/\omega_1) \cdot (1 + p/\omega_2)}$$

Dans cette expression, A_0 représente le gain en continu, ω_1 et ω_2 deux pôles dominants situés avant l'axe 0dB qui modélisent les pôles hautes fréquences de l'amplificateur et dépendent de la technologie.

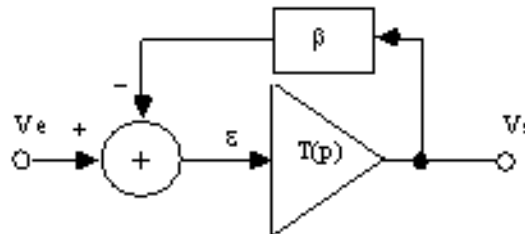


FIG. 4.1 –

Question 4.1.1 Quelle est la condition de stabilité du système bouclé ?

Généralement, la marge de phase est utilisée pour mesurer comment se situe un amplificateur opérationnel en boucle fermée par rapport à l'instabilité. En pratique, sur le tracé du gain en boucle ouverte, la courbe $\beta T(p)$ doit couper l'axe 0dB avec une pente proche de -20 dB par décade.

Le critère est sévère pour assurer :

1. la stabilité malgré la dispersion sur les fréquences de coupure ;
2. une réponse en BF correctement amortie.

Supposons, dans un premier temps, que $\beta=1$ pour étudier la stabilité de l'amplificateur bouclé. Nous étudions le circuit à des fréquences telles que $\omega \gg \omega_1$.

Question 4.1.2 A quelle fréquence $f_T \gg f_2$, le module du gain en boucle ouverte est égal à 1 ?

Question 4.1.3 En considérant à nouveau le pôle ω_2 , déterminer l'expression de la marge de phase en fonction de f_T . A. N. : $A_0 = 10^4$; $f_1 = 5MHz$; $f_2 = 500MHz$.

Question 4.1.4 Si $\beta \neq 1$, que devient l'expression de $f_{T0} = A_0 f_1$ en fonction de f_T ?

Question 4.1.5 Calculer la valeur de $1/\beta$ pour avoir une marge de phase PM de 75° .

Il en résulte que l'amplificateur de la FIG. 4.1 est conditionnellement stable, pour les fortes valeurs du gain bouclé $1/\beta$. En pratique, les valeurs de $1/\beta$ sont plus faibles (exemple montage suiveur $\beta=1$). Il est donc nécessaire d'utiliser une méthode de compensation.

Lorsque le critère de stabilité d'un amplificateur bouclé n'est pas rempli, plusieurs solutions permettent de "compenser" le montage pour le stabiliser. Une solution consiste à agir sur l'amplificateur lui-même par diminution de la première fréquence de coupure appelée compensation à un pôle.

Un pôle supplémentaire $\omega_c \ll \omega_1, \omega_2$ est introduit dans la fonction de transfert de l'amplificateur.

$$T(p) = \frac{V_S}{\varepsilon} = \frac{A_0}{(1 + p/\omega_c) \cdot (1 + p/\omega_1) \cdot (1 + p/\omega_2)}$$

et nous étudions le circuit à des fréquences telles que $\omega \ll \omega_2$.

Question 4.1.6 Calculer la valeur de f_c pour avoir une marge de phase PM de 75° pour $\beta = 1$.

Question 4.1.7 Comparer cette nouvelle fréquence de coupure à f_1 et justifier que cette méthode doit être réservée aux faibles valeurs de $1/\beta$.

Grâce à l'introduction de ce pôle dominant, le montage bouclé est inconditionnellement stable quelque soit la valeur de β réelle. Cette compensation peut être soit interne, soit externe par câblage d'une capacité entre les bornes de compensation.

1. Avantage : très simple à mettre en œuvre.
2. Inconvénient : bande passante de l'AO réduite même aux basses fréquences ; la vitesse de balayage diminue.

La facilité d'utilisation d'un amplificateur 'compensé intérieurement' se paie par le fait que la bande passante est réduite au maximum, même lorsque cela n'est pas nécessaire.

En revanche, une compensation externe est adaptable en fonction de la valeur de β .

4.2 Signal échantillonné

Soit le signal échantillonné selon la FIG. 4.2.

Question 4.2.1 Ecrire l'expression du signal $f^*(t)$ en fonction de la valeur des échantillons de $f(t)$ et du peigne de Dirac.

Question 4.2.2 Trouver la transformation de Laplace, puis la transformation en z de $f^*(t)$. En déduire la relation entre z et p . De cette relation, sachant que les pôles d'une fonction de transfert $T(p)$ doivent être dans le $1/2$ plan gauche de Laplace pour garantir la stabilité du système, en déduire la position des pôles d'une fonction de transfert $T(z)$ pour garantir également la stabilité du système en temps discret.

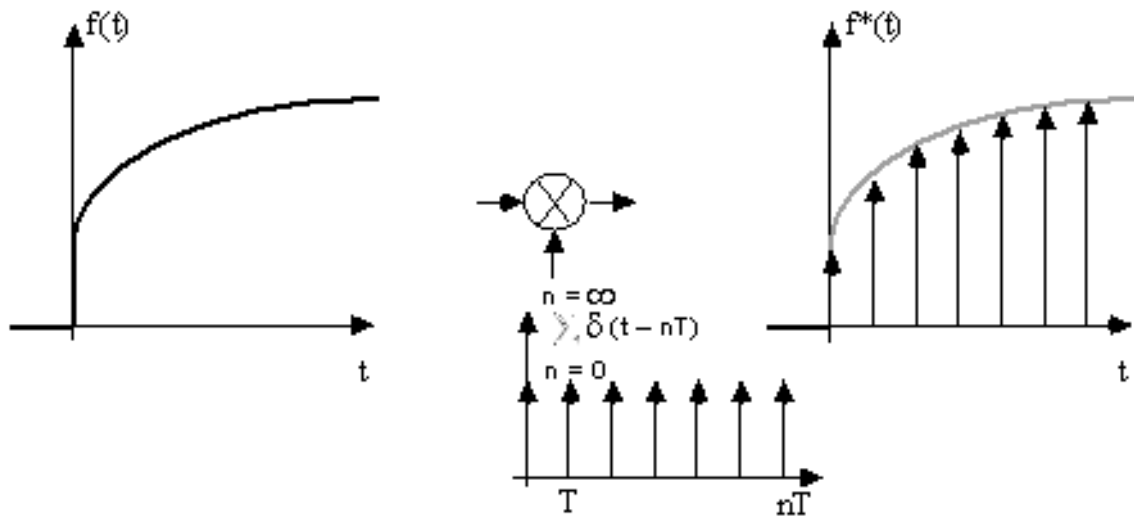


FIG. 4.2 –

4.3 Signal échantillonné et bloqué

En pratique le signal analogique échantillonné est bloqué, en général, pendant une période d'horloge (FIG. 4.3). On se propose d'étudier l'influence de ce blocage sur le signal en fréquence.

Question 4.3.1 Exprimer $v_{EB}(t)$ en fonction des échantillons $v(nT)$ et de la fonction échelon $u(t)$, en supposant $v(t) = 0$ pour $t < 0$.

Question 4.3.2 Calculer la transformation de Laplace de $v_{EB}(t) : V_{EB}(p)$. Faire apparaître dans cette expression la transformation de Laplace de $v(nT) : V_n(p)$. En déduire la fonction de transfert d'un bloqueur, notée $T_B(p)$. Représenter le module de $T_B(j\omega)$ en fonction de la fréquence.

4.4 L'intégrateur temps continu et temps discret

Soit la fonction $F(p) = 1/p$, représentant un intégrateur en temps continu. Calculer sa transformation de Laplace inverse $f(t)$. Imaginons que, comme l'indique la FIG. 4.4, une impulsion soit à l'entrée d'un circuit réalisant la fonction intégration et que la sortie soit échantillonnée à une fréquence donnée F_e .

Question 4.4.1 Calculer la transformation en z de ce signal de sortie. En déduire l'expression d'un intégrateur en temps discret.

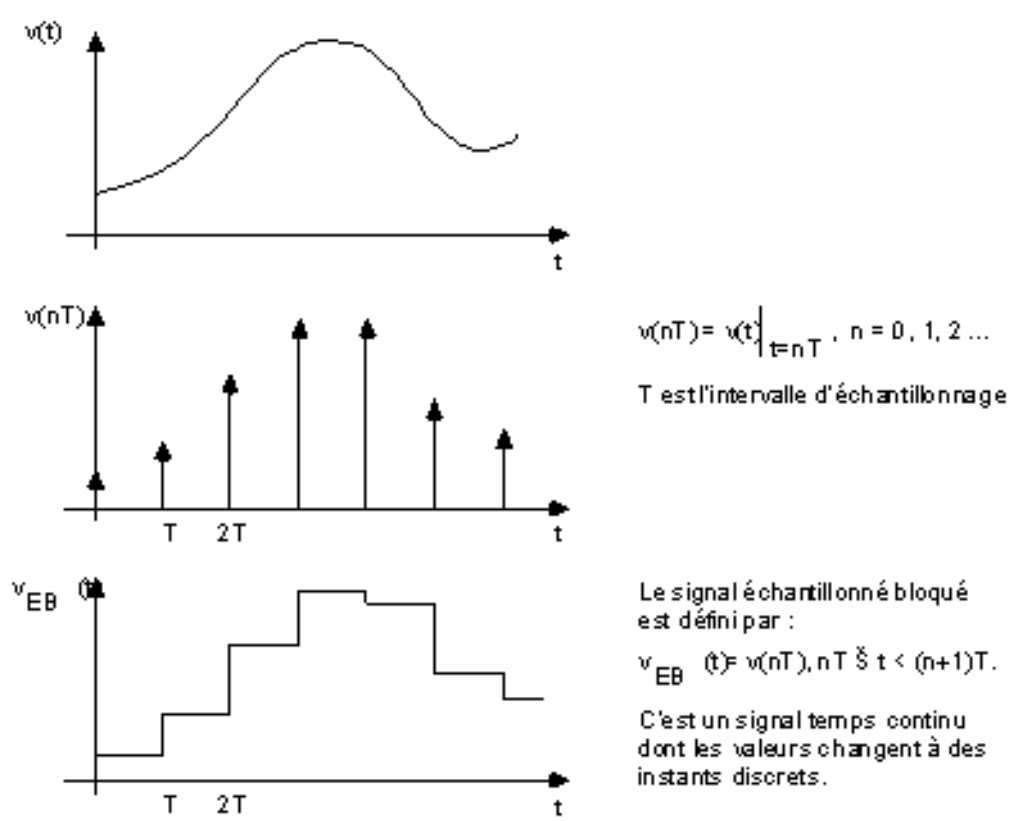


FIG. 4.3 -

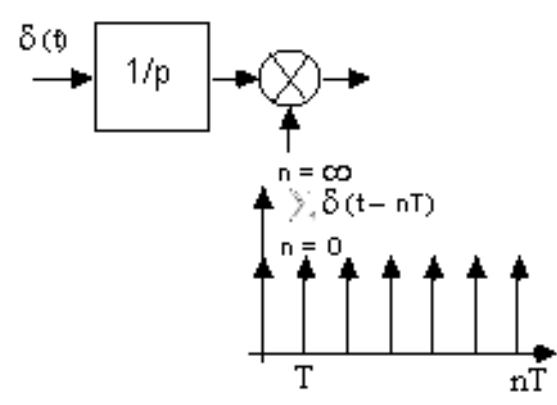


FIG. 4.4 -

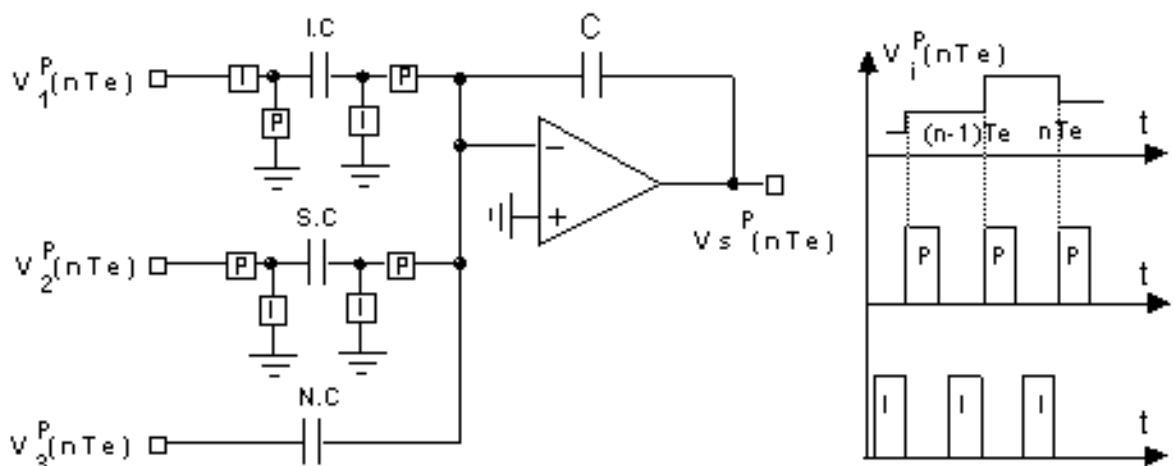
Chapitre 5

Travaux dirigés : Application des capacités commutées

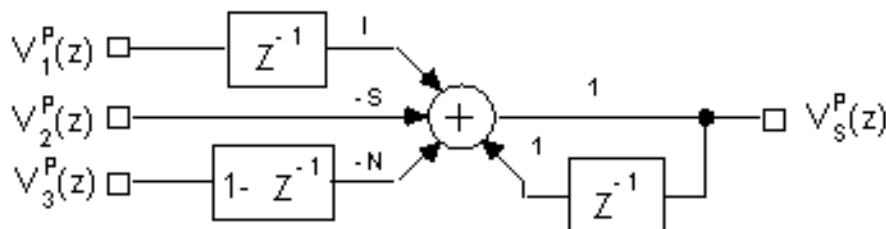
5.1 Exercice 1 : Biquad à capacités commutées

5.1.1 Définition d'un module de base

Question 5.1.1 Déterminer les opérations " temps discret " réalisées par le module à capacités commutées (FIG. 5.1.1).

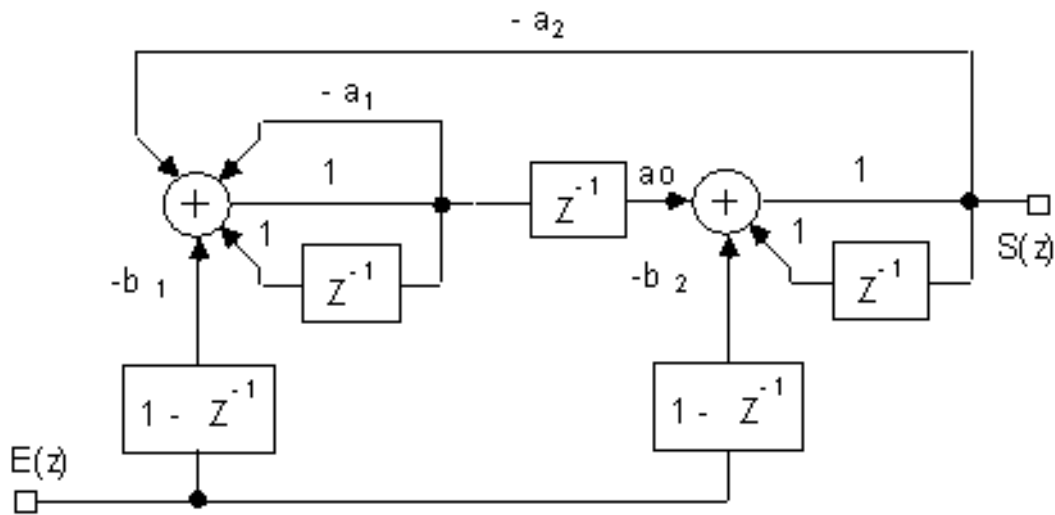


Question 5.1.2 Montrer que ces opérations peuvent être représentées par le bloc fonctionnel représenté FIG. 5.1.1.



5.1.2 Synthèse d'un biquad à capacités commutés

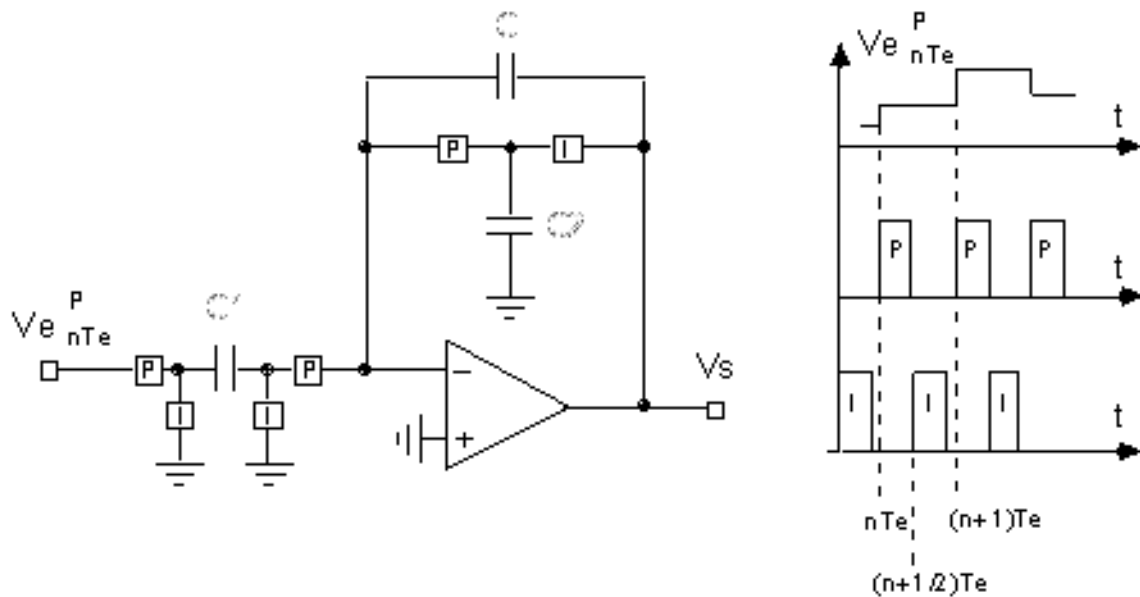
La fonction de transfert : $T(z) = \frac{S(z)}{E(z)} = \frac{-(1-z^{-1})[b_2(1+a_1)+(a_0b_1-b_2)z^{-1}]}{z^{-2}+(-a_1-2+a_0a_2)z^{-1}+(a_1+1)}$ est réalisée par la structure FIG. 5.1.2.



Question 5.1.3 Donner une réalisation électrique complète à partir du module de base à capacités commutées.

5.2 Exercice 2

Soit le circuit de la FIG. 5.2.



L'amplificateur opérationnel, les commutateurs et les condensateurs sont parfaits (les transferts de charge sont instantanés).

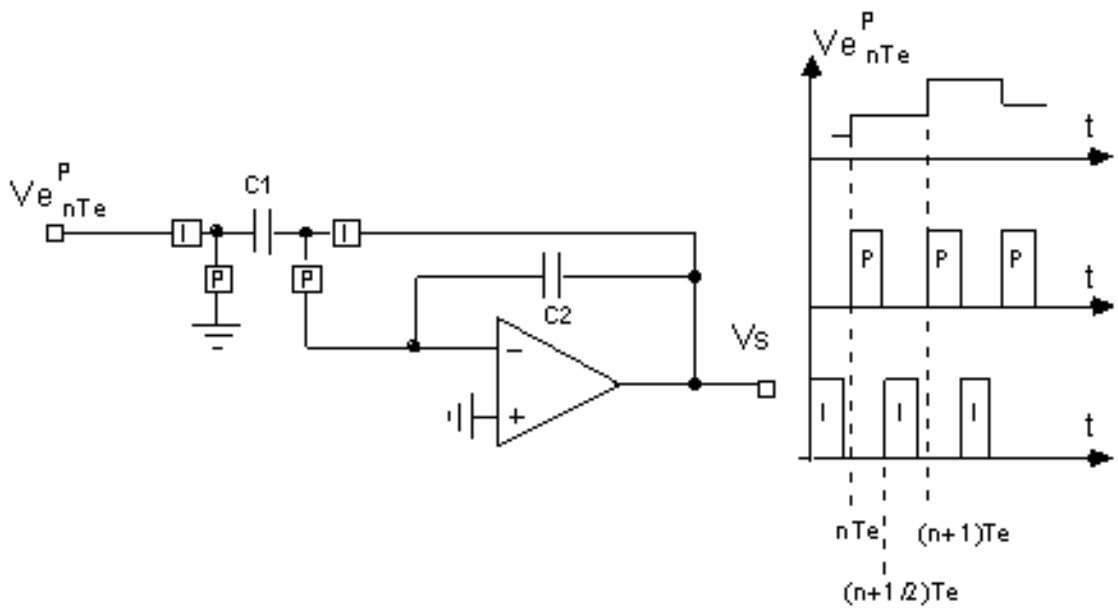
Question 5.2.1 La sortie V_s étant considérée aux instants pairs (instant nT_e), calculer la fonction de transfert du circuit à capacités commutées.

On pose $C = C_2$.

Question 5.2.2 Quelle est la fonction réalisée ?

5.3 Exercice 3

Soit le circuit de la FIG. 5.3.



L'amplificateur opérationnel, les commutateurs et les condensateurs sont parfaits (les transferts de charges sont instantanés).

Question 5.3.1 La sortie V_s étant considérée aux instants pairs (indiqués P), calculer la fonction de transfert du circuit à capacités commutées.

On pose $C1 = C2$.

Question 5.3.2 Quelle est la fonction réalisée.

Chapitre 6

Travaux dirigés : Filtrage

6.1 Filtre actif passe-bas en temps continu

Le filtre actif RC de la figure 6.1 a comme fonction de transfert :

$$T(p) = \frac{V_s}{V_e} = -\frac{R_8}{R_6} \frac{p^2 + \left(\frac{1}{R_1 C_1} - \frac{R_6}{R_7 R_4 C_1}\right) p + \frac{R_6}{R_7 R_5 R_3 C_2 C_1}}{p^2 + \frac{1}{R_1 C_1} p + \frac{R_8}{R_7 R_3 R_2 C_2 C_1}}$$

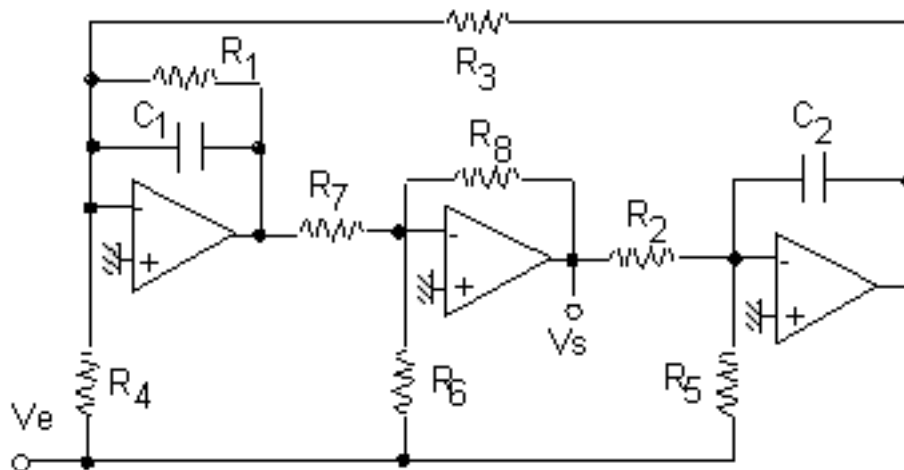


FIG. 6.1 – Circuit fonction biquadratique du second ordre

Nous souhaitons réaliser un filtre passe-bas du deuxième ordre avec les données suivantes :

- gain en continu : $0dB$
- coefficient de qualité : $Q_0 = 10$
- fréquence propre : $f_0 = 10kHz$
- $C_1 = C_2 = 1nF$; $R_2 = R_3$; $R_7 = R_8 = 1k\Omega$.

Question 6.1.1 Déterminer la valeur des autres éléments du circuit.

6.2 Amplificateur sommateur à capacités commutées

Pour l'étude du circuit de la figure 6.2, nous supposons que :

- l'échantillonnage des tensions d'entrée V_{e1} et V_{e2} (graphe $V_e = f(t)$ de la figure 6.2) :
 - est parfait, et se fait sur les instants pairs,
 - le blocage (mémorisation) de l'échantillon dure toute la phase paire,
 - les instants pair et impair d'échantillonnage sont disjoints,
- l'amplificateur opérationnel, les capacités et les commutateurs sont idéaux.

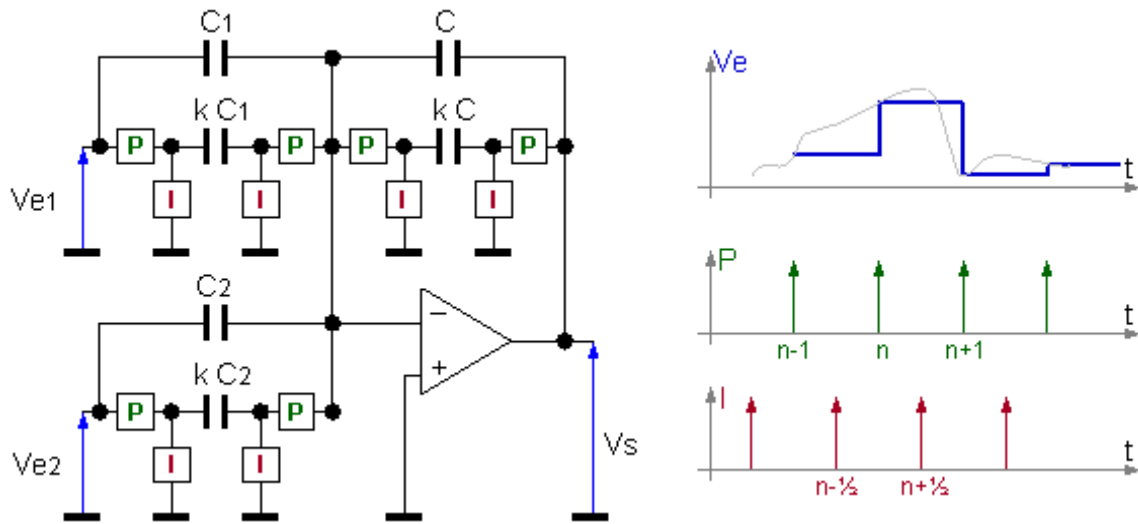


FIG. 6.2 – Amplificateur sommateur à capacités commutées

Question 6.2.1 Exprimer la relation reliant V_s à V_{e1} et V_{e2} aux phases paire et impaire.

Question 6.2.2 Quelle utilisation peut-on faire de ce montage ?

6.3 Différentiateur à capacités commutées

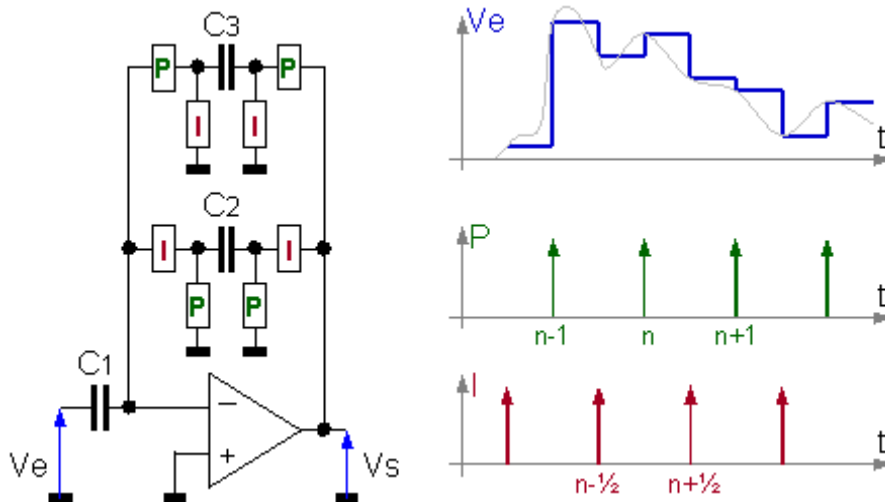


FIG. 6.3 – Différentiateur à capacités commutées

Pour l'étude du circuit de la figure 6.3, nous supposons que :

- l'échantillonnage de la tension d'entrée V_e (graphe $V_e = f(t)$ de la figure 6.3) :
 - est parfait, et se fait sur les instants pairs et impairs,
 - le blocage (mémoire) de l'échantillon dure la $\frac{1}{2}$ phase paire ou la $\frac{1}{2}$ phase impaire,
 - les instants pair et impair d'échantillonnage sont disjoints,
- l'amplificateur opérationnel, les capacités et les commutateurs sont idéaux.

Question 6.3.1 Exprimer la relation reliant V_s à V_e aux phases paire et impaire.

Question 6.3.2 Montrer que le circuit est un différentiateur dont le gain dépend de F_e .

6.4 Filtrage du signal reçu par un mobile GSM

Le but de cet exercice est de montrer la difficulté de filtrer un signal reçu par un mobile juste après l'antenne.

Nous souhaitons récupérer un signal utile dans un canal de communication GSM, noté C1, de niveau de puissance $P_{C_1} = -90dBm$, centré sur la fréquence 900MHz et occupant une bande de $\Delta f = 200kHz$.

Un autre signal de même type que le précédent dans un canal C2, centré sur la fréquence 900,4MHz a un niveau de puissance de $P_{C_2} = -40dBm$.

Nous utilisons un filtre passe-bande d'ordre 2, de fonction de transfert $T(p)$, de telle sorte qu'il ramène le signal en C2 dans sa limite de bande au niveau du signal en C1. De plus nous désirons que le signal en C1 ne soit pas amplifié.

$$T(p) = \frac{K \frac{\omega_0}{Q_0} p}{p^2 + \frac{\omega_0}{Q_0} p + \omega_0^2}$$

Question 6.4.1 Représenter l'allure gabarit du filtre passe-bande.

Question 6.4.2 Calculer les valeurs de K , de f_0 et de Q_0 .

Question 6.4.3 Représenter l'allure du module de la fonction de transfert du filtre passe-bande.

Chapitre 7

Travaux dirigés : Conversion incrémentale

Le schéma de principe est représenté sur la FIG. 7.1.

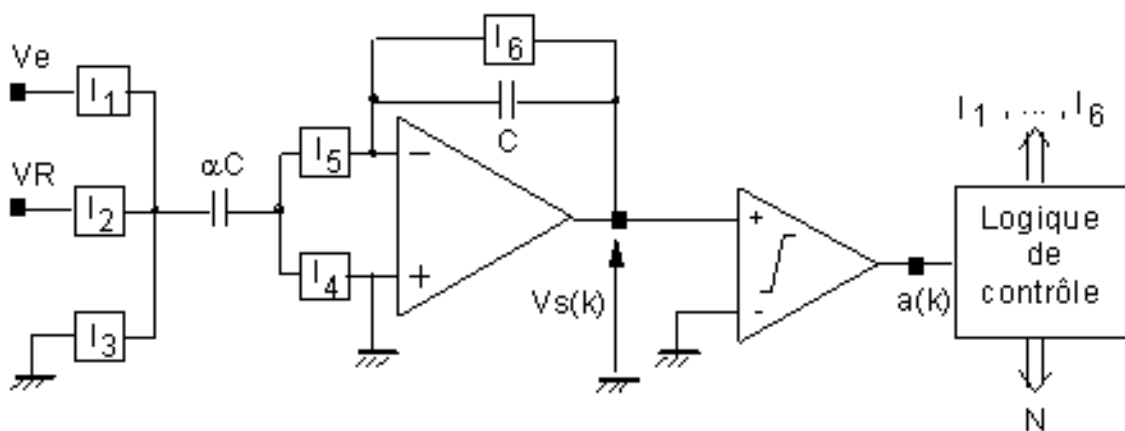


FIG. 7.1 – Convertisseur incrémental

Une conversion est constituée d'une phase d'initialisation ($I_6 = 1$) et d'un certain nombre de cycles d'"intégration" indicés k durant lesquelles la tension à convertir V_e est constante.

V_R est la tension de référence du convertisseur.

Chaque cycle d'intégration est composée de 4 phases représentées sur la FIG. 7.2.

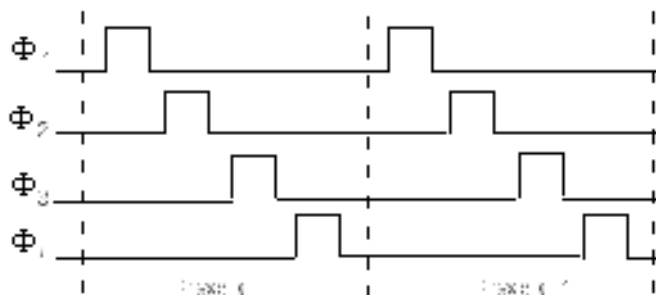


FIG. 7.2 – Chronogramme des phases

La commande des interrupteurs est donnée dans les tableaux ci-après.

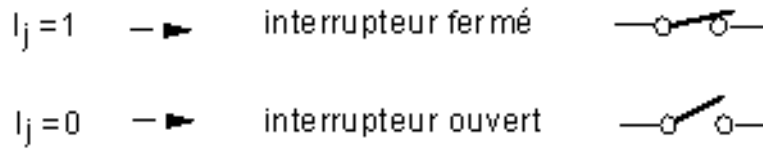
On note $V_s^i(k)$ la tension de sortie de l'amplificateur opérationnel à la fin de la phase Φ_i et $V_s(k)$ la tension en fin de cycle k ($V_s(k) = V_s^4(k)$).

$a(k)$ est un élément binaire associé à la tension de sortie $V_s^2(k)$ tel que :

– $a(k) = 1$ si $V_s^2(k) > 0$;

– $a(k) = 0$ si $V_s^2(k) < 0$.

A chaque interrupteur est associé une variable binaire I_j telle que :



	I_1	I_2	I_3	I_4	I_5	$a = 0$	I_1	I_2	I_3	I_4	I_5	$a = 1$	I_1	I_2	I_3	I_4	I_5
ϕ_1	1	0	0	1	0	ϕ_3	0	1	0	1	0	ϕ_3	0	0	1	1	0
ϕ_2	0	0	1	0	1	ϕ_4	0	0	1	0	1	ϕ_4	0	1	0	0	1

TAB. 7.1 – Commande des interrupteurs

Question 7.0.4 Montrer par une analyse du circuit dans les 4 phases que l'on a les relations de récurrence :

$$V_s^2(k) = V_s(k-1) + \alpha V_e$$

$$V_s(k) = V_s^4(k) = V_s^2(k) - \alpha \cdot VR \cdot (a(k) - \bar{a}(k))$$

Question 7.0.5 Sachant que $-VR < V_e < VR$, $VR > 0$ et $V_s(0) = 0$, montrer par récurrence que pour tout k : $-\alpha VR < V_s(k) < \alpha VR$

Après une phase d'initialisation ($I_6 = 1$), on effectue $2p$ cycles d'intégration.

Question 7.0.6 Calculer $V_s(2p)$.

Question 7.0.7 Montrer avec l'encadrement précédent que l'on peut écrire : $-q/2 < V_e - Nq < q/2$

Question 7.0.8 Expliciter q et N .

La résolution en nombre de bits est donnée par $\log_2((\max V_e - \min V_e)/q) = n$.

Question 7.0.9 Déterminer $n = f(p)$.

Considérons l'exemple suivant : $VR = 10V$, $V_e = 6V$, $\alpha = 1/2$ et $n = 4$ bits soit $2p = 16$.

Question 7.0.10 Faire le diagramme des temps de V_s sur 16 cycles d'intégration.

Question 7.0.11 Si V_e varie lentement, ($F_{V_e} \ll F_{cycle}$), que devient l'expression de N ? Appliquer le résultat précédent à une rampe variant de $0, 2V$ par cycle et de valeur $V_e = 6V$ pour $k = 0$.

Chapitre 8

Travaux dirigés : Modem ADSL

8.1 Introduction : la technologie ADSL

L'ADSL offre des services numériques rapides sur le réseau cuivré existant en superposition et sans interférence avec le service téléphonique analogique traditionnel. La figure 8.2 présente les bandes de fréquence occupées par les différents services :

- Le service téléphonique classique occupe la bande 0 à 4 kHz.
- Le service multimédia ADSL en liaison montante occupe 27 canaux de largeur 4,3 kHz à partir de 25 kHz.
- Le service multimédia ADSL en liaison descendante occupe 223 canaux de largeur 4,3 kHz jusqu'à la fréquence maximale de 1,1 Mhz.

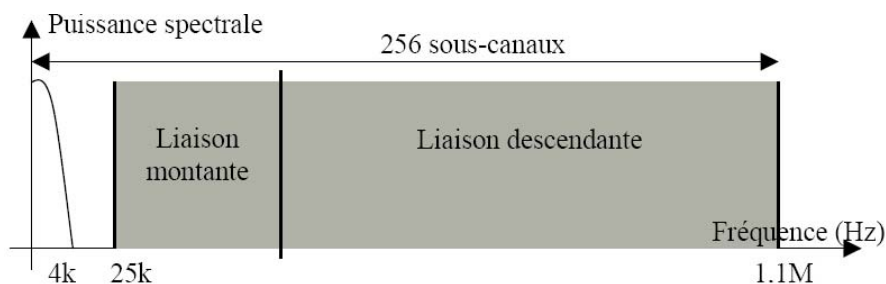


FIG. 8.1 – Allocation des fréquences pour les signaux transmis sur une paire torsadée

Cette répartition des canaux permet au client de recevoir du serveur bien plus d'informations qu'il est capable d'en générer. Chaque sous-canal présente une modulation d'amplitude en quadrature (QAM) sur 2^N niveaux, N variant entre 2 et 15 pour la liaison descendante et entre 2 et 6 pour la liaison montante. Une plus grande précision est transmise en liaison descendante car le signal atténué en bout de ligne est moins soumis à la diaphonie chez le client qu'au niveau du central téléphonique. La superposition des signaux de l'ensemble des canaux génère un symbole DMT (Discrete Multi Tone) et la durée de chaque symbole est fixée à $250\mu s$.

Question 8.1.1 Quel est le débit théorique maximal de la ligne (en liaison montante et descendante) ?

Les débits réels sont fixés par autotest en fonction de l'état de la ligne. Certains sous-canaux peuvent être inutilisables ou le nombre de niveaux par sous-canal peut être réduit. La qualité suffisante pour qu'un symbole DMT puisse contenir 15 bits par sous-canal correspond à un SNR par canal de 80dB. Le SNR (Signal to Noise Ratio) correspond au rapport entre la puissance utile d'un sous canal et la puissance du bruit à la même fréquence.

8.2 Numérisation d'un signal ADSL liaison descendante

Nous étudions la transmission de données du central téléphonique vers le particulier sur la boucle locale. Le signal circule sur une paire torsadée en cuivre et l'information complète véhiculée est prélevée grâce à un coupleur. A partir de là, le signal analogique doit être numérisé car l'ensemble du traitement de démodulation est effectué en numérique.

Question 8.2.1 Sachant que le signal prélevé en bout de ligne est atténué et bruité, quels sont les trois éléments fondamentaux que contient la chaîne de numérisation ?

8.3 Filtrage

Un filtre (splitter) est utilisé pour séparer les signaux ADSL liaison descendante des signaux POTS (Plain Old Telephone Service). L'atténuation fournie en bande atténuée doit réduire le signal téléphonique classique de 60dB. L'atténuation maximale autorisée dans la bande passante est de 1 dB.

Question 8.3.1 Déterminer le gabarit du filtre de sélection de bande.

Question 8.3.2 Pour réaliser ce filtrage, on utilise un filtre actif passe-haut d'ordre n dont la fonction de transfert idéale est donnée par la relation :

$$T(p) = \frac{1}{\left(1 + \frac{1}{\tau_0 p}\right)^n}$$

Calculer l'atténuation de ce filtre à la fréquence f , $A(f)$, en fonction de n et de la fréquence de coupure f_0 .

Question 8.3.3 Déterminer les valeurs de f_0 et n (entier) pour respecter le gabarit de la question 7.3.1.

Question 8.3.4 Justifier que la bande transmise en hautes fréquences par le filtre réel n'est pas infinie.

8.4 Amplification

Les standards ADSL définissent les niveaux de puissance des signaux transmis en liaison descendante. Les puissances reçues dans les 223 sous-canaux sont quasiment identiques et comprises entre -56dBm/Hz et -44dBm/Hz en fonction de la longueur de la boucle. Le bruit thermique de la paire torsadée est le bruit minimal pour l'ADSL :

$$N_{AWGN} = -140dBm/Hz$$

L'objectif de l'amplificateur est de ramener la puissance totale des symboles DMT au niveau de la pleine échelle du convertisseur. La pleine échelle du convertisseur correspond à une puissance de 16,8 dBm.

Question 8.4.1 Justifier que l'amplificateur de la chaîne de numérisation est un amplificateur à gain programmable (PGA). Quelle est la plage des valeurs du gain en dB ?

Question 8.4.2 D'autre part, nous utilisons un amplificateur faible bruit (LNA). En supposant qu'il est le seul élément qui détériore le rapport signal sur bruit dans la chaîne de numérisation, quel est son facteur de bruit maximal ? Le facteur de bruit d'un composant est le rapport entre le SNR en entrée du composant et le SNR en sortie du composant.

8.5 Conversion

Un étage de conversion analogique numérique assure la numérisation des symboles DMT.

Question 8.5.1 Quels sont les caractéristiques résolution minimale et bande passante de ce convertisseur analogique numérique ?

Question 8.5.2 Nous proposons de réaliser le CAN à partir de la cellule de conversion représentée sur la figure ?? . La résolution des deux convertisseurs est de M bits. Le CNA et l'étage de multiplication sont idéaux (ils n'introduisent pas d'erreur significative).

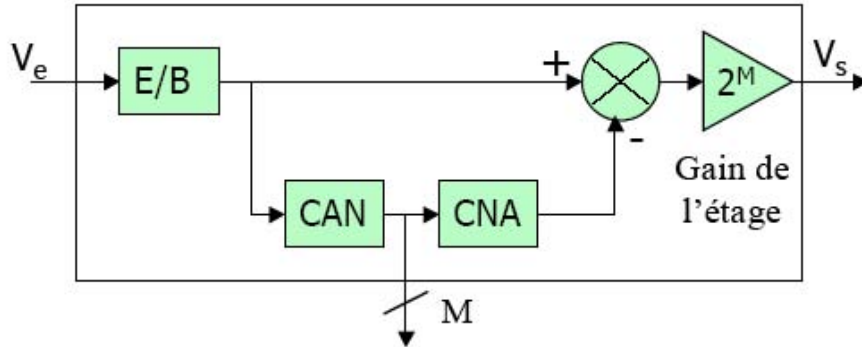


FIG. 8.2 – Etage de conversion

Quelle est la fréquence minimale pour l'échantillonnage du signal en entrée ? Quelle est la valeur du pas de quantification du CAN en fonction de M et de la pleine échelle PE ?

Question 8.5.3 Notons b_1 le bit de poids fort issu de la conversion analogique numérique. Déterminer l'expression de la tension de sortie V_s de cet étage de conversion aux instants $kT_e + t$, t étant la durée totale des traitements (CAN, CNA, addition et multiplication par 2^M), t est inférieur à T_e .

Question 8.5.4 Justifier que V_s contient la valeur fine de V_e , notée v_e , complémentaire de la valeur contenue dans le code numérique $b_1 b_2 \dots b_M$ et que la valeur de V_s est incluse dans la pleine échelle du CAN.

Question 8.5.5 Le CAN est un convertisseur flash dont la résolution maximale est de 6 bits. En fixant une valeur de M , proposer un convertisseur respectant la résolution nécessaire pour l'ADSL à partir de plusieurs étages de conversion identiques.

Chapitre 9

Travaux Pratiques : Amplification

9.1 Préparation théorique

Pour cette préparation du TP nous reprenons les raisonnements et les résultats de la Leçon et du TD. Le but est de comparer les applications numériques de cette préparation aux mesures effectuées tout au long du TP. Pour cela nous utiliserons les valeurs des paramètres technologiques de la table 9.7 et de la figure 9.2.

9.1.1 Analyse statique de l'amplificateur source commune + résistance

Nous utilisons le montage de la table 9.2.

Question 9.1.1 Calculer la valeur littérale puis numérique de l'intensité du courant I_{DS01} de N_1 nécessaire à ce que l'amplificateur soit polarisé en classe A.

Question 9.1.2 De même, calculer la valeur de la tension statique $V_{GS0N1} = V_{E0}$ ainsi que la valeur de la résistance variable R_2 nécessaires pour obtenir cette polarisation. Vérifier à posteriori, que le transistor est bien en saturé.

9.1.2 Analyse linéaire de l'amplificateur source commune + résistance

Nous utilisons le montage de la table 9.3.

Question 9.1.3 Élaborer le modèle linéaire de l'amplificateur et calculer la valeur de la transconductance linéaire de N_1 .

Question 9.1.4 Calculer l'expression du gain en tension "à vide" Gv_0 (pour $R_U = \infty$), de la résistance d'entrée R_e et de la résistance de sortie R_s de l'amplificateur.

Le but des 3 questions suivantes est d'extraire R_s puis r_{dsN1} à partir de la mesure de Gv_0 et de Gv_C , le gain en tension de l'amplificateur "en charge" (pour $R_U < \infty$) dont le modèle linéaire, élaboré en Leçon, est rappelé en figure 9.1.

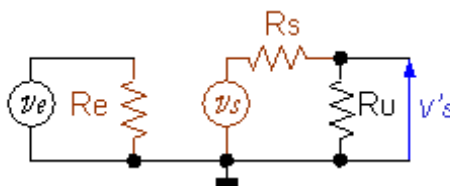


FIG. 9.1 – Schéma du modèle linéaire de l'amplificateur "en charge"

Question 9.1.5 Calculer l'expression du gain en tension "en charge" G_{v_C} en fonction du gain en tension à vide G_{v_0} , de R_U et de R_S , puis celle de R_S en fonction de R_U et de $\frac{G_{v_0}}{G_{v_C}}$.

Question 9.1.6 Calculer l'expression de la résistance de sortie de N_1 ($r_{ds_{N1}} = \frac{1}{g_{ds_{N1}}}$) en fonction de R_d , R_U et de $\frac{G_{v_0}}{G_{v_C}}$. Puis prendre $R_U = R_d$.

9.1.3 Analyse statique de l'amplificateur source commune + PMOS

Nous utilisons le montage de la figure 9.4.

Question 9.1.7 Calculer la valeur de la tension statique V_{GS02} appliquée au transistor P_2 , pour que l'intensité statique parcourant le transistor N_1 soit la même que dans le montage précédent. En déduire la valeur de V_P .

9.1.4 Analyse linéaire de l'amplificateur source commune + PMOS

Nous utilisons le montage de la figure 9.5.

Question 9.1.8 Élaborer le modèle linéaire de l'amplificateur de la figure 9.5 et calculer l'expression de son gain en tension "à vide" ($R_U = \infty$) ainsi que de sa résistance de sortie R_{s2} .

Question 9.1.9 Calculer l'expression du gain en tension "en charge" (pour $R_U \neq \infty$) puis en déduire celle de la résistance de sortie de P_2 ($r_{ds_{P2}} = \frac{1}{g_{ds_{P2}}}$).

9.1.5 Analyse statique de l'amplificateur différentiel (hors programme)

Dans le montage de la table 9.6 les transistors NMOS M_{N2} et M_{N3} sont identiques et constituent la paire différentielle. Au repos (analyse statique) nous avons $V_{e01} = V_{e02} = 0V$. La résolution de l'équation de polarisation donne $V_A \approx -3,7V$.

Question 9.1.10 Calculer la valeur littérale puis numérique de la tension $V_{BS0} = V_{BS02} = V_{BS03}$. En déduire la valeur de la tension de seuil des 2 transistors.

Question 9.1.11 Calculer l'intensité du courant statique $I_{DS0} = I_{DS02} = I_{DS03}$ circulant au repos dans M_{N2} et M_{N3} et nécessaire à ce que nous ayons $V_{S0} = V_{S01} = V_{S02} = \frac{1}{2} V_{DD}$.

Question 9.1.12 Calculer l'intensité du courant statique qui circule dans M_{N1} , puis la valeur de la tension V_{GS01} nécessaire et en déduire la valeur de la résistance variable R_2 .

9.1.6 Analyse linéaire de l'amplificateur différentiel (hors programme)

Nous utilisons le montage de la table 9.6 et les mêmes définitions que pour la Leçon et le TD :

- tension différentielle d'entrée : $v_{ed} = v_{e1} - v_{e2}$
- tension différentielle de sortie : $v_{sd} = v_{s1} - v_{s2}$
- gain différentiel en tension : $A_d = \frac{v_{sd}}{v_{ed}}$
- tension de mode commun d'entrée : $v_{ec} = \frac{1}{2}(v_{e1} + v_{e2})$
- tension de mode commun de sortie : $v_{sc} = \frac{1}{2}(v_{s1} + v_{s2})$
- gain de mode commun en tension : $A_c = \frac{v_{sc}}{v_{ec}}$
- et nous obtenons les tensions de sortie dissymétriques :

$$v_{s1} = +A_c \cdot v_{ec} + \frac{1}{2} A_d \cdot v_{ed}$$

$$v_{s2} = +A_c \cdot v_{ec} - \frac{1}{2} A_d \cdot v_{ed}$$

Dans ce qui suit nous reprenons les résultats des précédents montages et ceux du TD, en remplaçant $gds_p = gds_3 = gds_4$ par $Gd = \frac{1}{R_{D1}} = \frac{1}{R_{D2}}$. Nous prendrons les valeurs suivantes pour les éléments du modèle linéaire de M_{N2} et M_{N3} :
 $gm_n = 740\mu A \cdot V^{-1}$, $gds_n = 10\mu S$, $\chi = 1, 4$.

Question 9.1.13 Déduire de la valeur gds_n celle de la conductance de sortie gds_1 de M_{N1} .

Question 9.1.14 Élaborer le modèle linéaire de l'amplificateur de la table 9.6.

Question 9.1.15 Calculer les gains en tension différentiel et de mode commun.

Pour faire les mesures nous allons procéder de la manière suivante :

- "attaque en mode commun" :
 - $ve_1 = ve_2 = e_c$
- "attaque en mode dissymétrique" :
 - $ve_1 = e_d$ et $ve_2 = 0$

Question 9.1.16 Calculer la valeur littérale de $\frac{vs_1}{ve_1}$ et de $\frac{vs_2}{ve_1}$ en fonction de A_d et de A_c dans chacun des 2 modes. Quel est le signe de chacun de ces deux rapports en supposant $A_d \gg A_c$?

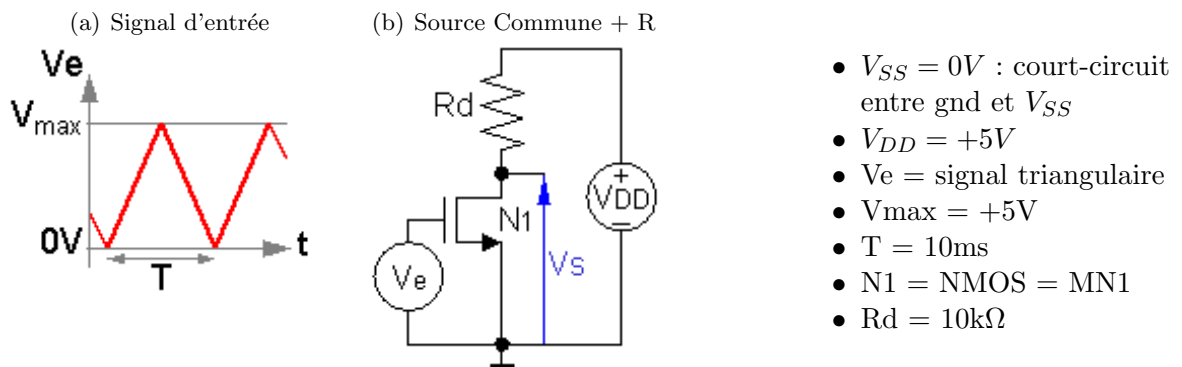
Attention lors des manipulations suivantes, il est demandé d'extraire la valeur de certains paramètres. Le but est de comparer avec les valeurs calculées lors de la préparation du TP.

En annexe 9.5 est présentée l'utilisation des différents appareils, maquettes... la lecture de cette annexe est donc nécessaire avant de commencer le TP.

9.2 Montage source commune NMOS + Résistance

9.2.1 Analyse grand signal : fonction de transfert : $V_s = f(V_e)$

Nous utilisons le montage de la table 9.1.



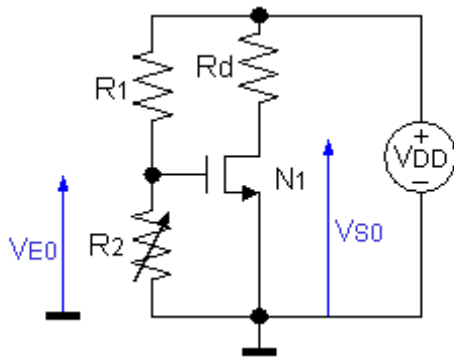
TAB. 9.1 – Montage pour l'extraction de la fonction de transfert

Question 9.2.1 Relever à l'oscilloscope la courbe $V_s = f(V_e)$ du circuit de la table 9.1, et identifier les 3 régimes de fonctionnement du transistor. Vérifier que la saturation du transistor permet bien d'obtenir la distorsion minimale et l'amplification maximale.

9.2.2 Analyse statique

Nous utilisons le montage de la table 9.2.

Question 9.2.2 Régler le potentiomètre R_2 afin d'obtenir une polarisation en classe A, en déduire la valeur du courant de polarisation I_{DS0} . Noter la valeur de V_{E0} et de R_2 .

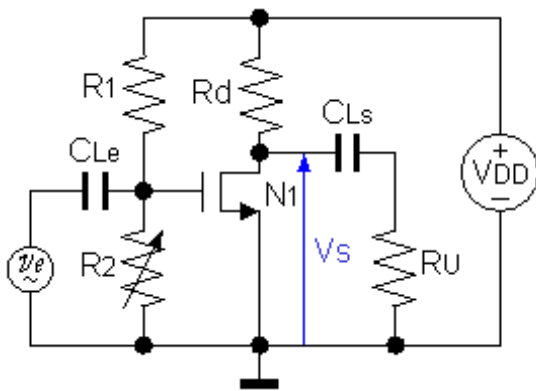


- $V_{SS} = 0V$: court-circuit entre gnd et V_{SS}
- $V_{DD} = +5V$
- $V_{S0} = \frac{1}{2}V_{DD}$
- $N1 = \text{NMOS} = \text{MN1}$
- $R_d = 10k\Omega$
- $R_1 = 100k\Omega$
- $R_2 = 100k\Omega$ (variable)

TAB. 9.2 – Montage amplificateur : analyse statique

9.2.3 Analyse linéaire

Nous utilisons le montage de la table 9.3.



- $V_{SS} = 0V$: court-circuit gnd V_{SS}
- $V_{DD} = +5V$
- $V_{S0} = \frac{1}{2}V_{DD}$
- $v_e = a \cdot \sin(2\pi ft)$ avec :
 - $a \Rightarrow v_s = 1V$ crête à crête,
 - $f = 1kHz$.
- $N1 = \text{NMOS} = \text{MN1}$
- $R_d = 10k\Omega$
- $R_1 = 100k\Omega$
- $R_2 = 100k\Omega$ réglé pour $V_{S0} = \frac{1}{2}V_{DD}$
- $C_{Le} = C_{Ls} = 100\mu F$
- $R_U = \infty$ puis $R_U = 10k\Omega$

TAB. 9.3 – Montage amplificateur : analyse linéaire

Question 9.2.3 Mesurer le gain en tension "petit signal" pour $R_U = \infty$.

Question 9.2.4 Même chose pour $R_U = 10k\Omega$. Déduire de cette mesure la valeur de la résistance de sortie du montage puis celle de la résistance de sortie du transistor N_1 .

Attention ne pas démonter le circuit, nous nous en servons pour le montage suivant.

9.3 Source commune NMOS + PMOS

9.3.1 Analyse statique

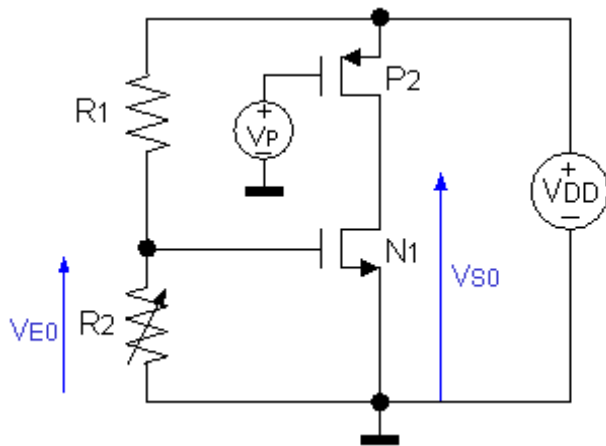
Nous utilisons le montage de la table 9.4, c'est à dire celui de la table 9.2 (avec le même réglage de R_2), dans lequel nous avons remplacé la résistance R_d par le transistor PMOS P2 et sa tension de polarisation V_P que nous réglons pour obtenir le point de polarisation spécifié ($V_{S0} = \frac{1}{2}V_{DD}$).

Question 9.3.1 Régler V_P pour obtenir $V_{S0} = \frac{1}{2}V_{DD}$. Noter cette valeur.

9.3.2 Analyse linéaire

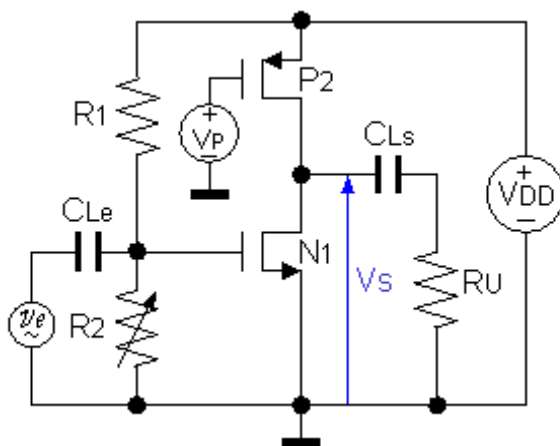
Nous utilisons le montage de la table 9.5.

Question 9.3.2 Mesurer le gain en tension "petit signal" pour $R_U = \infty$.



- $V_{SS} = 0V$: court-circuit entre gnd et V_{SS}
- $V_{DD} = +5V$
- $V_{S0} = \frac{1}{2}V_{DD}$
- V_P tension continue : $+3V < V_P < +5V$
- N1 = NMOS = MN1
- P2 = PMOS = MP1
- $R_1 = 100k\Omega$
- $R_2 = 100k\Omega$ réglé pour $V_{S0} = \frac{1}{2}V_{DD}$

TAB. 9.4 – Montage amplificateur CMOS : analyse statique



- $V_{SS} = 0V$: court-circuit entre gnd et V_{SS}
- $V_{DD} = +5V$
- $V_{S0} = \frac{1}{2}V_{DD}$
- $v_e = a \cdot \sin(2\pi ft)$ avec :
 - $a \Rightarrow v_s = 1V$ crête à crête,
 - $f = 1kHz$.
- V_P tension continue : $+3V < V_P < +5V$
- N1 = NMOS = MN1
- P2 = PMOS = MP1
- $R_1 = 100k\Omega$
- $R_2 = 100k\Omega$ réglé pour $V_{S0} = \frac{1}{2}V_{DD}$
- $C_{Le} = C_{Ls} = 100\mu F$
- $R_U = \infty$ puis $R_U = 10k\Omega$

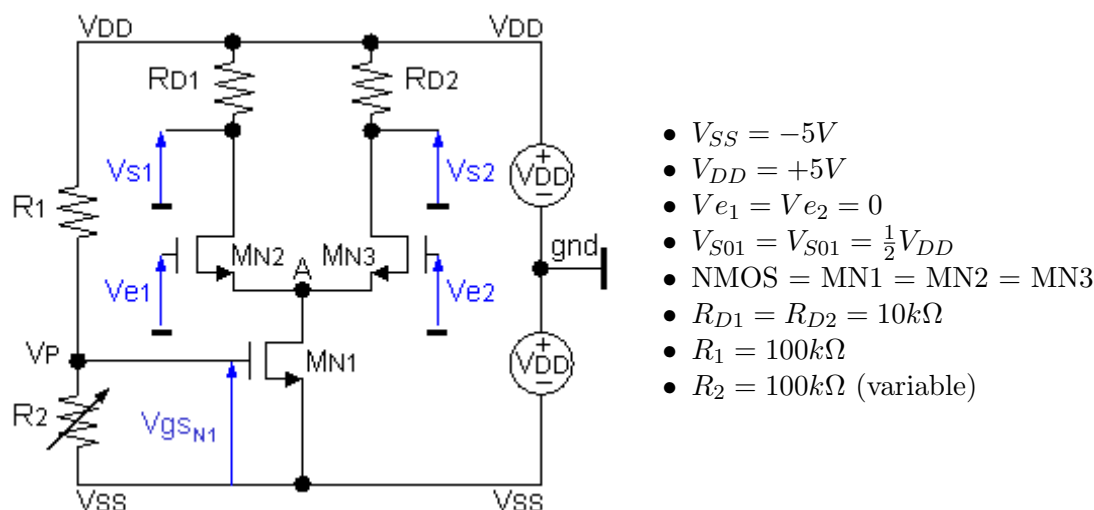
TAB. 9.5 – Montage amplificateur CMOS : analyse linéaire

Question 9.3.3 Même chose pour $R_U = 10k\Omega$. Déduire de cette mesure la valeur de la résistance de sortie du montage puis celle de la résistance de sortie de P_2 .

9.4 Amplificateur Différentiel CMOS (hors programme)

9.4.1 Analyse statique

Nous utilisons le montage de la table 9.6. **Attention** les transistors NMOS de la paire différentielle sont M_{N2} et M_{N3} puisqu'ils n'ont pas Source et suBstrat reliés. Les trois transistors sont identiques.



TAB. 9.6 – Amplificateur différentiel CMOS

Question 9.4.1 Régler le potentiomètre R_2 afin d'obtenir la polarisation spécifiée, en déduire la valeur du courant de polarisation I_{DS0} . Noter la valeur de V_A , de V_P et de R_2 . Vérifier la cohérence de ces mesures.

9.4.2 Analyse linéaire

Les conditions d'utilisation du montage de la figure 9.6 sont les mêmes que pour l'analyse statique sauf pour V_{e1} et V_{e2} :

- "attaque en mode commun" :
 - $V_{e1} = V_{e2} = e_c = a \sin(2\pi ft)$
avec a telle que : $v_s = 1V$ crête à crête et $f = 1kHz$
- "attaque en mode dissymétrique" :
 - $V_{e1} = e_d = a \sin(2\pi ft)$ et : $V_{e2} = 0$
avec a telle que : $v_s = 1V$ crête à crête et $f = 1kHz$

Question 9.4.2 Relever les tensions vs_1 , vs_2 et ve_1 dans chacun des 2 modes, en prenant soin de noter les phases relatives de ces signaux. En extraire la valeurs des gains différentiel et de mode commun.

9.5 Annexe : Données techniques

9.5.1 Paramètres des transistors

Les valeurs de paramètres de la technologie utilisée sont celles de la table 9.7 et de la figure 9.2 :

paramètre	symbole	NMOS	PMOS
coefficient de conduction	$K = \frac{k}{2} \frac{W}{L}$	$0,55 \text{ mA} \cdot \text{V}^{-2}$	$0,45 \text{ mA} \cdot \text{V}^{-2}$
tension de seuil ($V_{BS} = 0$) + figure 9.2	V_{T0}	+ 1,9 V	- 1,1 V

TAB. 9.7 – paramètres des transistors

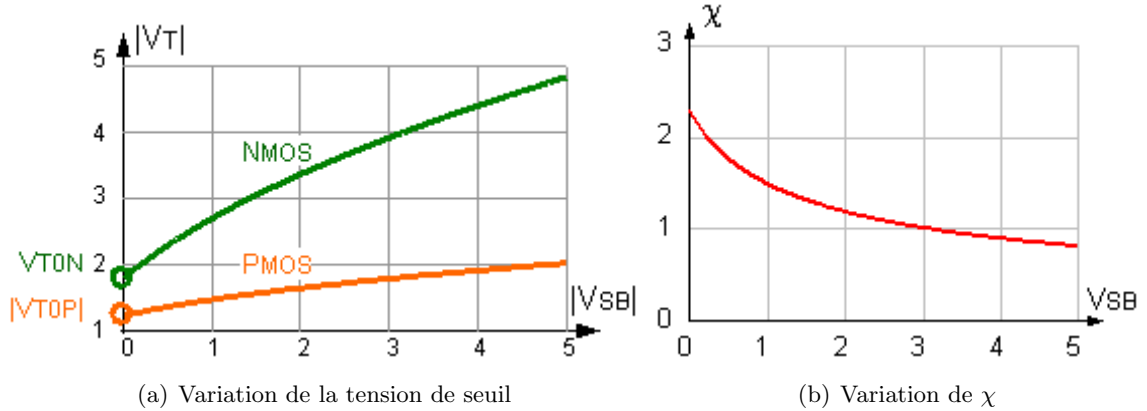


FIG. 9.2 – Effet de substrat

9.5.2 Maquette

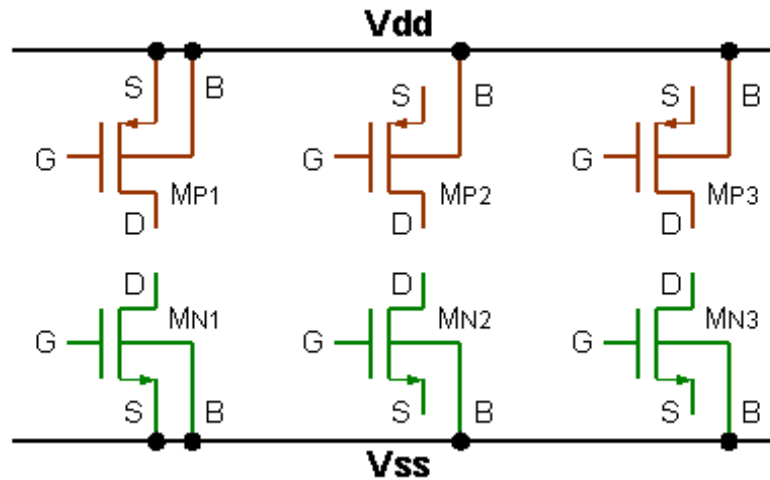


FIG. 9.3 – Maquette : câblage des transistors

- S = Source ; G = Grille ; D = Drain ; B = suBstrat.
- Rangée du haut : PMOS
- Rangée du bas : NMOS

Pour que les transistors NMOS et PMOS fonctionnent correctement il convient de respecter les règles suivantes (figure 9.3) durant tout le TP :

- Le suBstrat des transistors PMOS (équipotentielle V_{DD}) doit toujours être à la tension maximum du montage,
- Le suBstrat des transistors NMOS (équipotentielle V_{SS}) doit toujours être à la tension minimum du montage,
- Les Sources, Grilles et Drains de chacun des transistors sont accessibles via des plots,

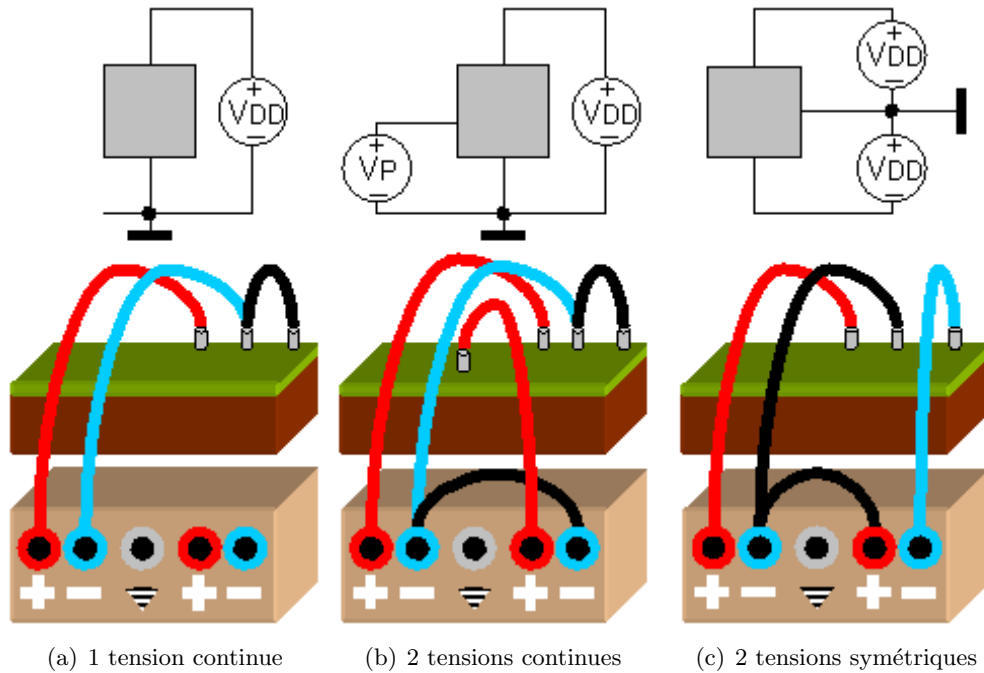


FIG. 9.4 – Maquette : connexion des générateurs de tension continue

pour toute connexion à l'exception des transistors NMOS et PMOS de la colonne de gauche (MN1 et MP1) dont les sources sont déjà connectées à leurs substrats respectifs. Pour cela nous connectons les alimentations selon la figure 9.4.

9.5.3 Utilisation sommaire de l'oscilloscope

Pour la visualisation des signaux électriques, nous utiliserons un oscilloscope à 2 voies. Ces 2 voies, A et B, peuvent être affichées de différentes manières :

- A ou B séparément : touche "A/B",
- A et B simultanément : touche "A/B",
- la voie B peut être inversée : touche "ADD INVERT",
- A et B additionnées : touche "ADD INVERT",
- A et B soustraites (A-B uniquement) : touche "ADD INVERT".

En mode "normal" chacune de ces voies est visualisée en fonction du temps. Nous pouvons utiliser le mode « X/Y » en utilisant la touche "X DEFL" et en sélectionnant la tension de déviation horizontale par la touche "TRIG or X SOURCE".

9.5.4 Modèles statique et grand signal

- $K_n = \frac{\mu_{0n} \cdot C'_{ox}}{2} \cdot \frac{W_n}{L_n} = \frac{kn}{2} \cdot \frac{W_n}{L_n}$ et $K_p = \frac{\mu_{0p} \cdot C'_{ox}}{2} \cdot \frac{W_p}{L_p} = \frac{kp}{2} \cdot \frac{W_p}{L_p}$
- $V_{dsat} = V_{GS} - V_T = V_{EG}$
- $\lambda_n = \frac{1}{V_{En} \cdot L_n}$ et $\lambda_p = \frac{1}{V_{Ep} \cdot L_p}$

9.5.5 Modèle linéaire

Équations du transistor NMOS			
régime	conditions		courant I_{ds}
bloqué	$V_{gs} \leq V_{Tn}$		$I_{ds} = 0$
ohmique	$V_{gs} > V_{Tn}$	$V_{ds} \rightarrow 0$	$I_{ds} = 2 K_n (V_{gs} - V_{Tn}) V_{ds}$
quadratique		$V_{ds} < V_{ds_{sat}}$	$I_{ds} = 2 K_n (V_{gs} - V_{Tn} - \frac{V_{ds}}{2}) V_{ds}$
pincement		$V_{ds} = V_{ds_{sat}}$	$I_{ds_{sat}} = K_n (V_{gs} - V_{Tn})^2$
saturation		$V_{ds} > V_{ds_{sat}}$	$I_{ds} = I_{ds_{sat}} (1 + \lambda_n (V_{ds} - V_{ds_{sat}}))$
effet de substrat		$V_{bs_n} < 0$	$V_{Tn} = V_{T0n} + f(V_{bs_n})$ (voir figure 9.2)
Équations du transistor PMOS			
régime	conditions		courant I_{ds}
bloqué	$V_{gs} \geq V_{Tp}$		$I_{ds} = 0$
ohmique	$V_{gs} < V_{Tp}$	$V_{ds} \rightarrow 0$	$I_{ds} = -2 K_p (V_{gs} - V_{Tp}) V_{ds}$
quadratique		$V_{ds} > V_{ds_{sat}}$	$I_{ds} = -2 K_p (V_{gs} - V_{Tp} - \frac{V_{ds}}{2}) V_{ds}$
pincement		$V_{ds} = V_{ds_{sat}}$	$I_{ds_{sat}} = -K_p (V_{gs} - V_{Tp})^2$
saturation		$V_{ds} < V_{ds_{sat}}$	$I_{ds} = I_{ds_{sat}} (1 - \lambda_p (V_{ds} - V_{ds_{sat}}))$
effet de substrat		$V_{bs_p} > 0$	$V_{Tp} = V_{T0p} - f(V_{bs_p})$ (voir figure 9.2)

TAB. 9.8 – Équations des transistors MOS (figure 9.5)

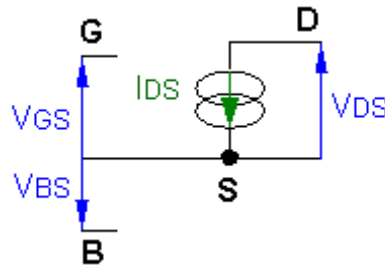


FIG. 9.5 – Schéma du modèle statique et grand signal du transistor MOS

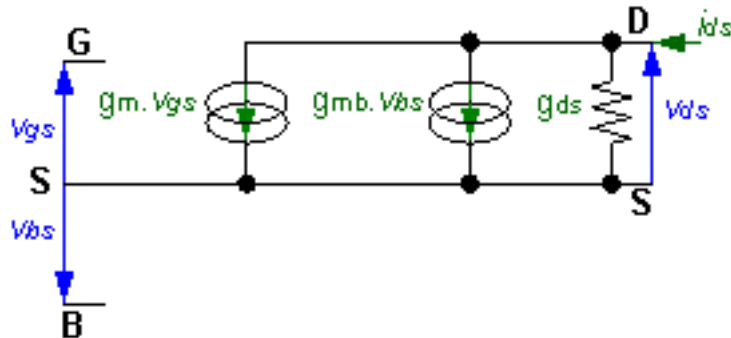


FIG. 9.6 – Schéma du modèle linéaire du MOS

élément	valeur
transconductance	$g_m = \frac{2 \cdot I_{DS0}}{V_{EG0}} = 2\sqrt{K \cdot I_{DS0} } = 2 \cdot K \cdot V_{EG0} $
conductance de sortie	$g_{ds} = \frac{\lambda \cdot I_{DS0} }{1 + \lambda \cdot V_{DS0} - V_{EG0} } \approx \lambda \cdot I_{DS0} \approx \frac{ I_{DS0} }{L \cdot V_E}$
transconductance d'effet de substrat	$g_{mb} = g_m \cdot \chi$ avec $\chi = f(V_{BS0})$ (voir figure 9.2)
gain intrinsèque	$av = \frac{g_m}{g_{ds}} \approx \frac{2 \cdot L \cdot V_E}{ V_{EG0} }$

TAB. 9.9 – Équations du modèle linéaire du MOS (figure 9.6)

Chapitre 10

Travaux pratiques : Boucle à verrouillage de phase

10.1 Introduction

Le schéma de principe de la boucle est rappelé à la figure 10.1.

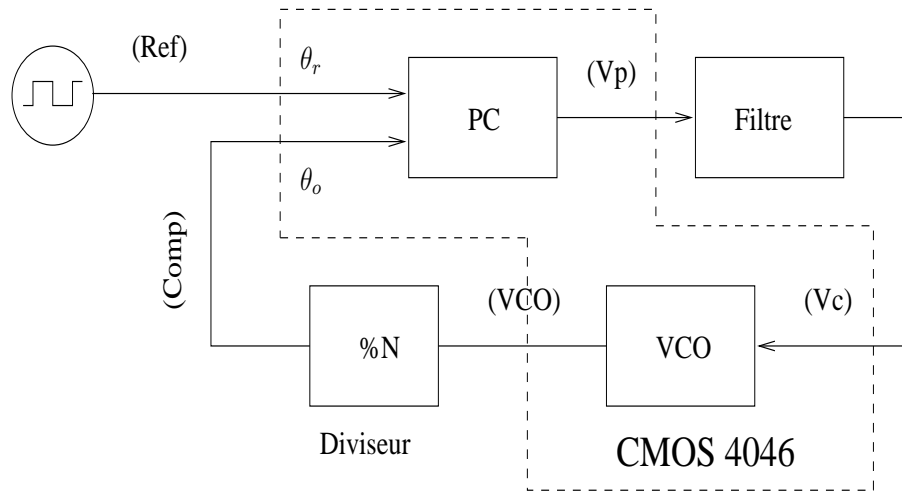


FIG. 10.1 – Schéma de principe de la PLL

La boucle à verrouillage de phase utilisée dans ce TP est un circuit CMOS 4046. Ce circuit intégré comprend les éléments suivants (partie en pointillés de la figure 10.1) :

- Deux comparateurs de phase (PC)
- Un oscillateur contrôlé en tension (VCO)

Le comparateur de phase le plus simple que nous noterons PC1 utilise une porte logique OU EXCLUSIF. Le second comparateur que nous noterons PC2 est un comparateur séquentiel constitué de bascules.

Les caractéristiques du VCO (pulsation libre ω_{ol} et excursion) sont en fait ajustées par deux résistances et une capacité qui sont externes au circuit intégré. Dans le cadre de ce TP, ces composants sont fixés et la caractéristique du VCO est donc imposée.

La figure 10.2 donne la disposition de la maquette utilisée.

La tension d'alimentation V_{dd} du circuit est prise égale à 5 V.

L'entrée notée *Ref* est l'horloge de référence. La forme d'onde de ce signal est "carrée" (rapport cyclique = 50%) et comprise entre 0 et V_{dd} comme indiqué à la figure 10.3.

Les bornes *B1* et *B2* sont reliées à deux embases coaxiales qui permettent l'accès aux

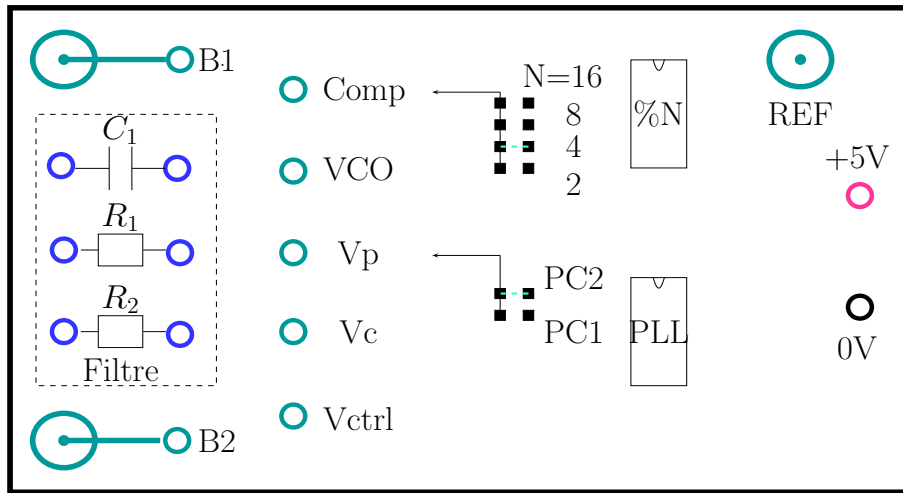


FIG. 10.2 – Plan de la maquette PLL

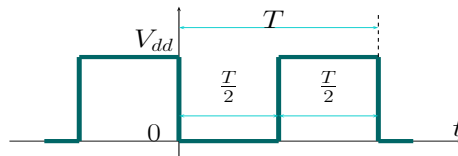


FIG. 10.3 – Forme d'onde du signal de référence

différents points de la maquette ($Comp$, VCO , Vc , Vp , $Vctrl$)¹. Celle-ci comporte également deux straps dont l'un est destiné au choix du rapport de division éventuel en sortie du VCO (2-4-8-16) et un autre dédié au choix du type de comparateur utilisé (PC1 ou PC2).

10.2 Caractéristique du VCO

Le VCO fournit un signal carré (rapport cyclique $\approx 50\%$) dont l'amplitude est comprise entre 0 et V_{dd} (figure 10.3). La fréquence de ce signal est contrôlée par la tension d'entrée V_c du VCO. On considérera que la pulsation libre ω_{ol} correspond à la tension d'entrée $V_c = \frac{V_{dd}}{2}$. Toute linéarisation ultérieure sera effectuée autour de ce point.

$V_c(V)$	$F_o(KHz)$
0	
1	
1.5	
2.0	
$\frac{V_{dd}}{2}=2.5$ V	f_{ol}
3.0	
3.5	
4.0	
$V_{dd}=5.0$ V	

TAB. 10.1 – Caractéristique du VCO

- Relever la caractéristique fréquence-tension du VCO comme indiqué dans le tableau 10.1.

¹voir la figure 10.1 pour la correspondance de ces signaux avec les différents blocs

- En déduire la valeur du gain K_{ol} (en kHz/V) du VCO au voisinage du point $(\frac{V_{dd}}{2}, f_{ol})$.
- Que peut-on dire de la linéarité de cette caractéristique ?

10.3 Boucle du premier ordre

10.3.1 Comparateur de phase PC1

Le comparateur de phase PC1 utilise une porte OU EXCLUSIF comme indiqué à la figure 10.4.

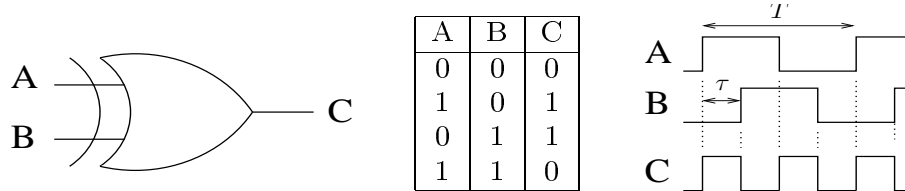


FIG. 10.4 – Comparateur de phase PC1

Le signal d'entrée de la boucle est appliqué sur l'entrée (A) et la sortie du VCO sur l'entrée (B). Le signal d'erreur de phase est déterminé à partir de la valeur moyenne du signal sur la sortie (C) dont l'amplitude est comprise entre 0 et V_{dd} . On définit l'écart de phase ϕ comme :

$$\phi = 2\pi \cdot \frac{\tau}{T} \quad (10.1)$$

- Déterminer la valeur moyenne V_c de la sortie (C) en fonction de ϕ .
- Tracer le graphe de V_c en fonction de ϕ pour $\phi \in [0, 2\pi]$.
- Déterminer le gain K_{pc} (en V/radian) du comparateur de phase au voisinage du point $(\frac{\pi}{2}, \frac{V_{dd}}{2})$ et les limites de fonctionnement linéaire autour de ce point.

10.3.2 Plage de verrouillage et de capture

Réaliser la boucle du premier ordre en reliant directement la sortie du comparateur de phase PC1 à l'entrée du VCO (Le comparateur PC2 n'est pas utilisable dans ce cas, son fonctionnement correct nécessitant l'introduction d'un filtre). Le diviseur de fréquence n'est pas utilisé ($N=1$).

Cette configuration est réalisée de la manière suivante :

1. choix de la position PC1 du strap et connexion entre (Vc) et (Vp).
2. **retirer le strap pour la division de fréquence** et effectuer la connexion entre (VCO) et (Comp).

Appliquer à l'entrée un signal carré (figure 10.3) de fréquence f_{ol} (relevée en 10.2).

- observer à l'oscilloscope le signal d'entrée (Ref) et la sortie du VCO.
- vérifier que la boucle est verrouillée (les signaux sont stables à l'oscilloscope, ils conservent une forme carrée et un déphasage bien défini).
- déterminer la plage de verrouillage de la boucle et observer le déphasage des signaux aux limites de cette plage.
- vérifier la capture de la boucle lorsque l'on applique spontanément un signal dans la plage de fréquences précédente.

La variation de phase, obtenue à partir d'un modèle linéaire de la boucle, est donnée par :

$$\Delta\phi = \frac{\Delta f}{K} \quad (10.2)$$

où Δf est l'écart entre la fréquence d'entrée et f_{ol} .

- Déterminer le gain de la boucle $K = K_{pc} \cdot K_{ol}$ (en kHz).
- Dédire de cette relation la plage de verrouillage théorique qui correspond aux limites de fonctionnement linéaire du comparateur de phase PC1.
- Comparer cette valeur à la mesure précédente et justifier un éventuel écart.

10.4 Boucle du second ordre

On utilise maintenant le filtre de boucle passif du premier ordre de la figure 10.5.

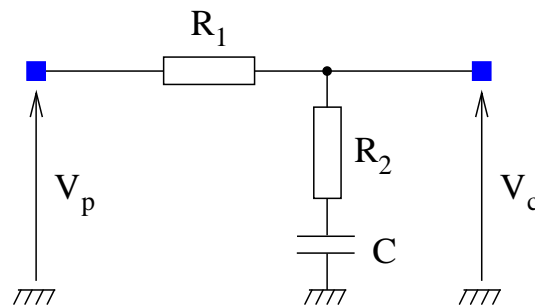


FIG. 10.5 – Filtre de boucle

- Déterminer la fonction de transfert $F(p) = \frac{V_c(p)}{V_p(p)}$.
(on posera $\tau_1 = (R_1 + R_2)C$ et $\tau_2 = R_2C$)
- Montrer que la fonction de transfert complète $T_s(p) = \frac{\Theta_o(p)}{\Theta_r(p)}$ de la boucle est donnée par l'équation suivante :

$$T_s(p) = \frac{\omega_n \left(2\zeta - \frac{\omega_n}{K}\right)p + \omega_n^2}{p^2 + 2\zeta\omega_n p + \omega_n^2} \quad (10.3)$$

$$\text{avec } \omega_n = \sqrt{\frac{K}{\tau_1}} \quad \zeta = \frac{1}{2} \left(\tau_2 + \frac{1}{K}\right) \sqrt{\frac{K}{\tau_1}}$$

ω_n et ζ sont respectivement la pulsation propre et le coefficient d'amortissement du système.

La valeur des composants pour le filtre de boucle est donnée dans le tableau 10.2.

R_1	R_2	C
100 k Ω	4,7 k Ω	10 nF

TAB. 10.2 – Valeur des composants du filtre

- calculer le coefficient d'amortissement et la pulsation propre de la boucle et en déduire son comportement harmonique et transitoire à partir des courbes fournies en annexe.
- réaliser la boucle avec le filtre précédent (penser à retirer la connexion entre V_c et V_p).
- déterminer expérimentalement la plage de verrouillage et de capture pour les deux types de comparateurs de phase PC1 et PC2 et justifier les résultats obtenus.

10.5 Démodulation de fréquence

On choisit dans cette partie le comparateur de phase PC1 et le filtre de boucle utilisé à la section 10.4 (tableau 10.2).

Le signal d'entrée de la boucle est carré (figure 10.3). Ce signal est modulé en fréquence avec une fréquence centrale égale à f_{ol} (relevée en 10.2). Le signal modulant est également carré, de fréquence 400 Hz et la déviation de fréquence autour de la fréquence centrale est de 4 kHz.

La maquette fournit une version filtrée du signal de contrôle du VCO par l'intermédiaire d'une sortie spécifique du circuit intégré CMOS 4046. Celle-ci permet l'observation sans perturber le filtre. De plus, un filtrage passe-bas du premier ordre permet d'isoler le signal modulant. Ce signal est disponible sur la sortie (Vctrl) de la maquette.

- Observer la version filtrée du signal de contrôle du VCO.
- Effectuer la même observation avec $R_2 = 1\text{ k}\Omega$ et justifier le résultat obtenu.

10.6 Synthèse de fréquence

On désire générer à partir d'une horloge de référence un signal dont la fréquence est 4 fois celle du signal de référence. On insère pour cela un diviseur de fréquence par 4 dans la boucle. Cette configuration est obtenue en plaçant le strap du diviseur dans la position adéquate et en **supprimant la connexion entre (VCO) et (Comp)**.

Le filtre de boucle est celui de la section 10.4 (tableau 10.2) et le comparateur de phase est du type séquentiel (PC2).

- appliquer un signal de référence à une fréquence de 15 kHz et observer le signal en sortie du VCO et du diviseur (Comp).
- déterminer la plage de verrouillage et de capture de la boucle.
- calculer le nouveau gain de boucle lié à l'introduction du diviseur.
- effectuer les tests précédents avec le comparateur de phase PC1.

Conclusions.

10.7 Annexe

Les réponses harmonique et transitoire de la PLL du second ordre (équation 10.3) sont reportées aux figures 10.6 et 10.7 pour $K = 25\omega_n$ et pour différents coefficients d'amortissement.

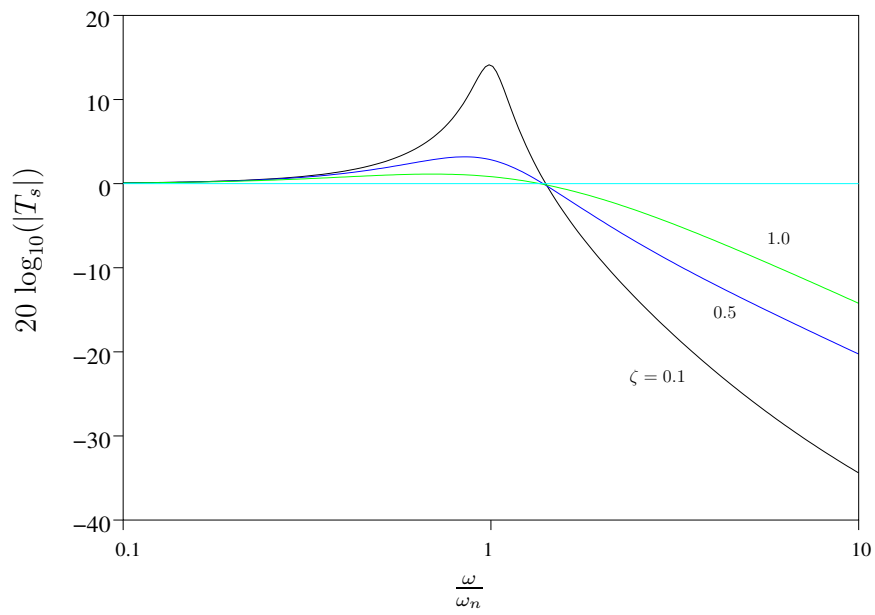


FIG. 10.6 – Module de la fonction de transfert T_s

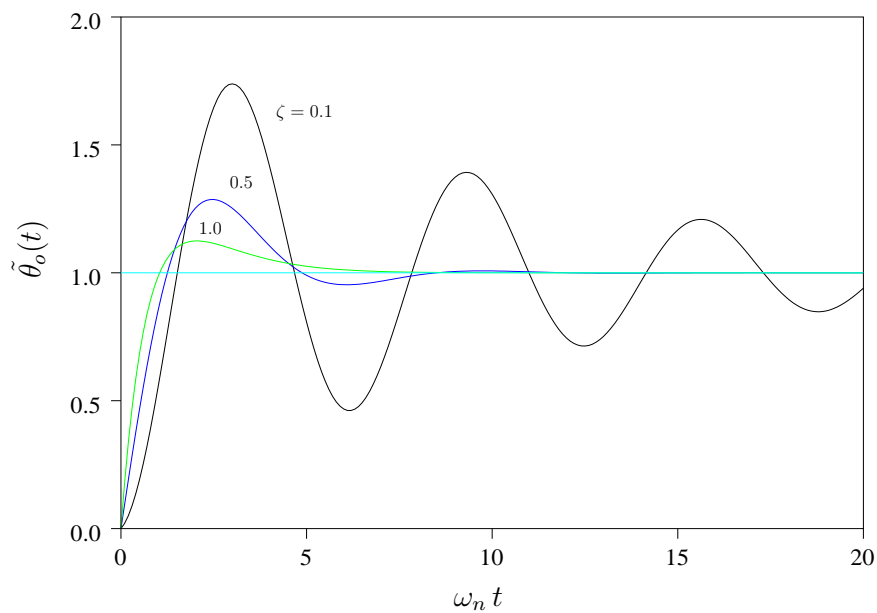


FIG. 10.7 – Réponse indicielle

Chapitre 11

Travaux pratiques : Modulation et démodulation d'amplitude

11.1 Introduction

Ce sujet de travaux pratiques a plusieurs objectifs :

- Étudier, synthétiser et mesurer des fonctions analogiques, de filtrage notamment ;
- Mettre en œuvre des circuits utilisant la technique des capacités commutées ;
- Découvrir un circuit d'électronique analogique reconfigurable de type FPAA (Field Programmable Analog Array).

11.2 Modulation et démodulation d'amplitude

Nous nous proposons de réaliser grâce à un circuit analogique reconfigurable un modulateur et démodulateur d'amplitude à détection d'enveloppe. Un signal à émettre, aussi appelé

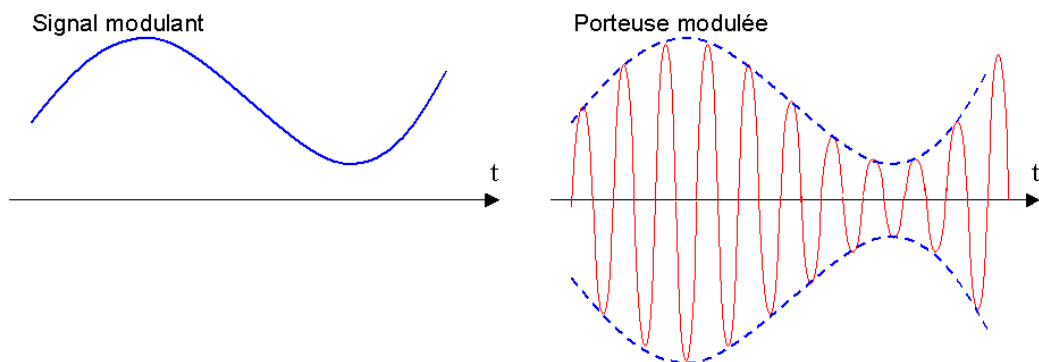


FIG. 11.1 – Modulation d'amplitude

le signal modulant, fait varier l'amplitude d'une porteuse sinusoïdale (figure 11.1). À la réception, le démodulateur doit restituer le signal à partir de la porteuse modulée.

Pour que le signal soit correctement restitué après démodulation, celui-ci doit être sous-modulé. Ceci signifie que sa composante continue (la valeur moyenne du signal) avant modulation doit être égale ou supérieure à la différence entre cette composante continue et la valeur minimale du signal. Autrement dit, pour un signal $x(t)$:

$$x_{moyen} - x_{min} < x_{moyen}$$

Ceci signifie aussi que la valeur minimale du signal x_{min} doit être toujours positive. On définit

alors l'indice de modulation tel que :

$$\mu = \frac{x_{moyen} - x_{min}}{x_{moyen}}$$

L'indice de modulation doit rester inférieur à 1. La récupération d'un signal sur-modulé est possible mais plus complexe.

11.3 Présentation du circuit FPAA

Le circuit AN10E40¹ comporte une matrice de 20 blocs analogiques configurables (CAB) à capacités commutées organisés en une matrice de 4 × 5 (figure 11.2). Par l'intermédiaire de commutateurs programmés par un mot binaire (à l'instar de FPGA), chaque bloc peut émuler une fonction particulière parmi un ensemble fixe : on y trouve différentes fonctions d'amplification, de filtrage, de comparaison, d'oscillateur, de redresseur, etc. Les entrées-sorties du circuit, organisées en 13 modules identiques sont également configurables, permettant d'introduire un suiveur en entrée ou en sortie. Le circuit comporte également une référence de tension programmable intégrée optionnelle (si besoin est, une référence externe peut être imposée). De même, le point milieu (la masse) peut être générée en interne ou imposée de l'extérieur. 4 horloges sont utilisables dans le circuit en plus de l'horloge maîtresse : celle-ci accepte une valeur maximale de 1MHz. Les 4 autres horloges sont produites comme des fractions de l'horloge principale parmi 32 valeurs possibles. L'horloge principale peut aussi être imposée de l'extérieur. La programmation du circuit est réalisée par l'intermédiaire d'un logiciel dédié : Anadigm Designer Version 1.2[©] : il s'agit d'instancier les configurations (appelées IP : Intellectual Property) choisies des CAB sur une représentation matricielle du circuit puis de connecter ces instances par des connexions locales (directes) ou globales (lignes horizontales et verticales sur le schéma de saisie). Un simulateur intégré au logiciel permet uniquement des simulations en transitoire.

Attention : Certaines IP échantillonnent le signal sur une phase de l'horloge et fournissent une sortie valide sur l'autre phase uniquement. On veillera donc à ce que la phase d'échantillonnage d'une IP corresponde à celle de validité du signal. Lorsque ce n'est pas le cas, un ré-échantillonnage intermédiaire peut être nécessaire (IP : S01p1 ou S01p2).

De plus amples informations sont disponibles à partir de l'aide en ligne du logiciel ou dans les documents suivants :

- [AN10E40.pdf](#) : documentation détaillée du circuit et de sa mise en œuvre ;
- [IPmodule.pdf](#) : description des configurations possibles des blocs analogiques configurables ;
- [AnadigmDesigner.pdf](#) : documentation détaillée du logiciel.

11.4 Présentation de la carte de prototypage

La figure 11.3 représente la carte de prototypage AN10DS40. Celle-ci comprend autour d'un circuit AN10E40 :

- un microcontrôleur pour gérer l'interface avec le FPAA sur la carte ou un FPAA externe ;
- un bouton de remise à zéro ;
- un bouton d'interruption (interrompt toute action en cours du microcontrôleur) ;
- un connecteur RS232 pour la liaison avec le PC pour la configuration ;
- une entrée et une sortie audio (jack) ;
- l'alimentation avec ou sans régulateur ;
- une ROM contenant 4 configurations d'exemples ;

¹Le circuit AN10E40 est produit et commercialisé par la société Anadigm, www.anadigm.com

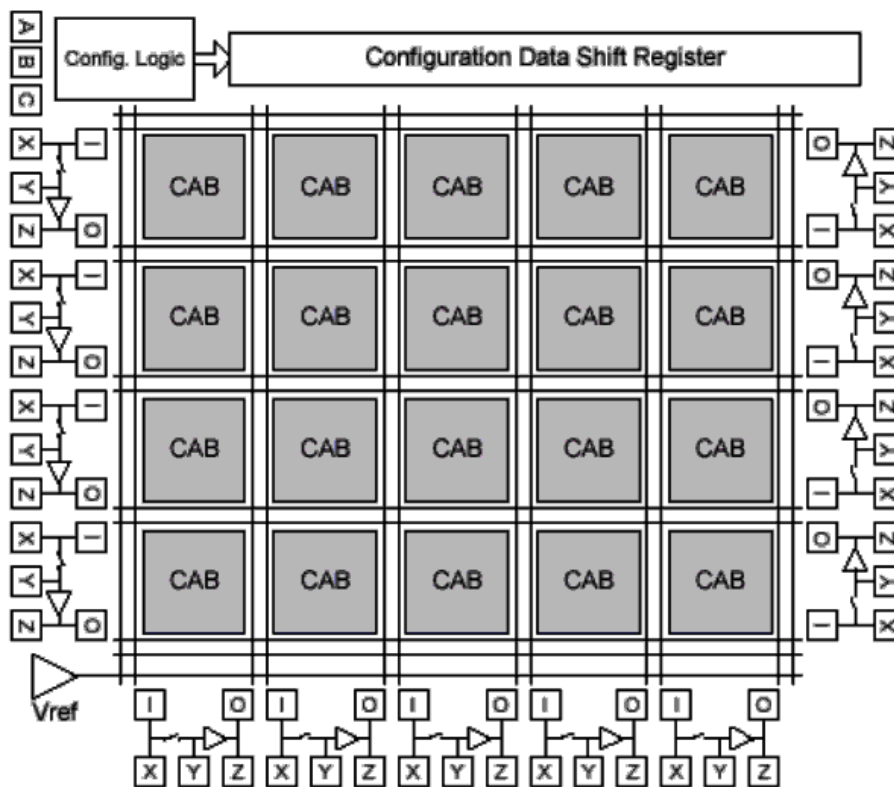


FIG. 11.2 – Carte de prototypage

- quatre boutons poussoirs pour charger les configurations d'exemples ;
- un quartz à 1MHz.

Les broches du circuit sont accessibles par des picots situés à sa périphérie. Pour plus de renseignement, consultez la documentation de la carte : [AN10DS40.pdf](#).

11.5 Potentiels de la carte de prototypage

La carte est alimentée sous 5V. Le potentiel V_{MR} , encore appelé point milieu, est situé à 2,5V au dessus de l'alimentation basse $AGND$ du circuit et 2,5V en dessous de l'alimentation haute $AVDD$. $AGND$ est connecté à la masse des appareils d'instrumentation (connectez les pinces noires des câbles aux arcs notés $AGND$ de la carte). Dans le logiciel de configuration, toutes les tensions sont considérées par rapport à V_{MR} , ce qui revient à considérer $V_{MR} = 0V$.

11.6 Cahier des charges

Nous souhaitons implanter un modulateur d'amplitude avec une porteuse de 83,3kHz. Le signal modulant aura une bande limitée à 5kHz, une valeur moyenne V_{MR} et une amplitude maximale crête à crête de 2V. Après programmation du modulateur et du démodulateur, la liaison entre ces deux modules sera réalisée par connexion directe entre les bornes correspondantes du circuit. Un générateur de signaux sera utilisé pour produire le signal modulant.

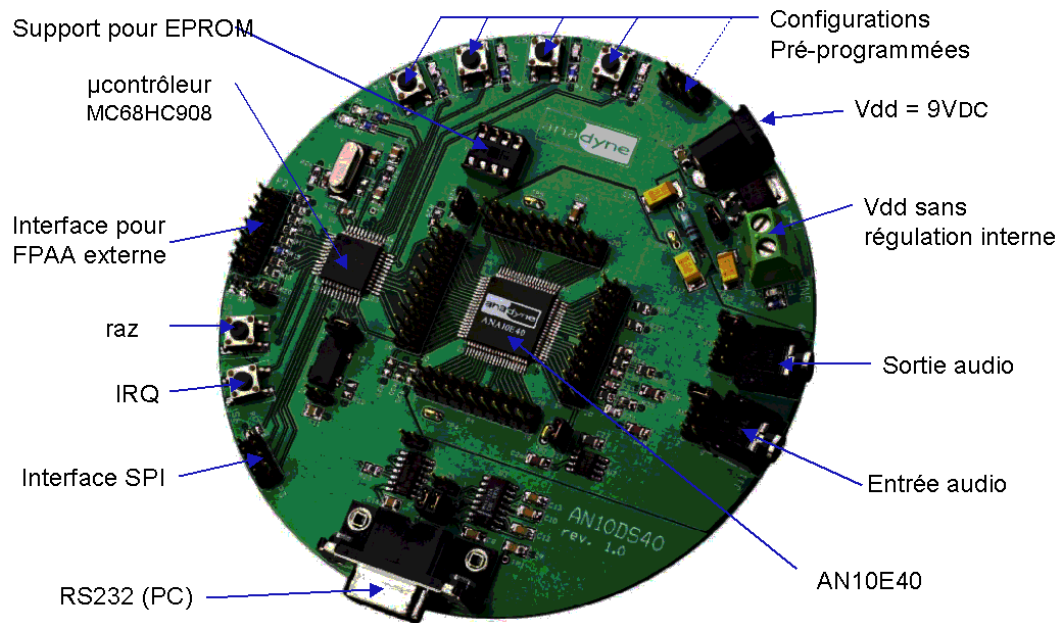


FIG. 11.3 – Carte de prototypage

11.7 Modulateur d'amplitude

11.7.1 Ajout d'une composante continue au signal

Question 11.7.1 Proposez un montage pour que le signal soit échantillonné à la fréquence de la porteuse et que le signal résultant ne croise jamais le point milieu *V_{MR}*.

Question 11.7.2 Vérifiez le montage proposé par simulation.

11.7.2 Expérimentation du prototype

Quelques conseils pour l'expérimentation :

- réglez les sources d'alimentation éventuelles et le générateur de signaux avant de les connecter à la carte ;
- vérifiez que les tensions fournies à la carte sont toutes dans les valeurs supportables par celle-ci.

Question 11.7.3 Programmez le montage et vérifiez les signaux obtenus à l'oscilloscope. Comparez aux résultats obtenus en simulation.

11.7.3 Amplification avec retour au point milieu

Question 11.7.4 Proposez un montage pour que le signal soit restitué fidèlement sur la phase ϕ_2 et que le signal en sortie reste égal au point milieu *V_{MR}* sur la phase ϕ_1 . Sur une période, le signal produit subit donc globalement des variations positive et négative de mêmes valeurs. Cette propriété sera exploitée à la section 11.7.4.

Question 11.7.5 Vérifiez le montage proposé par simulation.

Question 11.7.6 Programmez le montage et vérifiez les signaux obtenus à l'oscilloscope. Comparez aux résultats obtenus en simulation.

11.7.4 Dérivation

Question 11.7.7 Proposez un montage tel que l'amplitude du signal obtenu soit proportionnelle à la variation par demi-période de l'amplitude du signal.

Question 11.7.8 Vérifiez le montage proposé par simulation.

Question 11.7.9 Programmez le montage et vérifiez les signaux obtenus à l'oscilloscope. Comparez aux résultats obtenus en simulation.

11.7.5 Filtrage du signal carré

Un signal modulé sur porteuse utilise normalement une porteuse sinusoïdale pure. Le signal obtenu à partir des montages précédents est modulé sur un signal carré, offrant donc un spectre riche en harmoniques.

Question 11.7.10 Proposez un filtrage tel que on se rapproche d'une porteuse sinusoïdale. On veillera à limiter l'atténuation à 0,1dB en bande passante et à obtenir une atténuation d'au moins 25dB en bande atténuée (ne pas dépasser 6 CAB pour la réalisation du filtre).

Afin de choisir le gabarit du filtre, on utilisera le programme *Filter Designer* (menu déroulant *Tools*).

Question 11.7.11 Vérifiez le montage proposé par simulation.

Question 11.7.12 Programmez le montage et vérifiez les signaux obtenus à l'oscilloscope. Comparez aux résultats obtenus en simulation.

11.7.6 Choix de l'indice de modulation

Question 11.7.13 Sur quels paramètres doit-on jouer pour faire varier l'indice de modulation ?

Question 11.7.14 Que faudrait-il ajouter au circuit de modulation pour un résultat équivalent à un montage en circuits à temps continu ?

Question 11.7.15 La modulation d'amplitude réalisée est-elle équivalente à celle produite à l'aide d'un multiplieur ? Justifiez.

11.8 Démodulateur d'amplitude

Nous nous intéressons désormais à la mise en œuvre du démodulateur qui nous permettra de récupérer le signal émis par le modulateur. Ce démodulateur sera conçu sur le même circuit en gardant présente la configuration du modulateur.

11.8.1 Conception du démodulateur

Question 11.8.1 Proposez un montage en blocs fonctionnels pour la démodulation du signal.

Question 11.8.2 Réalisez à partir des IP disponibles le circuit de démodulation. Vérifiez par simulation la validité du circuit. On veillera en particulier à annuler la composante continue du signal.

11.8.2 Expérimentation du démodulateur

Question 11.8.3 En respectant les conseils indiqués à la section 11.7.2, procédez à la configuration du FPAA puis à l'expérimentation.

11.9 Transmission en modulation d'amplitude

Question 11.9.1 Connectez la sortie du modulateur à l'entrée du démodulateur et comparez le signal démodulé au signal modulant.

11.10 Annexe

Le tableau 11.1 fournit les correspondance entre les noms des entrées-sorties identifiées sur le logiciel et les picots (connecteurs P7 à P10) de la carte.

Broche	Connecteur	Picot
D1X	P8	1
D1Y	P8	2
D1Z	P8	3
D2X	P8	4
D2Y	P8	5
D2Z	P8	6
D3X	P8	7
D3Y	P8	8
D3Z	P8	9
D4X	P8	12
D4Y	P8	13
D4Z	P8	14
D5X	P8	15
D5Y	P8	16
D5Z	P8	17

Broche	Connecteur	Picot
LAX	P9	18
LAY	P9	15
LAZ	P9	16
LBX	P9	11
LBY	P9	14
LBZ	P9	13
LCX	P9	7
LCY	P9	8
LCZ	P9	5
LDX	P9	2
LDY	P9	1
LDZ	P9	4

Broche	Connecteur	Picot
RAX	P7	18
RAY	P7	15
RAZ	P7	16
RBX	P7	11
RBY	P7	14
RBZ	P7	13
RCX	P7	7
RCY	P7	8
RCZ	P7	5
RDX	P7	2
RDY	P7	1
RDZ	P7	4

TAB. 11.1 – Correspondances entre broches du circuit et connexions de la carte

Le tableau 11.2 fournit la liste des modules de configuration disponibles.

Nom	Description	nb. CAB
C01a	comparateur non inverseur	1
C01b	comparateur inverseur	1
C02	comparateur à deux entrées	2
C03	trigger de Schmitt	2
C04b	comparateur inverseur rapide	1
D01	dérivateur inverseur	1
D02p1	dérivateur inverseur avec maintien en phase 1	1
D02p2	dérivateur inverseur avec maintien en phase 2	1
F01	filtre biquadratique passe-bas (Q faible)	2
F02	filtre biquadratique passe-bas (Q élevé)	2
F03	filtre biquadratique passe-haut (Q faible)	2
F04	filtre biquadratique passe-haut (Q élevé)	2
F05	filtre biquadratique passe-bande (Q faible)	2
F06	filtre biquadratique passe-bande (Q élevé)	2

Nom	Description	nb. CAB
F07	filtre biquadratique réjecteur (Q faible)	3
F08	filtre biquadratique réjecteur (Q élevé)	3
F09	filtre à pôle unique passe-bas (Q faible)	1
F10	filtre à pôle unique passe-bas (Q élevé)	1
G01	amplificateur inverseur	1
G03a	amplificateur avec retour à <i>VMR</i> en phase 1 et compensation de tension de décalage	1
G03b	amplificateur inverseur avec retour à <i>VMR</i> en phase 1 et compensation de tension de décalage	1
G04	amplificateur inverseur avec compensation de tension de décalage en phase 2	1
G05	sommateur inverseur	2
G06a	sommateur avec échantillonnage sur la phase 1, retour à <i>VMR</i> en phase 1 et compensation de tension de décalage	2
G06b	sommateur inverseur avec échantillonnage sur la phase, retour à <i>VMR</i> en phase 1 et compensation de tension de décalage	2
I01a	intégrateur	1
I01b	intégrateur inverseur	1
I02a	intégrateur demi-onde positive ¹	1
I02b	intégrateur inverseur demi-onde positive ¹	1
I02c	intégrateur demi-onde négative ²	1
I02d	intégrateur inverseur demi-onde négative ²	1
M01	limiteur	2
M04	connexion	1
O01	oscillateur sinusoïdal	2
R01a	redresseur avec filtre passe-bas d'ordre 1	1
R01b	redresseur inverseur avec filtre passe-bas d'ordre 1	1
R02a	redresseur demi-onde positive ¹ avec filtre passe-bas d'ordre 1	1
R02b	redresseur inverseur demi-onde positive ¹ avec filtre passe-bas d'ordre 1	1
R02c	redresseur demi-onde négative ² avec filtre passe-bas d'ordre 1	1
R02d	redresseur inverseur demi-onde négative ² avec filtre passe-bas d'ordre 1	1
R03a	redresseur avec retour à <i>VMR</i> en phase 1	1
R03b	redresseur inverseur avec retour à <i>VMR</i> en phase 1	1
R04a	redresseur demi-onde positive ¹ et retour à <i>VMR</i> en phase 1	1
R04b	redresseur inverseur demi-onde positive ¹ et retour à <i>VMR</i> en phase 1	1
R04c	redresseur demi-onde négative ² et retour à <i>VMR</i> en phase 1	1
R04d	redresseur inverseur demi-onde négative ² et retour à <i>VMR</i> en phase 1	1
R05b	redresseur inverseur demi-onde positive ¹	1
R05d	redresseur inverseur demi-onde négative ²	1
S01p1	échantillonnage sur la phase 1 et blocage	1
S01p2	échantillonnage sur la phase 2 et blocage	1
S02p1	échantillonnage sur la phase 1 et blocage sur la phase 2	1
S02p2	échantillonnage sur la phase 2 et blocage sur la phase 1	1
V01a	Source de tension constante +2,5V	1
V01b	Source de tension constante -2,5V	1

Nom	Description	nb. CAB
V02a	Source de tension constante positive	1
V02b	Source de tension constante négative	2
V03	Source de tension constante VMR (0,0V)	1

TAB. 11.2: Modules de configuration

¹Demi-onde positive : la sortie est maintenue à VMR si l'entrée est inférieure à VMR .

²Demi-onde négative : la sortie est maintenue à VMR si l'entrée est supérieure à VMR .