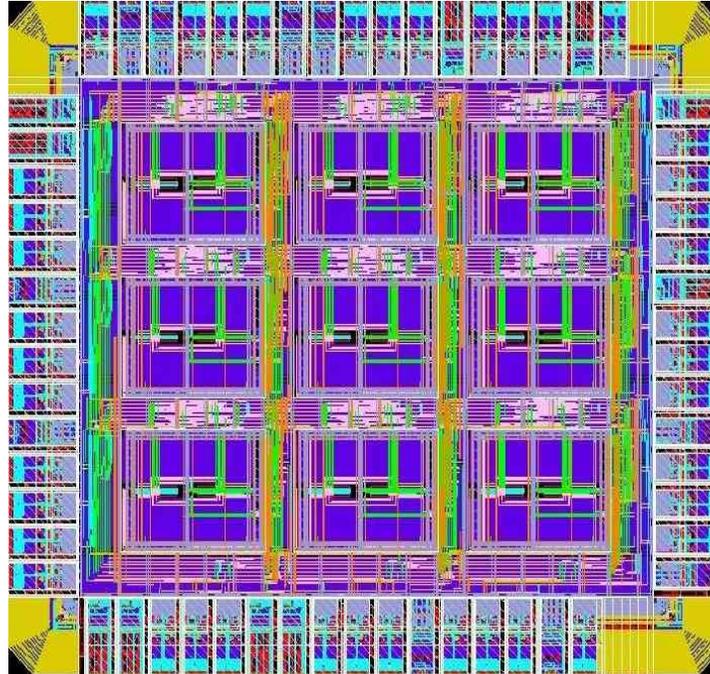




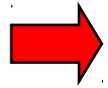
Les circuits logiques programmables FPGAs

Atouts et architectures



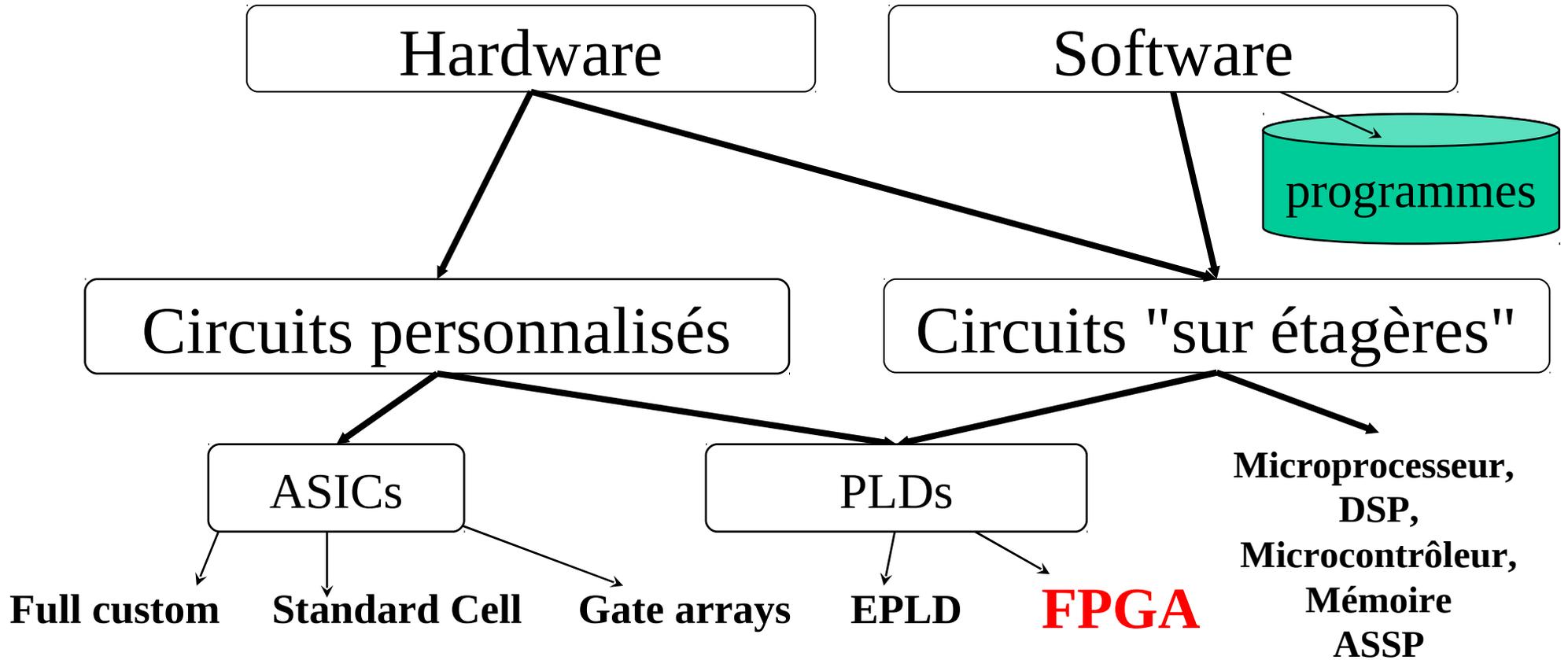
Jean-Luc Danger

Décembre 2010

- 
- **Place et Marché des FPGAs**
 - **Du FPGA à l'ASIC**
 - **Architectures de la logique**
 - **Architectures des blocs embarqués**
 - **Architectures d'interconnexion**
 - **Architectures de configuration**
 - **Performances, Consommation, Robustesse**

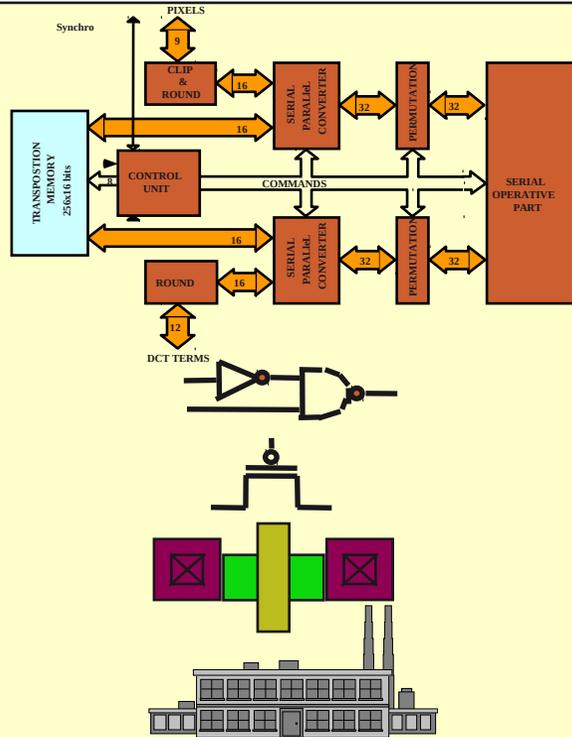


Filières technologiques





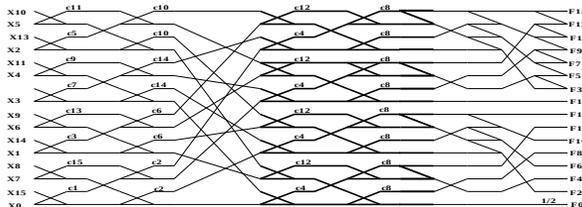
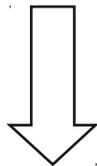
Circuits "sur étagères"



- Microprocesseurs
- Microcontrôleurs
- DSP
- Mémoires
- ASSP

Intel, TI, Freescale, STM,...

A faire



Algorithme : software

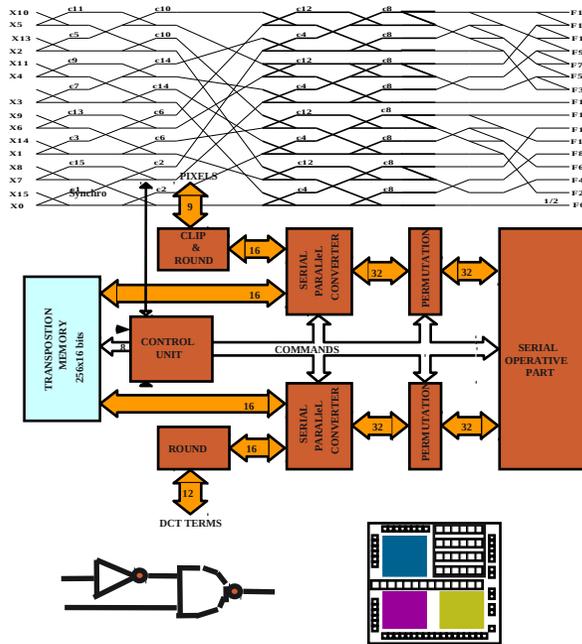


Circuits ASIC "standard cell" ou précaractérisés

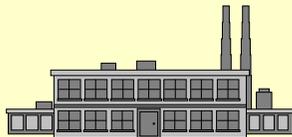


Bibliothèque "Standard cell"
STM, Atmel, TSMC, UMC

A faire



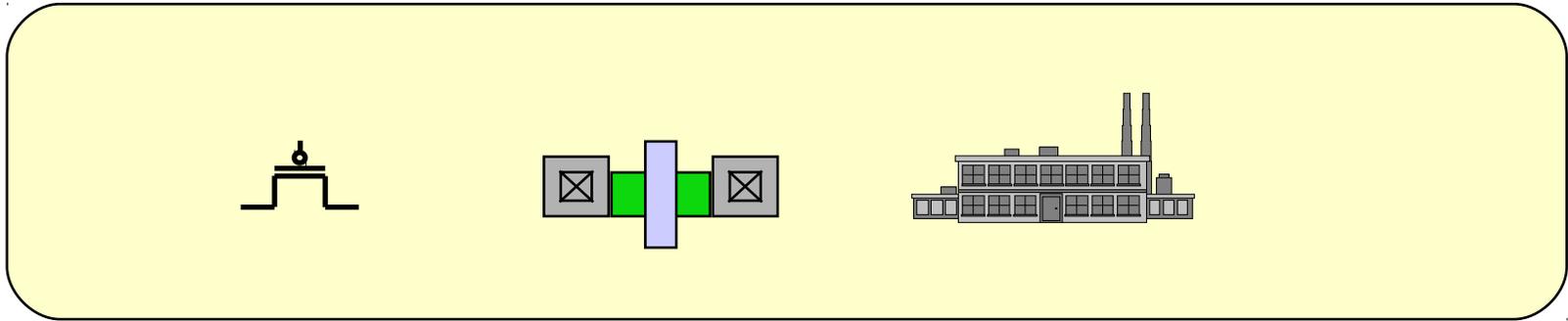
- Accessible aux entreprises "Fables"
- Bon Compromis performances/coût à fort volume
- SoC si microprocesseur embarqué



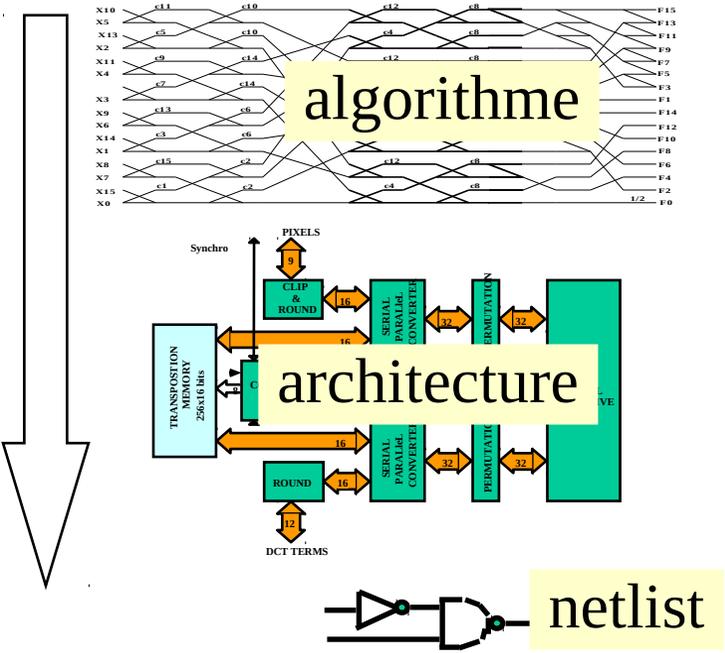
STM, Atmel, TSMC, UMC, LSI Logic,...



Circuits programmables : PLD "Programmable Logic Devices"



A faire



- Circuit fabriqué et testé.
- Programmation de la Mémoire interne pour obtenir une netlist.
- PsoC si microprocesseur embarqué

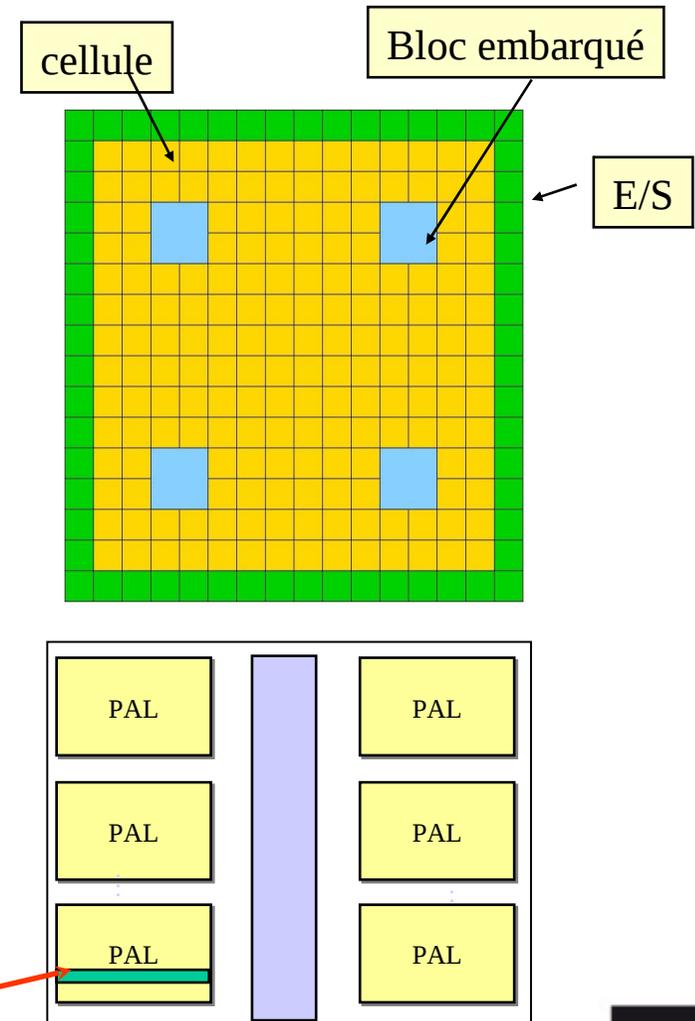
FPGA :

- Circuit de type "Gate Array"
- Matrice de "cellules"
- Facilement extensible
 - Quelques millions de portes
- Performants
 - >600MHz (Virtex6 et StratixV)

EPLD :

- Circuit à base de "macrocellules"
- Dédié uniquement au contrôle

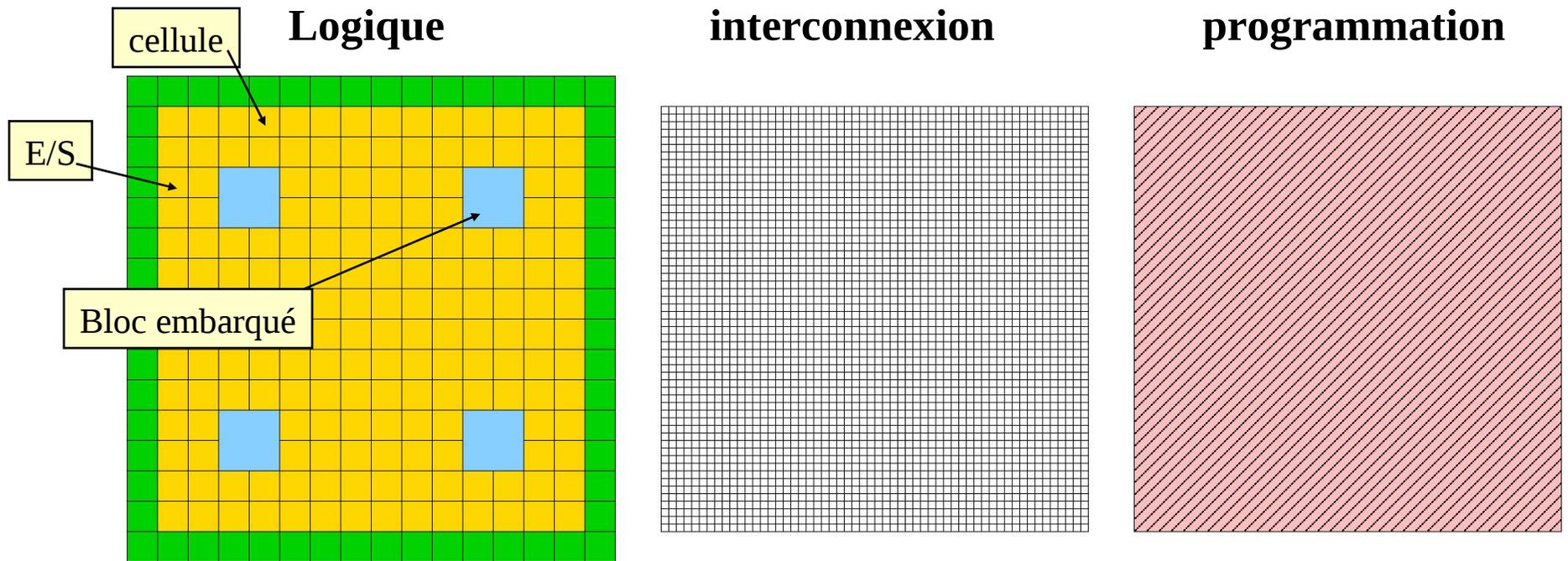
macrocellule





Architecture générique d'un FPGA

■ 3 plans virtuels superposés :



Surface environ de 20 à 50 fois plus grosse qu'un ASIC à fonction identique dans une même technologie

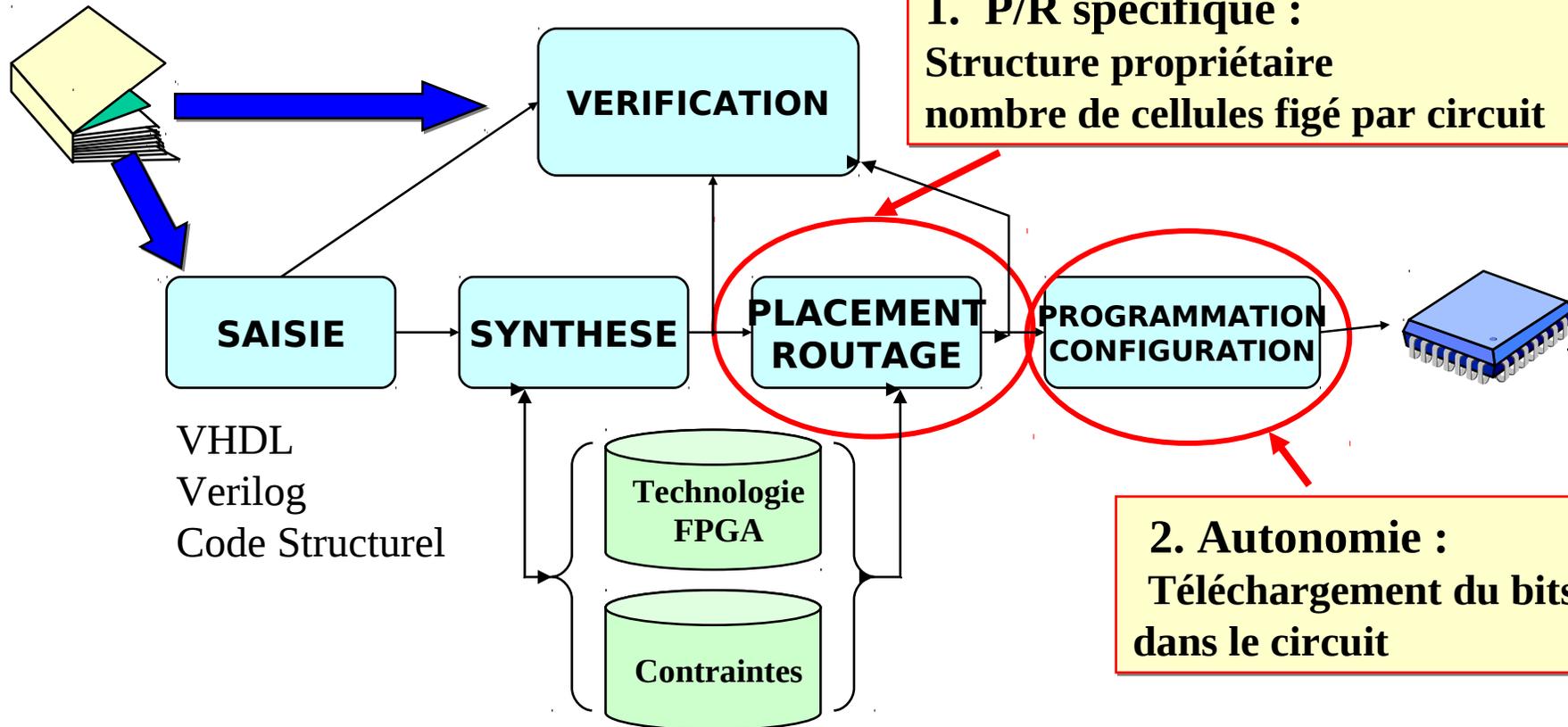


Flot de conception FPGA

Très similaire à celle des circuits ASICs :

Différences :

spécifications



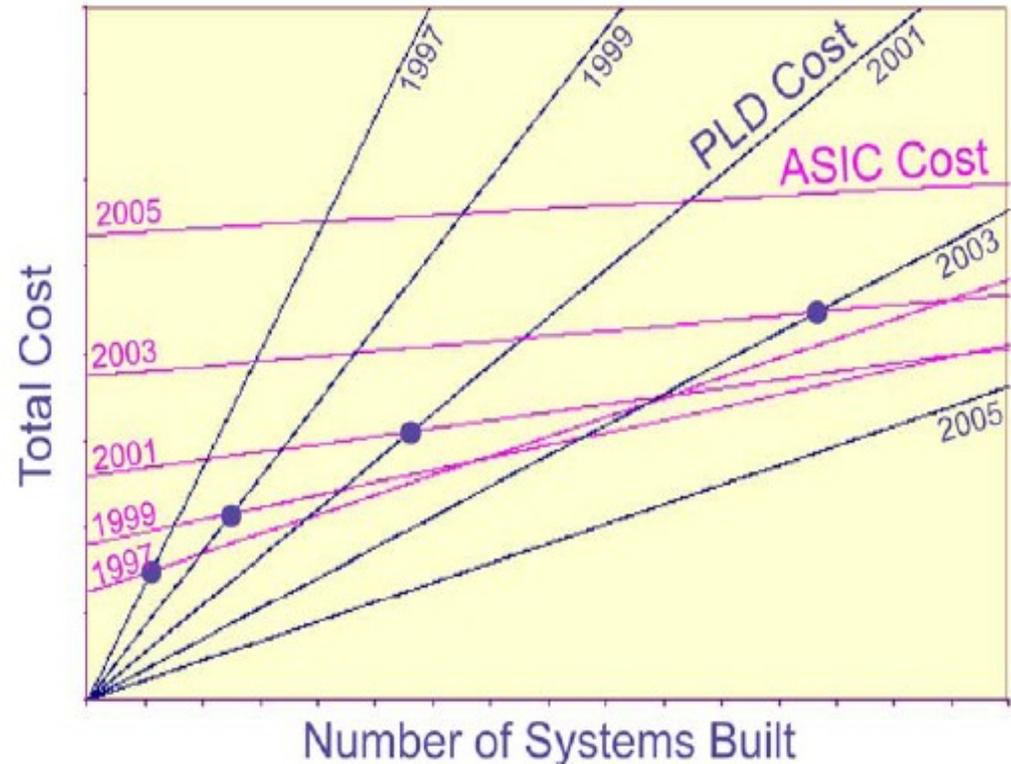
1. P/R spécifique :
Structure propriétaire
nombre de cellules figé par circuit

2. Autonomie :
Téléchargement du bitstream
dans le circuit



Applications des FPGAs

- **Marché petit et moyen volume**
 - Etude de coût
- **Prototypage rapide avant conception ASIC**
- **Validation de concept (Recherche)**
- **Enseignement de l'électronique**



Nick Tredennick, Brion Shimamoto. *The Rise of Reconfigurable Systems*. In proceeding of Engineering of Reconfigurable Systems and Algorithms, ERSA'2003. June 23-26, Las Vegas, Nevada, USA.



Marché des FPGAs

Worldwide FPGA/PLD vendor revenues and rankings, 2007-2008

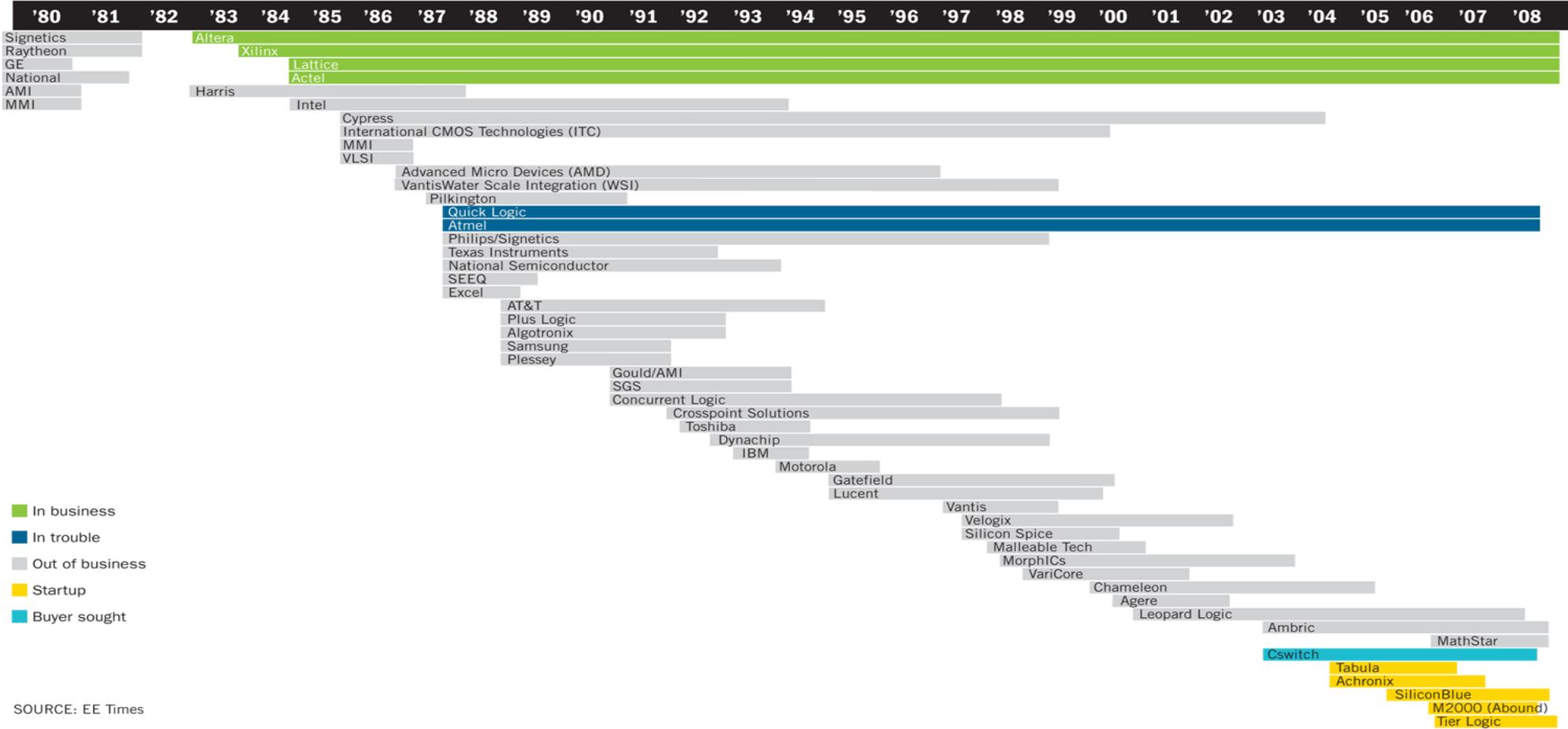
Rank 2007	Rank 2008	Company	Revenue (\$M) 2007	Revenue (\$M) 2008	Revenue Change 2007-2008	Market Share 2008
1	1	Xilinx	1,809	1,906	5.4%	51.2%
2	2	Altera	1,216	1,323	8.8%	35.5%
3	3	Lattice Semiconductor	229	222	-3.1%	6.0
4	4	Actel	196	218	11.2%	5.9%
6	5	QuickLogic	28	23	-17.9%	0.6%
5	6	Cypress Semiconductor	32	21	-34.4%	0.6%
7	7	Atmel	14	9	-35.7%	0.2%
8	8	Chengdu Sino Microelectronics System	4	3	-25.0%	0.1%
		Others	0	0	NM	0.0%
		Total Market	3,528	3,725	5.6%	100.0%

Source: Gartner



Beaucoup d'échecs

History of PLD startups

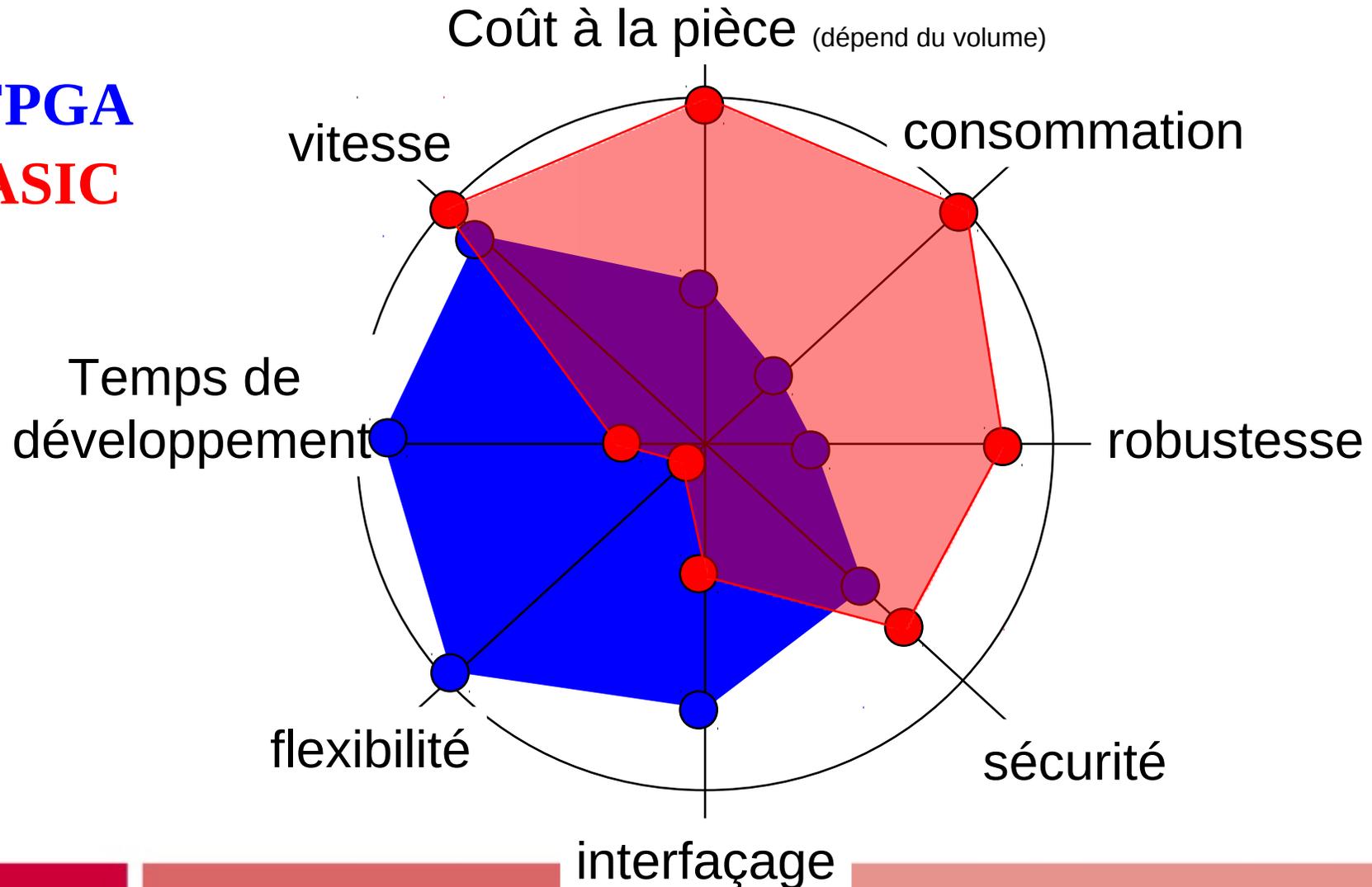


- Place et Marchés des FPGAs
- ➔ ■ Du FPGA à l'ASIC
- Architectures de la logique
- Architectures des blocs embarqués
- Architectures d'interconnexion
- Architectures de configuration
- Performances, Consommation, Robustesse



Comparaison multi-critères ASIC/FPGA

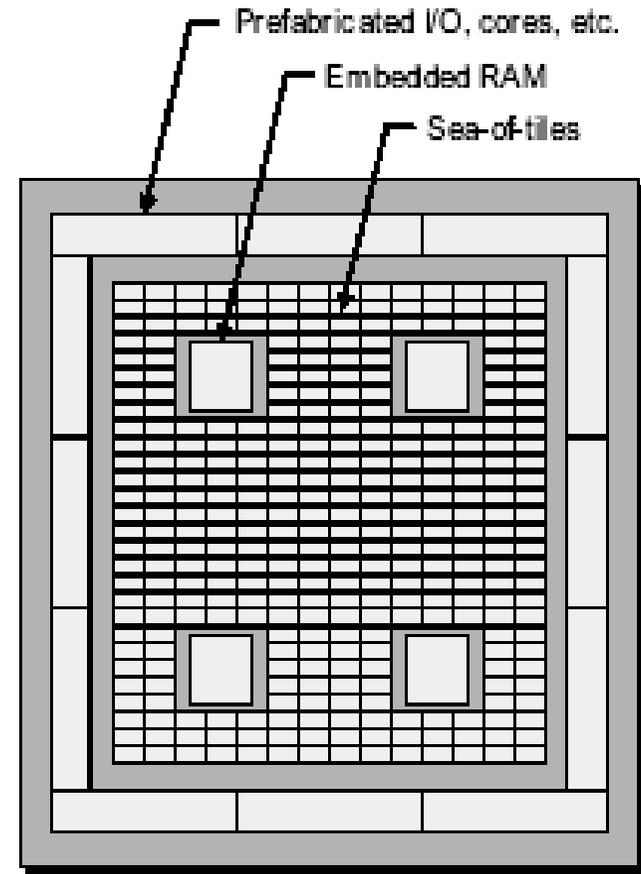
FPGA
ASIC





Solution mixte : "Structured ASIC"

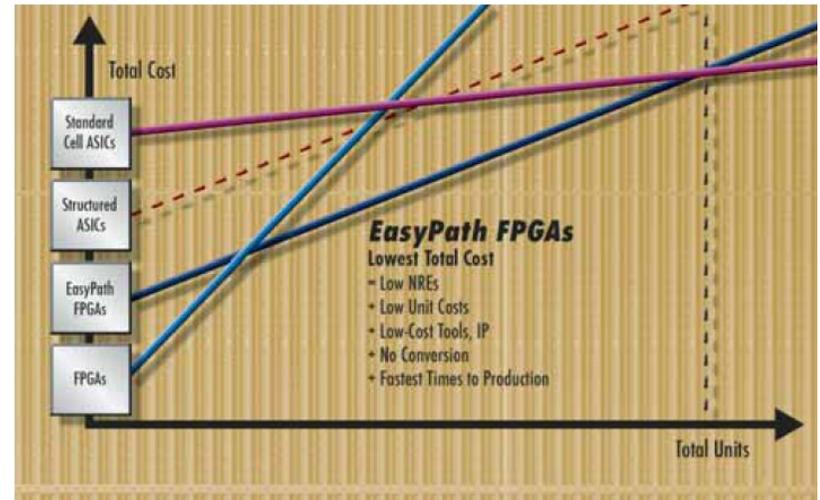
- ASICs précaractérisés
- Matrice d'éléments structurés
- Adaptés à recevoir une netlist FPGA
- Gain si volume important (coût de NRE si volume faible)
- Exemple: Hardcopy ALTERA





Solution mixte : XILINX "Easy Path"

- Les FPGAs ne sont pas modifiés
- Le test ne prend en compte que la fonctionnalité du client
 - Forte réduction du coût

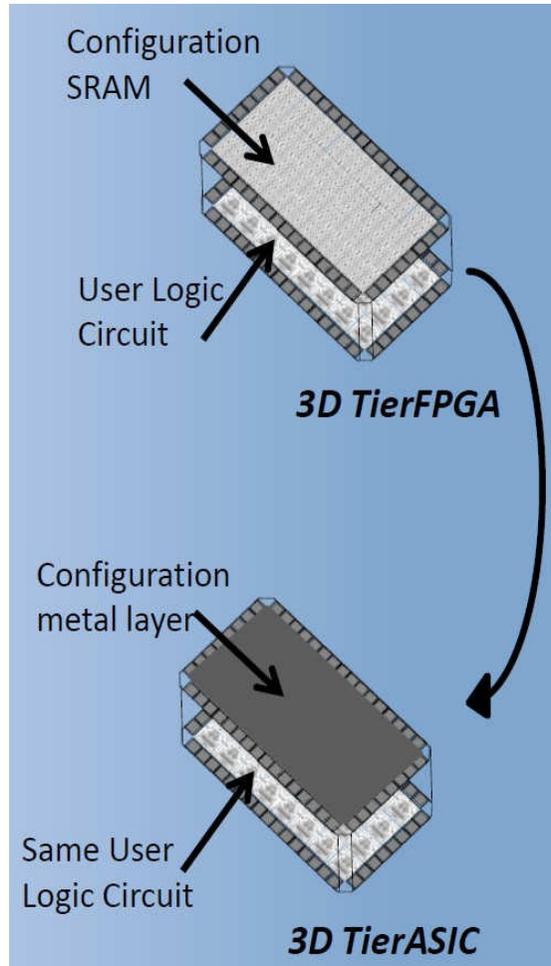


Total Cost Driver	Structured ASICs	Xilinx EasyPath
Time-to-Cost Reduction	20 to 24 weeks	8 to 12 weeks
NRE Costs	\$300K to \$400K	\$100K
Cost of Requalification	\$100K to \$500K	\$0
Engineering Costs	\$250K to \$300K	\$0
Cost of Design Tools	\$100K to \$200K	\$0
Unit Costs	Lowest	Low
Cost of Respin	High	Low

Estimation du coût
selon XILINX



Solution mixte : Tier Logic +

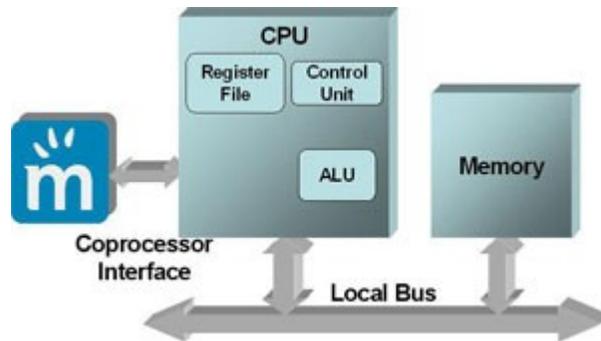


- La mémoire de configuration est sur un vrai plan en dessus de la zone logique : **Circuit 3D**
- Pour passer à l'ASIC, il suffit de remplacer la mémoire de configuration par des lignes métalliques

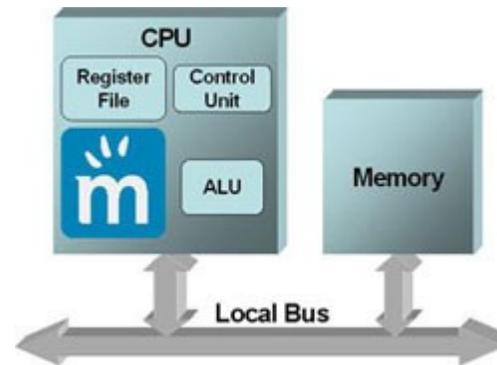


Solution mixte : FPGA embarqué

- Cœurs FPGA dans les ASICs
- Marché naissant
 - Start-up : Menta, FlexRAS

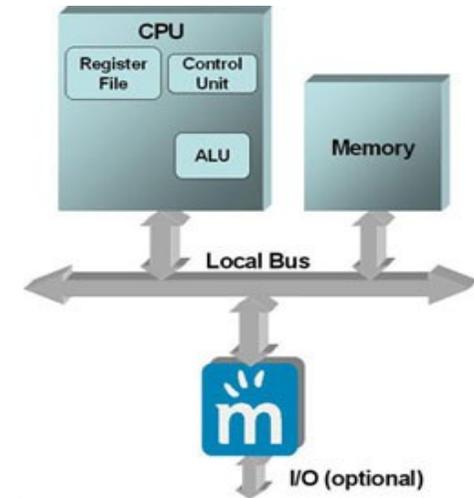


FPGA
COPRO



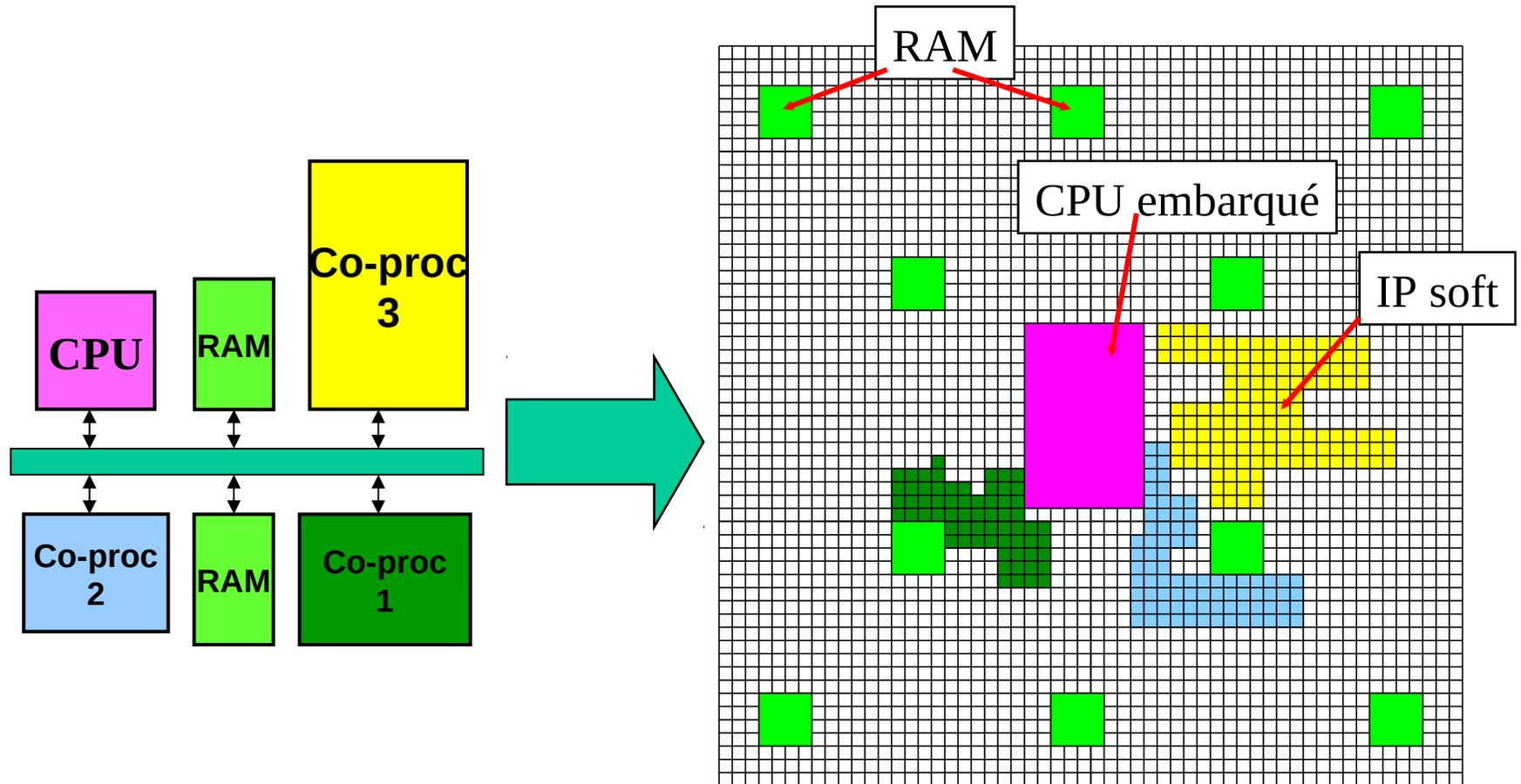
FPGA
ASIP

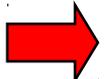
FPGA
I/F





Blocs ASICs dans les FPGAs



- Place et Marchés des FPGAs
- Du FPGA à l'ASIC
-  ■ Architectures de la logique
- Architectures des blocs embarqués
- Architectures d'interconnexion
- Architectures de configuration
- Performances, Consommation, Robustesse



Comment générer une fonction logique quelconque?

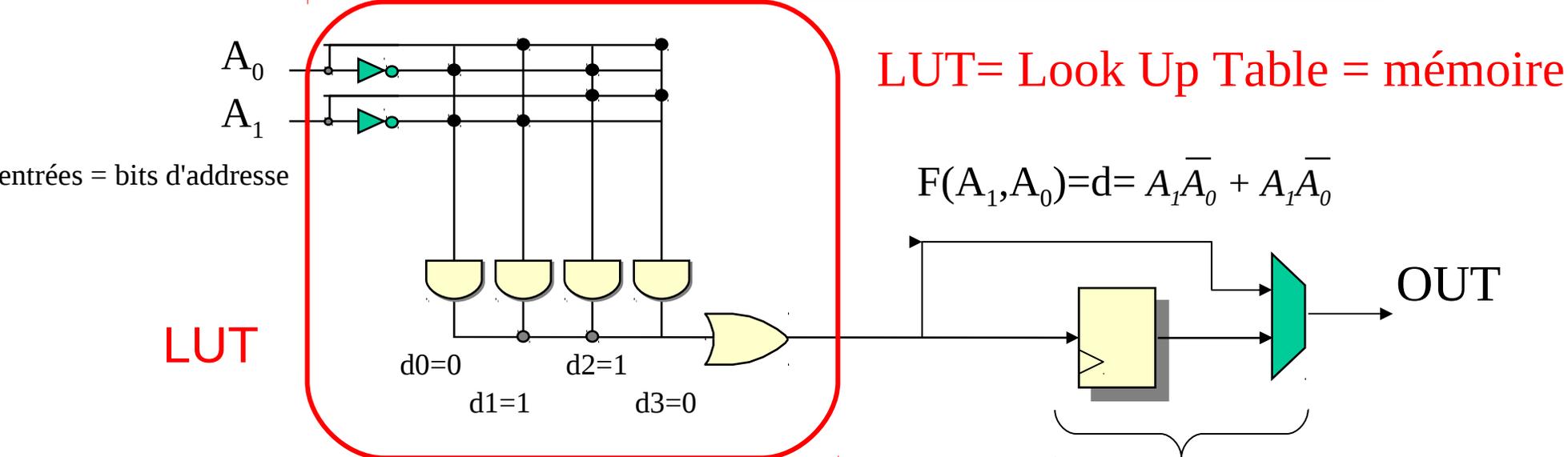
Look Up Table

Fonction à 2 entrées :

$$f(A_1, A_0) = f(0,0)\bar{A}_1\bar{A}_0 + f(0,1)A_1\bar{A}_0 + f(1,0)\bar{A}_1A_0 + f(1,1)A_1A_0$$

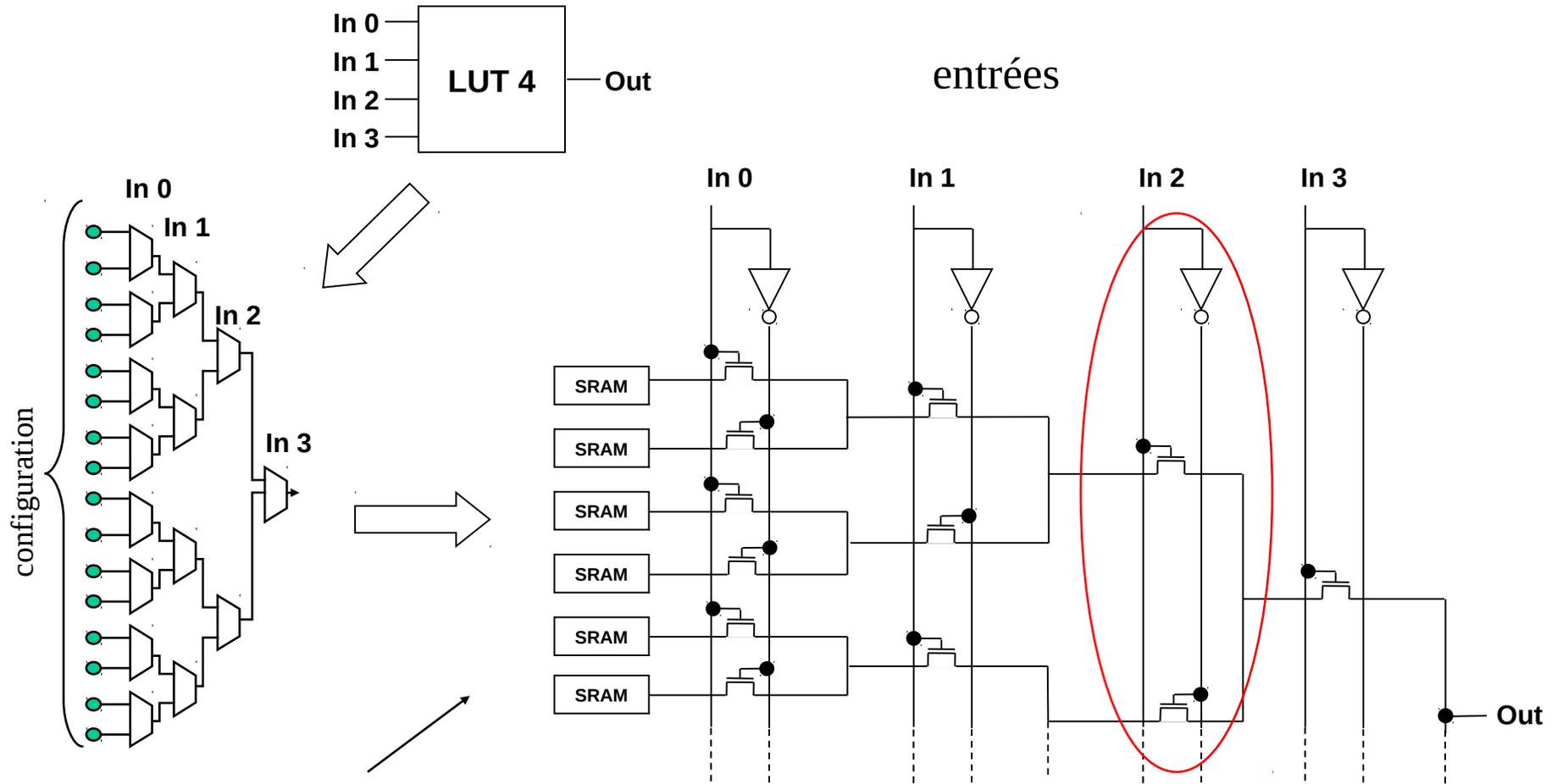
Mémoire 4 bits :

$$d = d_0\bar{A}_1\bar{A}_0 + d_1A_1\bar{A}_0 + d_2\bar{A}_1A_0 + d_3A_1A_0$$





Architecture d'une LUT

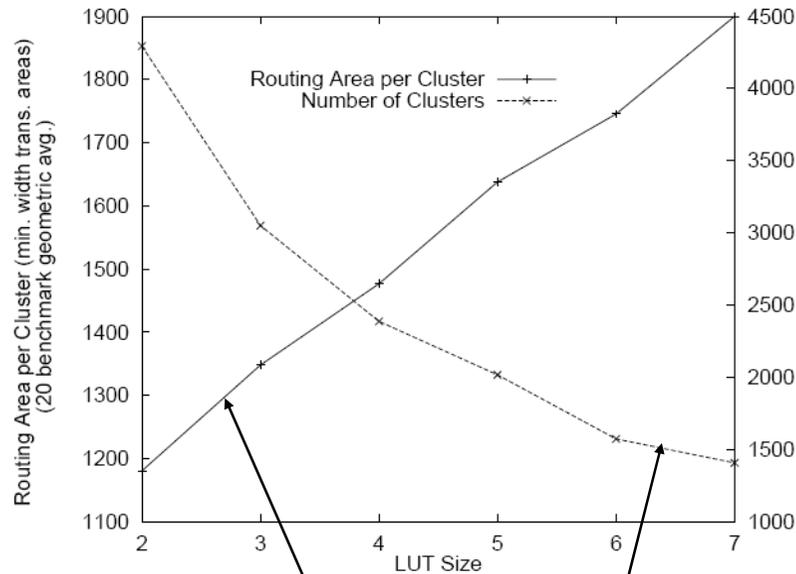


Points de configuration

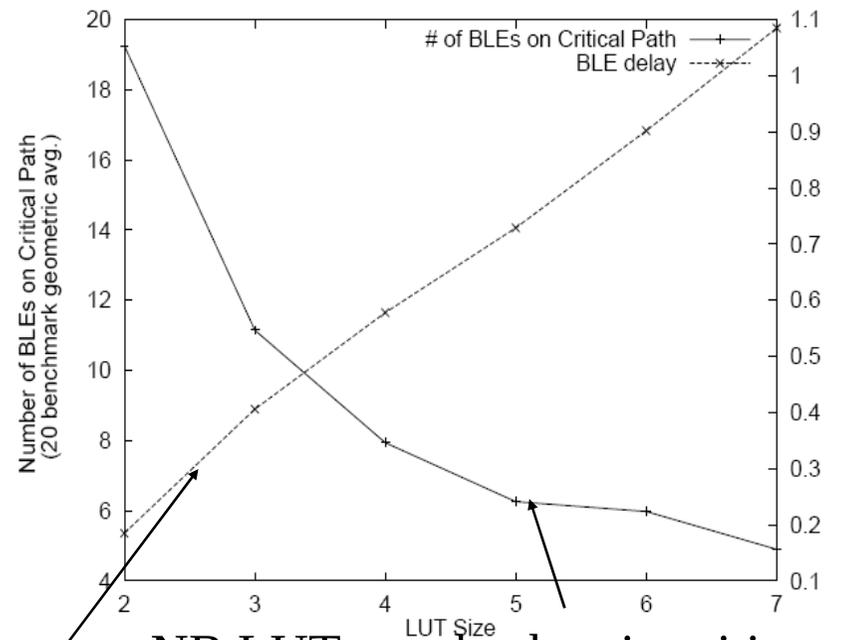
Multiplexeur 2 vers 1



Combien d'entrées/LUT ?



interconnexion Nb LUTs



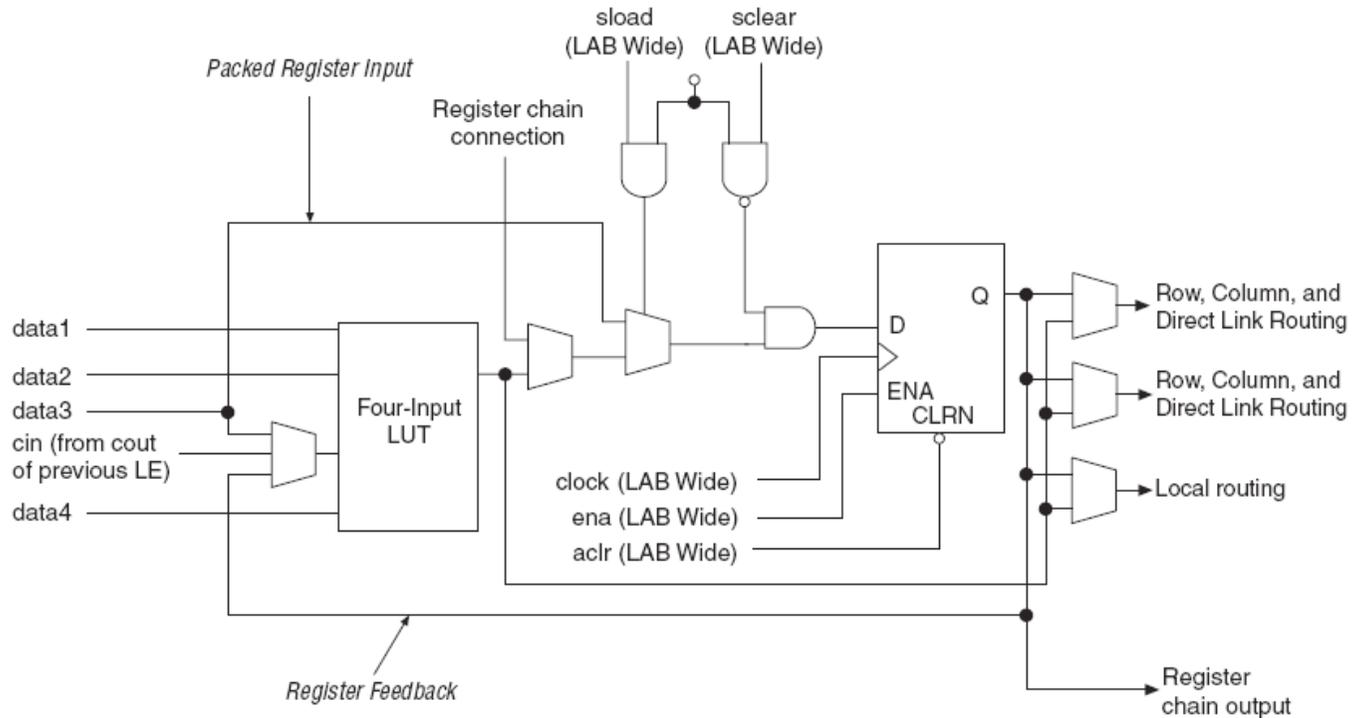
NB LUTs sur le chemin critique
Temps critique

Elias Ahmed, Jonathan Rose: The effect of LUT and cluster size on deep-submicron FPGA performance and density. IEEE Trans. VLSI Syst. 12(3): 288-298 (2004)



Cellule à LUT : ALTERA Cyclone II

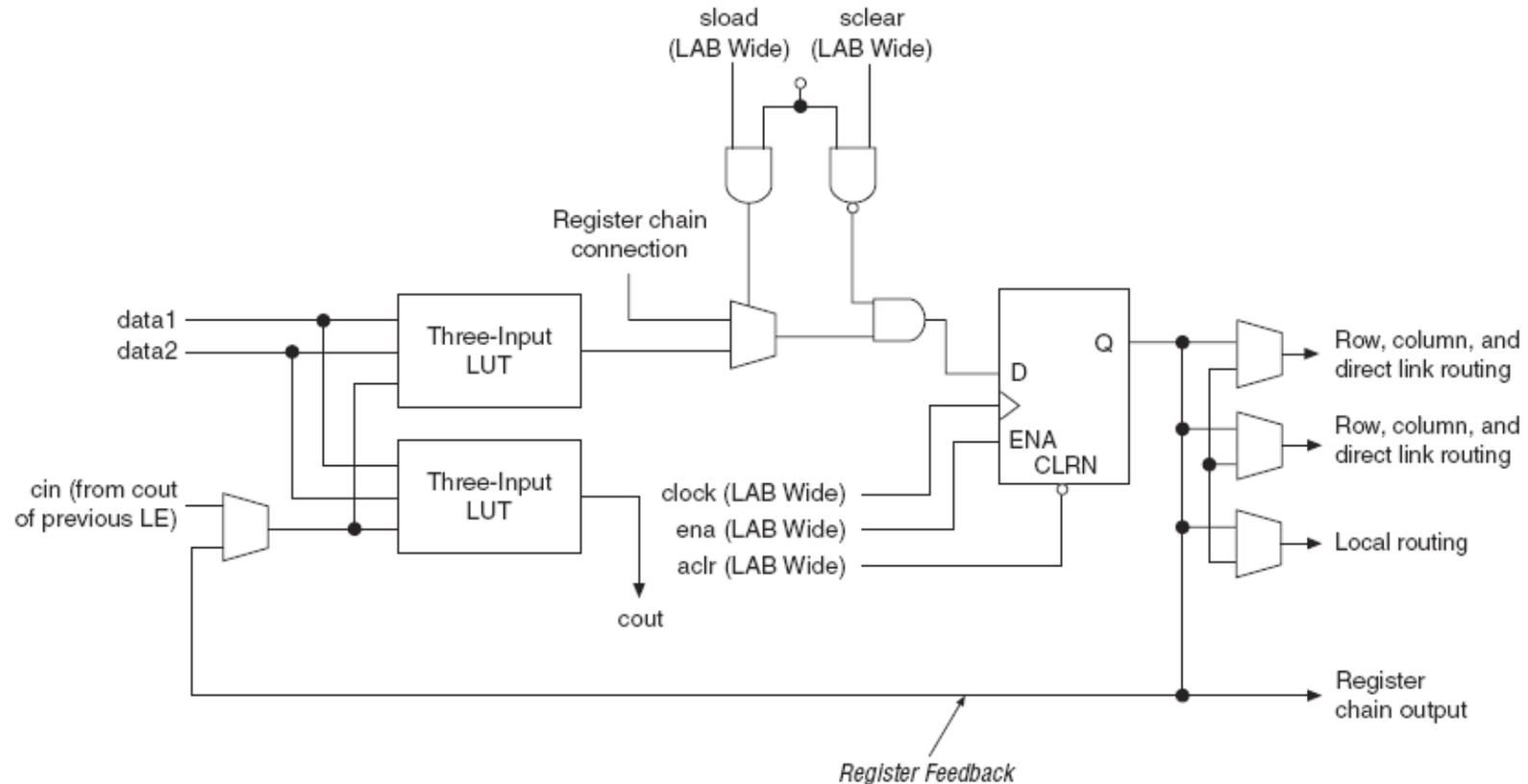
- mode normal





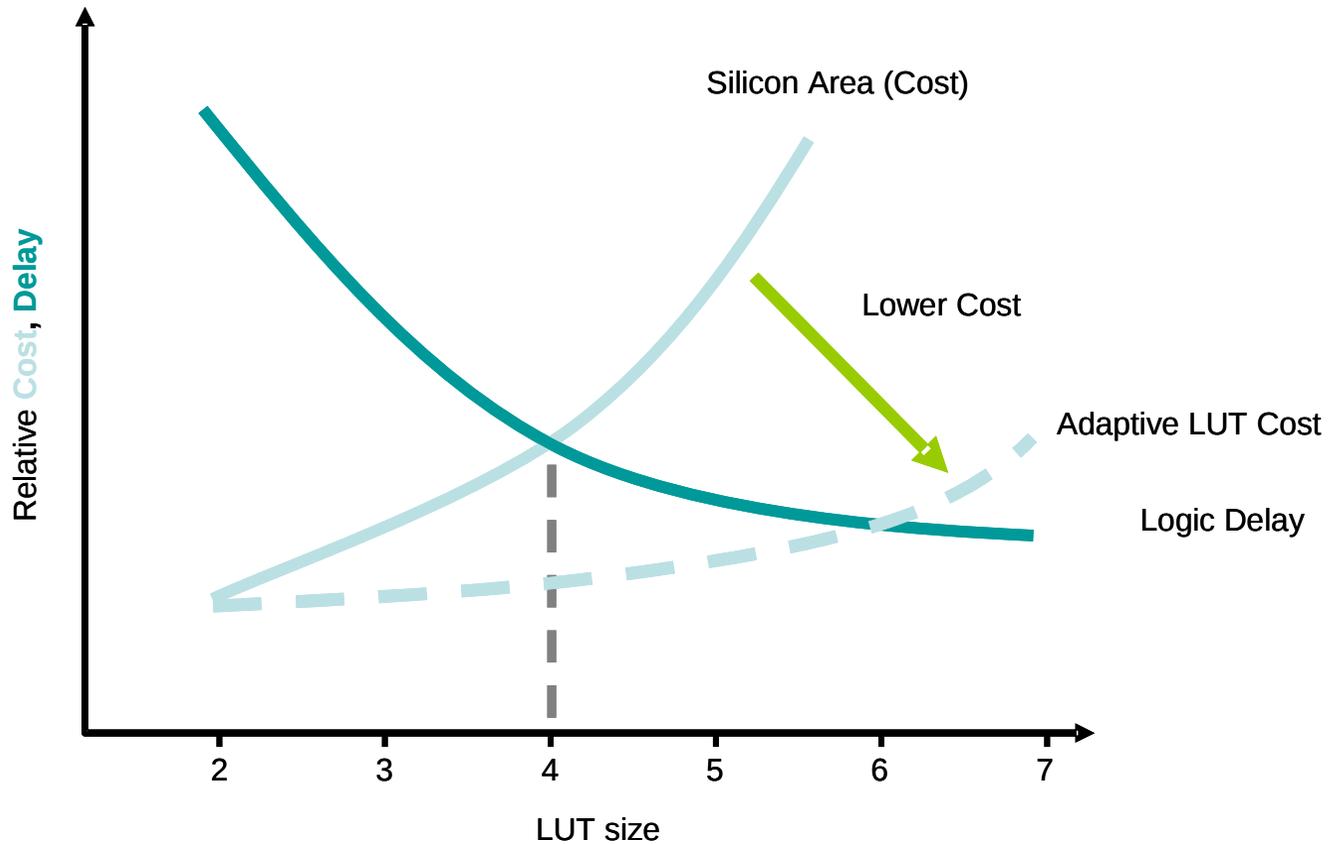
Cellule à LUT : ALTERA Cyclone II

- mode arithmétique

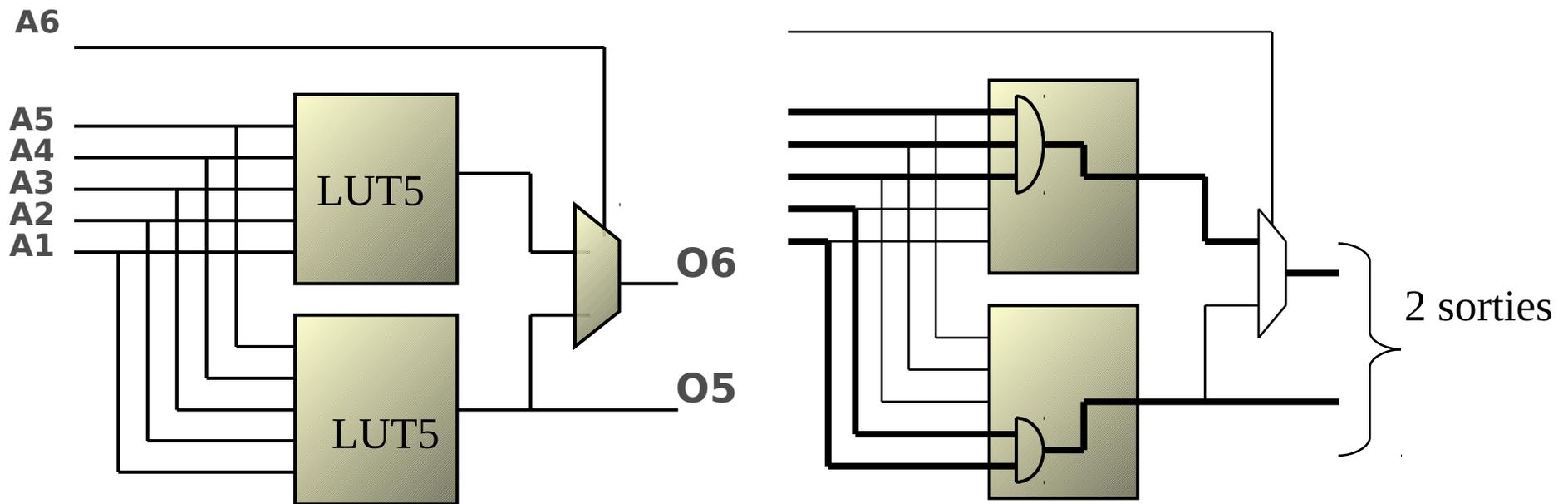




Evolution du nombre d'entrées des LUTs



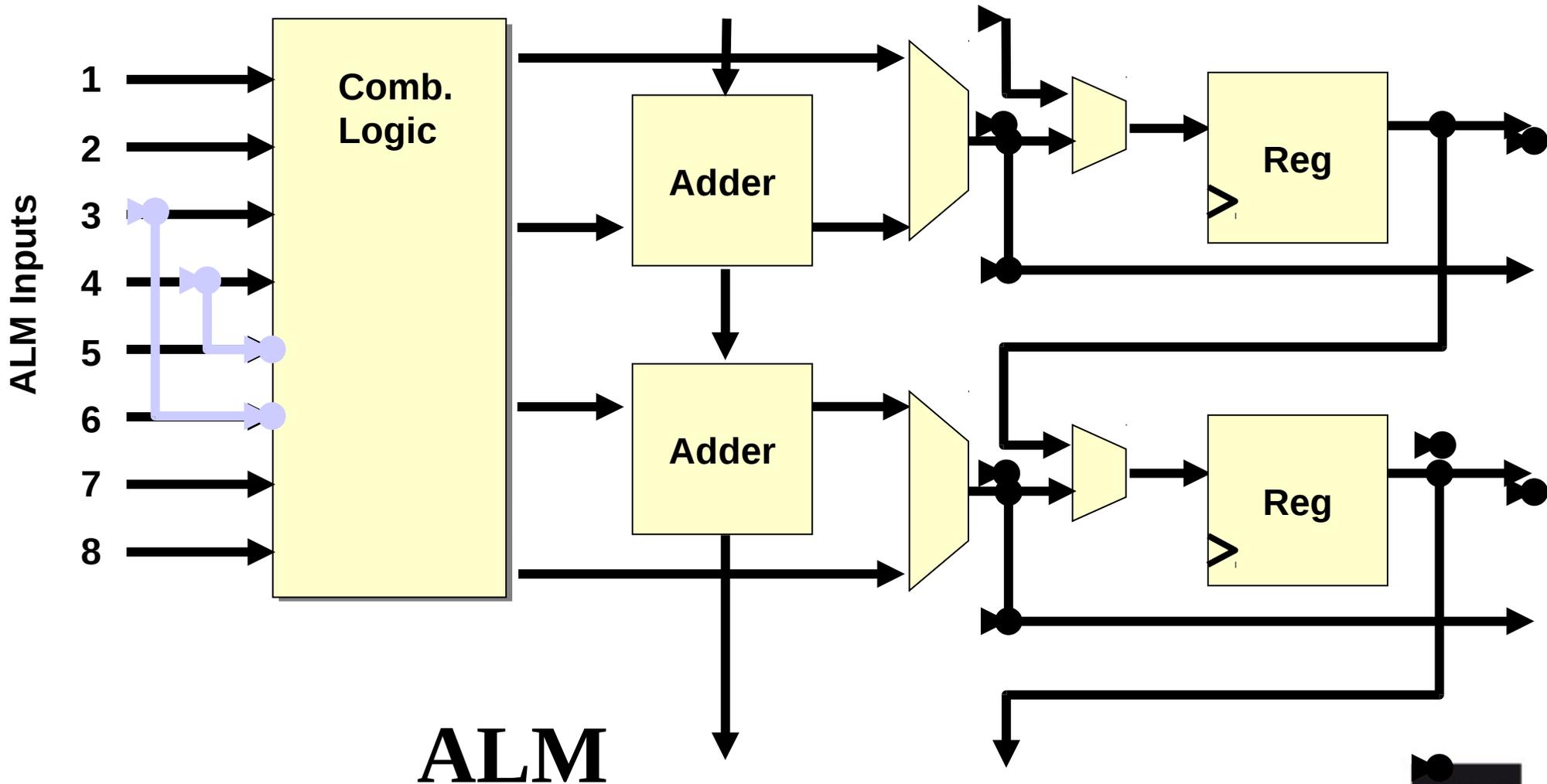
Source : ALTERA



Configuration en 1 LUT6 ou 2 LUT5



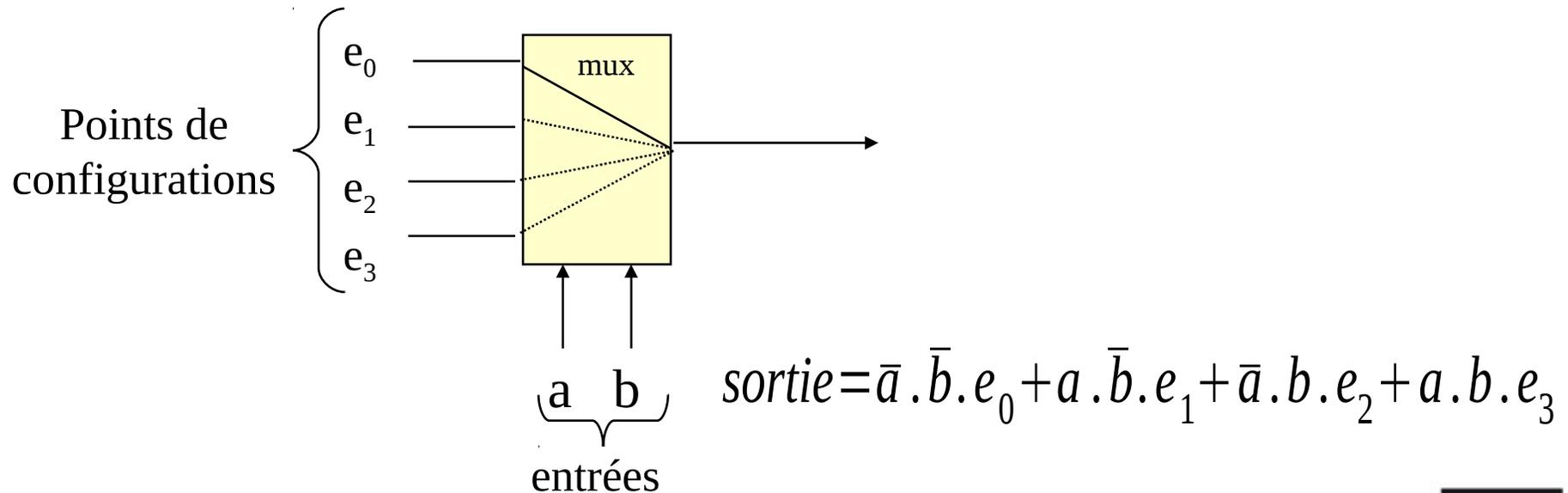
ALTERA Adaptive Logic Module (STRATIXII)





Cellule FPGA : MUX

- Equivaut à une LUT dans une technologie non volatile
- Un combinaison de MUX permet d'avoir un grain de calcul plus fin

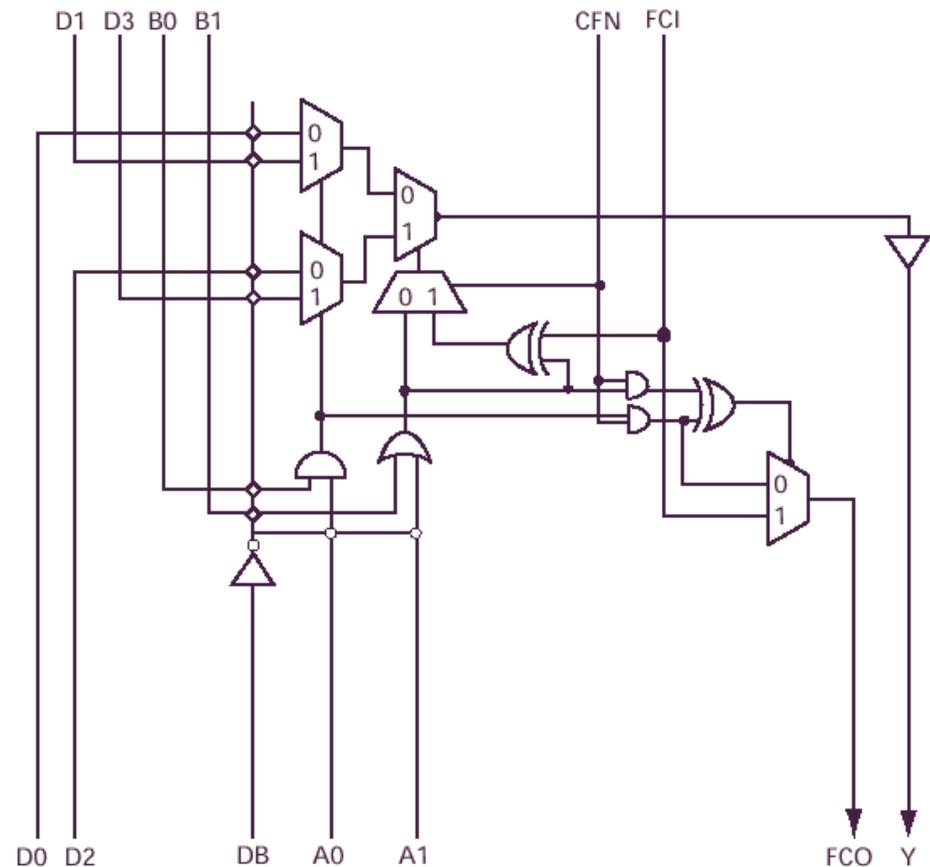




Cellule à MUX(1)

■ cellule C famille AXcelerator de ACTEL

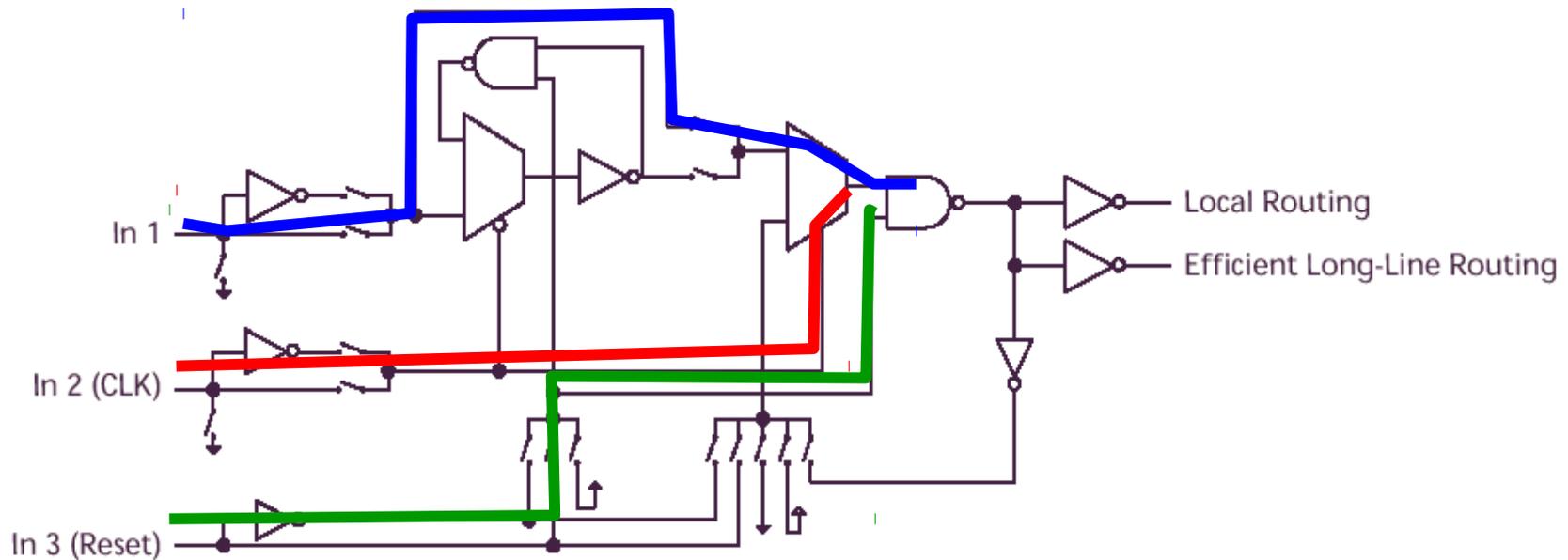
- Nombreuses combinaisons
- Logique pour l'arithmétique
- Cellule R (DFF) indépendante
- Technologie Antifusible





Cellule à MUX : ProASIC en mode combinatoire

- Exemple : ProASIC^{PLUS} de ACTEL (technologie FLASH)

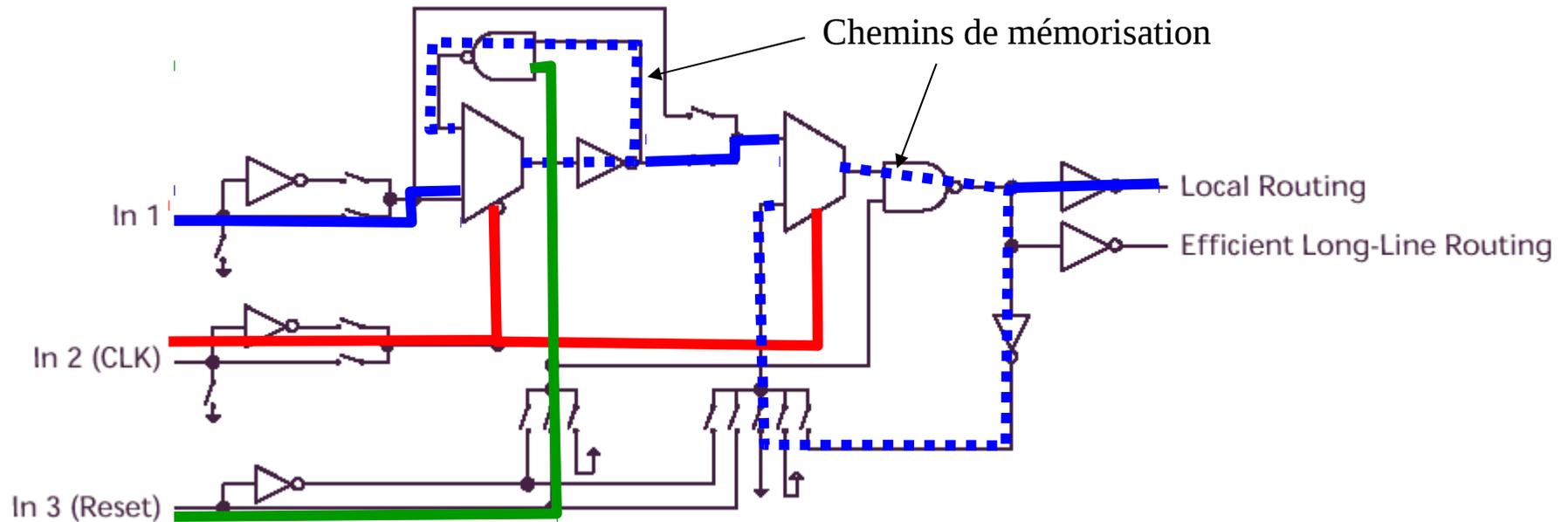


Exemple 1 : porte NAND à 3 entrées

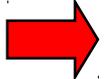


Cellule à MUX ProASIC : mode séquentiel

- Exemple : ProASIC^{PLUS} de ACTEL (technologie FLASH)

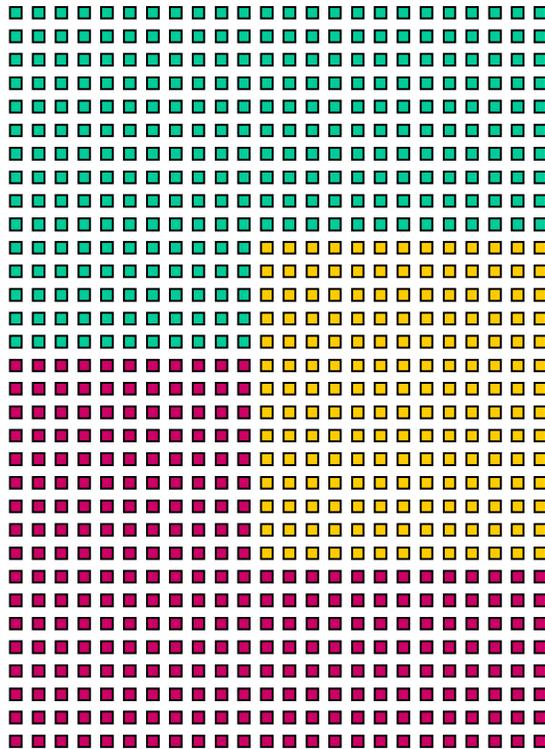


Exemple 2 : bascule D avec reset asynchrone

- Place et Marchés des FPGAs
- Du FPGA à l'ASIC
- Architectures de la logique
-  ■ Architectures des blocs embarqués
- Architectures d'interconnexion
- Architectures de configuration
- Performances, Consommation, Robustesse

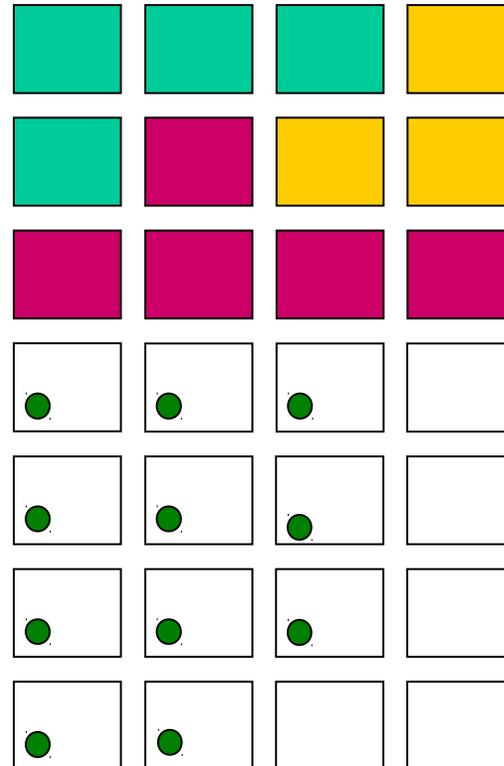


Taille des cellules => Nécessité des blocs gros grains embarqués



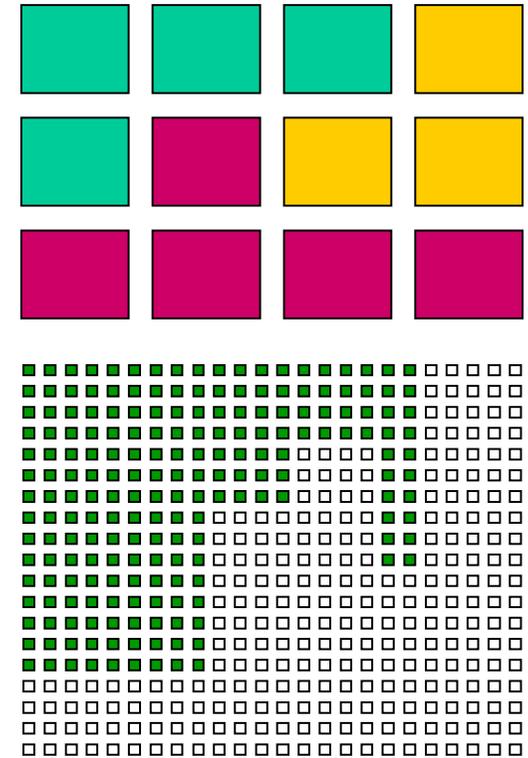
grain Fin

Tout est utilisé



gros grain

Sous utilisation



Mixte

Utilisation optimale



Nécessité des mémoires

■ Besoins dans toutes les applications de traitement

- RAM multi-accès
 - Exemple : FFT
- ROM
 - Exemple : Coefficients de filtres
- LUT
 - Cellule de calcul gros grain
 - Pratique pour la synthèse de grosses machines à états
- FIFO
 - Interface multicaudence

■ Mais besoin de différentes tailles



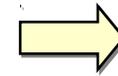
Type de mémoire

■ Distribuée

- Utilisation des LUTs des cellules en mode mémoire

Exemple : VirtexII

1 Slice = 2 LUT 4 entrées

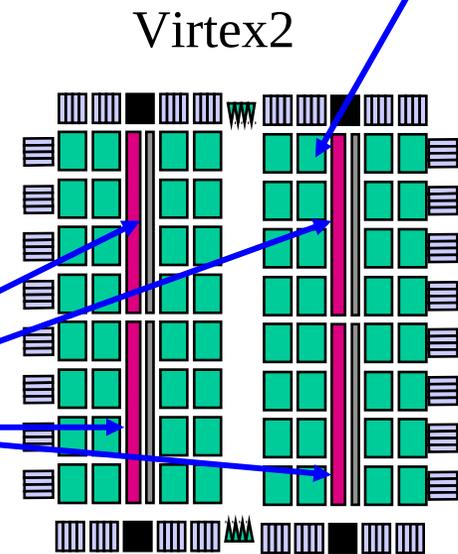


1 mémoire 32 bits

■ Embarquée

- La mémoire est un bloc spécifique

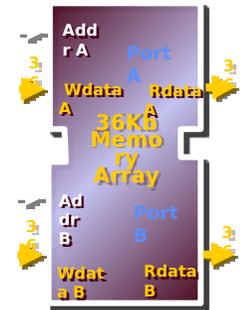
Embedded Array Block
18Kbits



Type d'accès

- Exemple : Xilinx Virtex5

	Each 18K	
True dual-port	16Kx1, 8Kx2, 4Kx4, 2Kx9, 1Kx18	•2 independent read and write ports
Simple dual-port	16Kx1, 8Kx2, 4Kx4, 2Kx9, 1Kx18, 512x36	•1 read & 1 write port •Read AND write in 1 cycle
Single-port	16Kx1, 8Kx2, 4Kx4, 2Kx9, 1Kx18, 512x36	•1 read & 1 write port •Read OR write in 1 cycle •Backwards compatible to V4



Pour FIFO



Evolution des tailles mémoires STRATIX

Memory Functions	Stratix II Devices	Stratix III/IV Devices
<ul style="list-style-type: none">■ Processor code storage■ Packet buffers■ Video frame buffers	<p>MRAM</p>  <p>576K Bits</p>	<p>M144K</p>  <p>144K Bits</p>
<ul style="list-style-type: none">■ General purpose memory	<p>M4K</p>  <p>4.5K Bits</p>	<p>M9K</p>  <p>9K Bits</p>
<ul style="list-style-type: none">■ Shift registers■ Small FIFO buffers■ Filter delay lines	<p>M512</p>  <p>576 Bits</p>	<p>MLAB</p>  <p>640 Bits</p>



Nécessité des blocs de calcul arithmétique

■ Besoins forts pour toutes les applications de traitement du signal

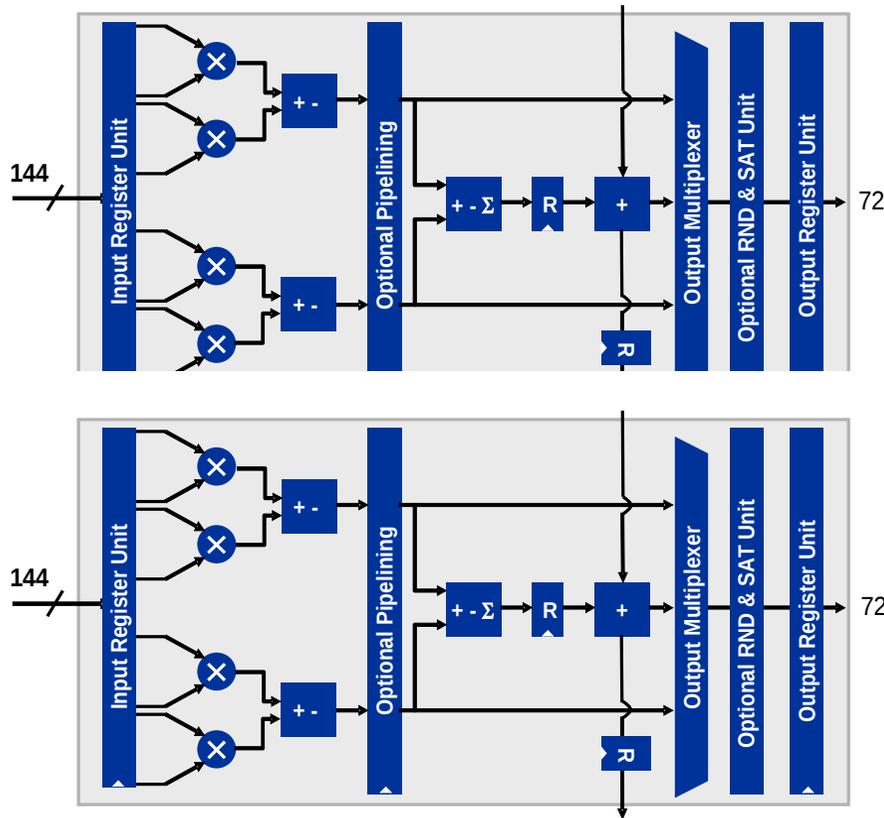
- Opérateur MACs (FIR, IIR, FFT,...)
- Opérations non linéaires
 - Troncature, arrondi, saturation
- Précision des calculs entre 4 et 32 bits
 - Rarement besoin des flottants

■ Les LUTs ne peuvent réaliser que des additions rapides

- Multiplieur $N.N \Rightarrow$ environ N^2 LUTs 4 entrées



Exemple : ALTERA StratixIII DSP block



Basic Multiplier Modes

- 8 x (9x9)
- 6 x (12x12)
- 4 x (18x18)
- 2 x (36x36)
- 2 x complex (18x18)

Sum Modes

- 4 x Sum of Two (18x18)
- 2 x Sum of Four (18x18)

Accumulation

- 2 x Acc

Cascade Modes

- Input Cascade
- Output Cascade

Rounding

- Unbiased and Biased

Saturation

- Asymm and Symmetrical

Barrel Shifter

- Arithmetic, Logical and Rotation



Nécessité de blocks de gestion d'horloge

■ Problèmes

- Skew d'horloge
 - Du à la forte charge et la longueur des lignes
- Fréquence interne différente de la fréquence externe
 - Nécessité d'un asservissement fréquence
- Besoin de plusieurs horloges corrélées

■ Solutions 2 niveaux :

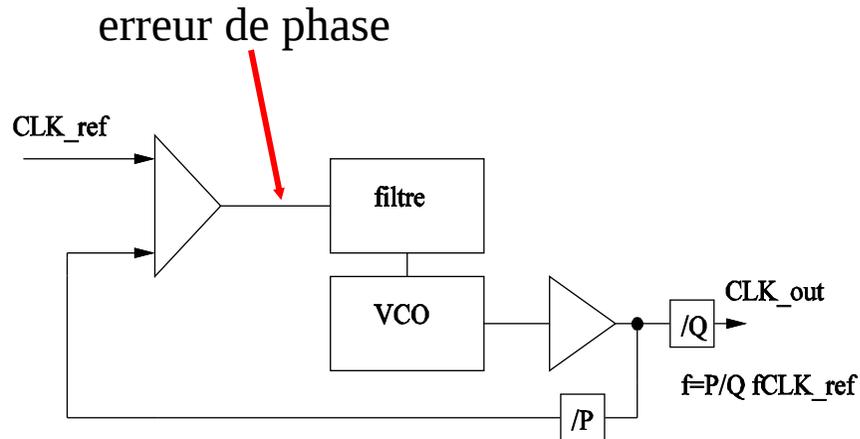
- Interconnexion
 - lignes dédiées pour les horloges : arbre d'horloge bufferisés
- Bloc PLL dédié à la génération :
 - Asservissement sur l'extérieur
 - Compensation du skew d'horloge



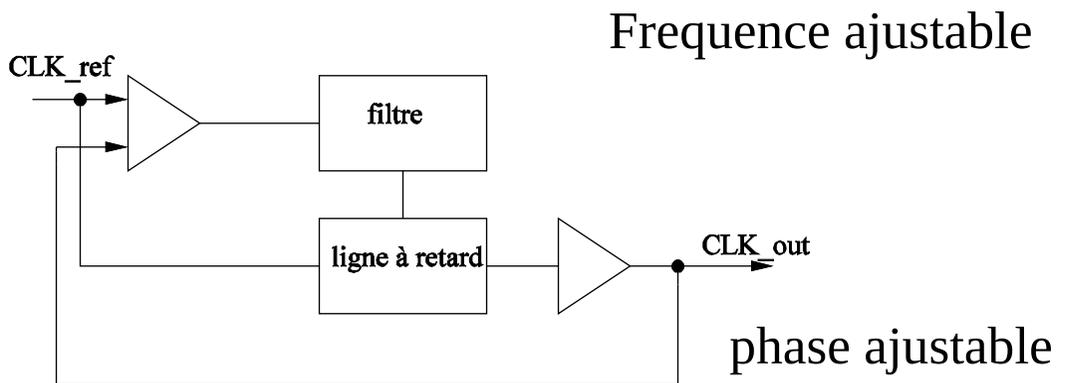
Principe de génération d'horloge

■ Système asservi en fréquence sur une oscillateur externe

- PLL



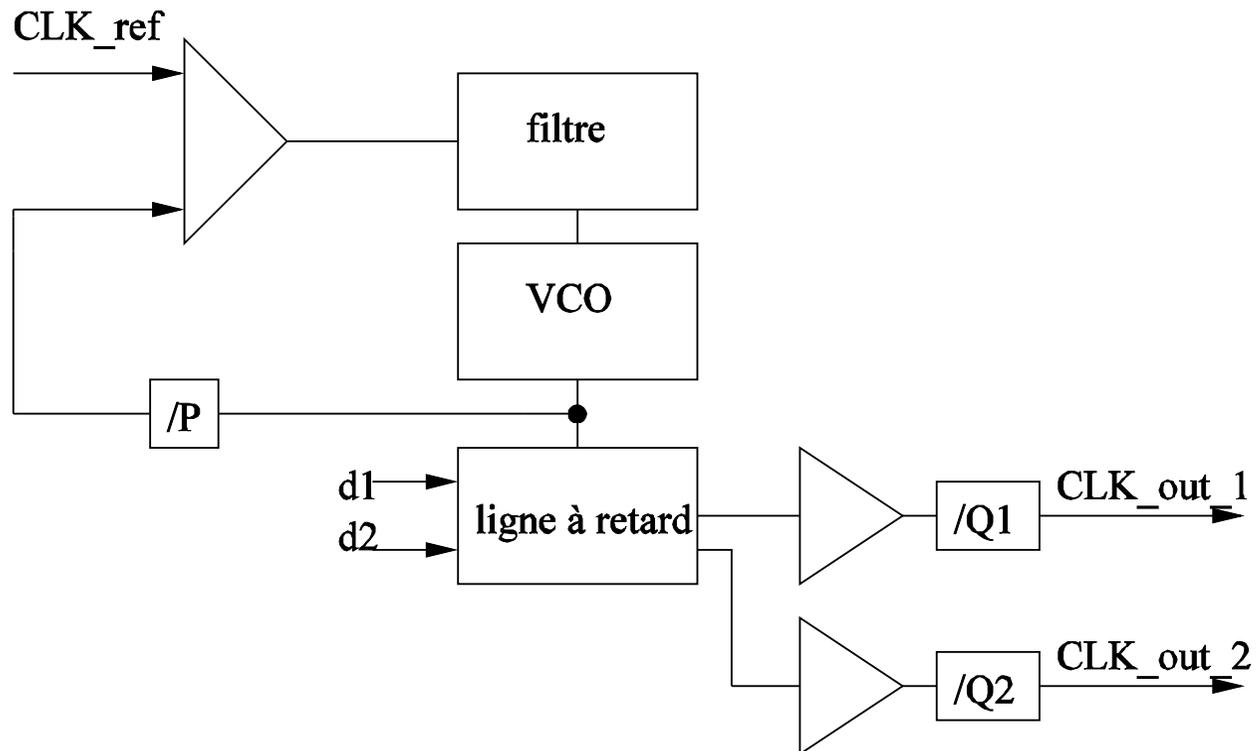
- DLL





Bloc amélioré de génération d'horloge

■ Ajustement en fréquence et phase sur plusieurs horloges

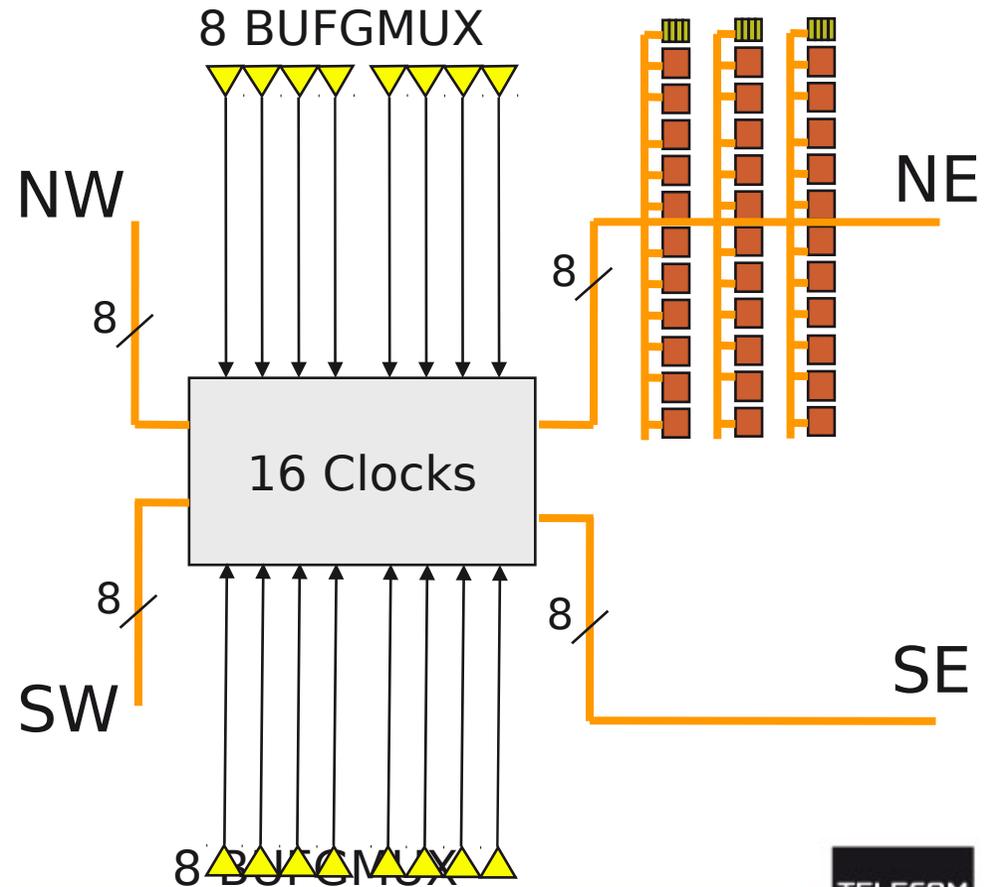
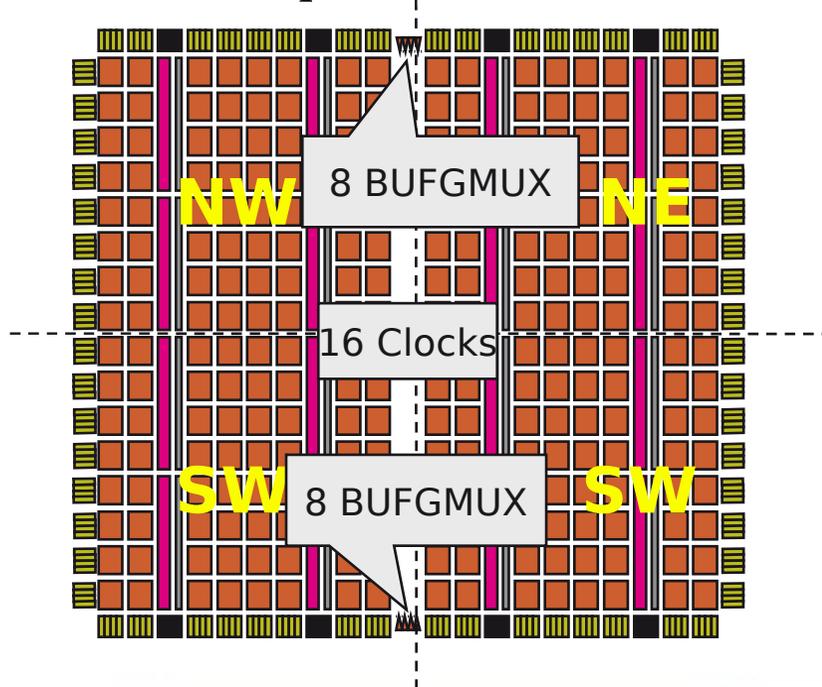




Interconnexion : Réseau d'horloges

■ Exemple : XILINX VIRTEX II

16 équipotentielles réparties sur
4 quadrants





■ Cellule configurable

- De nombreux paramètres et standards d'interface
 - Mode Terminaison simple
 - Mode Différentiel
 - Synchronisation avec les horloges
 - Sérialisation/désérialisation
 - Ajustement du Slew Rate
 - Adaptation d'impédance
 - Adaptation du retard

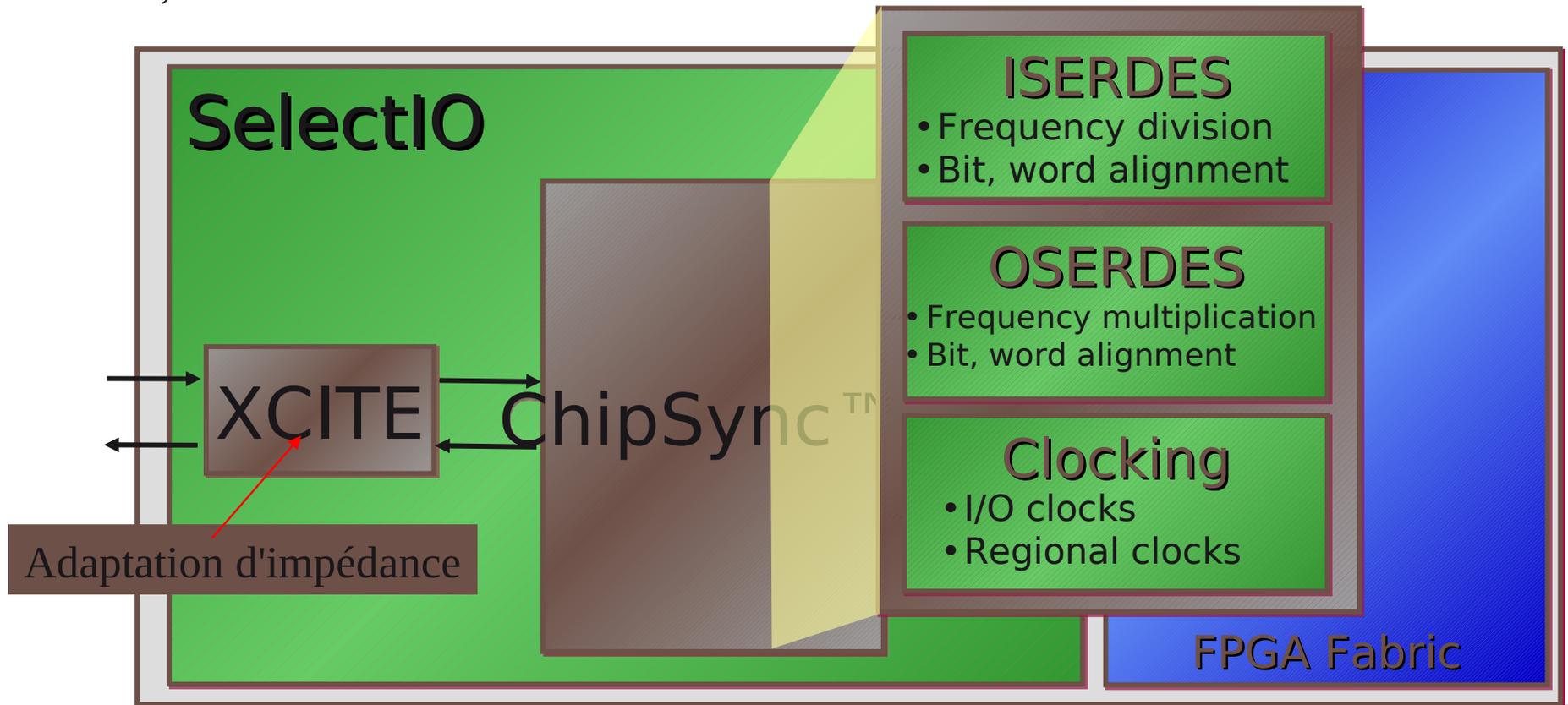
■ Tension d'alimentation spécifique



Cellule E/S : SelectIO Virtex5

700Mb/s pour l'interface DDR
1,25Gb/s en LVDS

Synchronisation sérialisation/désérialisation





Protocoles supportés

■ Virtex5

SRAM

SDRAM, DDRAM

standard

LVC MOS (3.3v, 2.5v,
1.8v, 1.5v, and 1.2v)
LVDS, Bus LVDS,

HSTL (1.8v, 1.5v,
Classes I, II, III, IV)
HSTL_I_12
(unidirectional only)
DIFF_HSTL_I_18,
DIFF_HSTL_I_18_DCI
DIFF_HSTL_I,
DIFF_HSTL_I_DCI
RS DS_25 (point-to-
point)

SSTL (2.5v, 1.8v,
Classes I, II)
DIFF_SSTL_I
DIFF_SSTL2_I_DCI
DIFF_SSTL18_I,
DIFF_SSTL18_I_DCI

Différentiel
Très
rapides

Extended LVDS
LCPECL
PCI, PCI-X
HyperTransport (LDT)

GTL, GTL+
Fond de panier



Les processeurs intégrés

■ Peu d'offre en IP Hard :

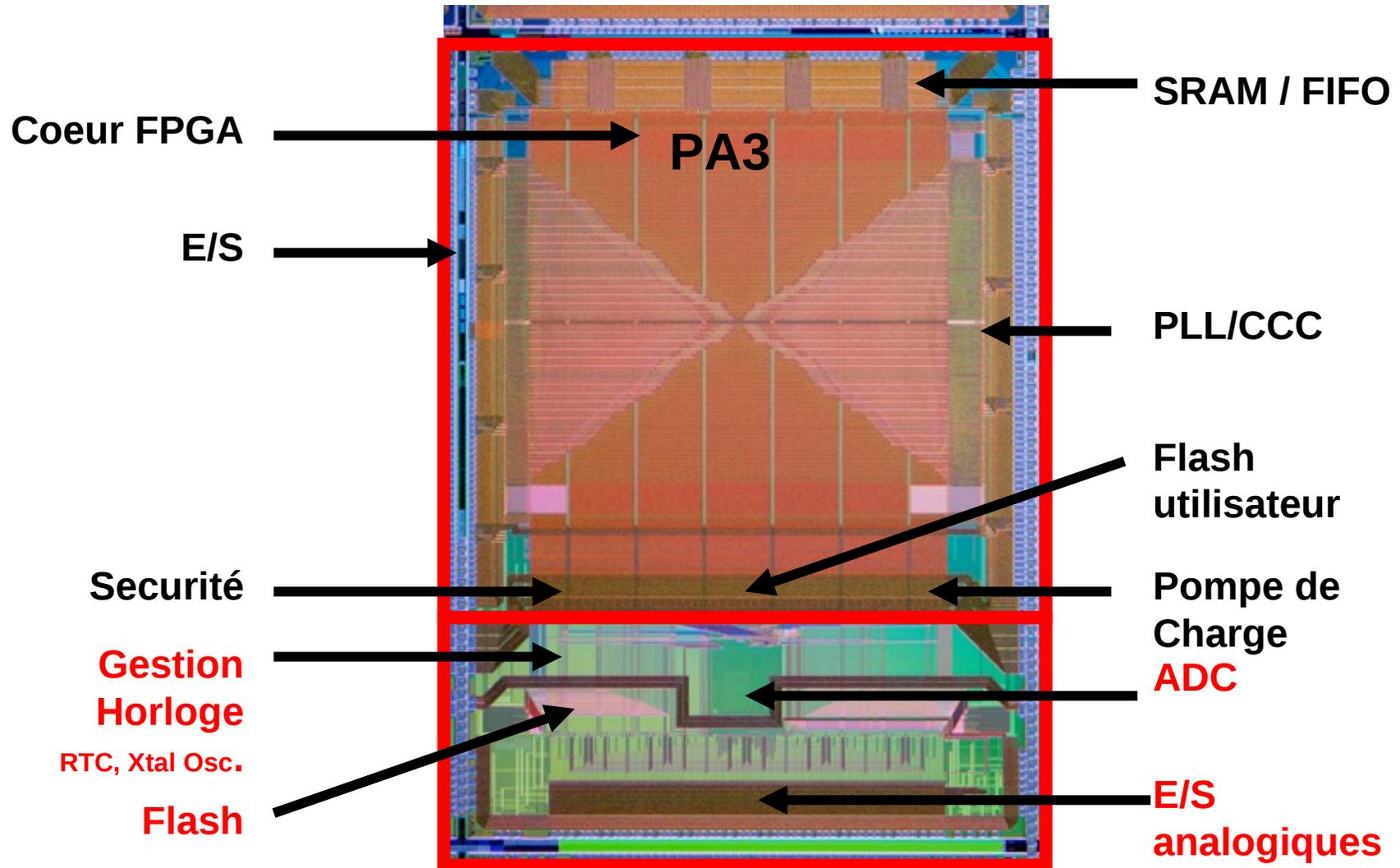
- XILINX VIRTEX : IBM PPC405

■ Beaucoup en Soft :

- Propriétaires (netlist seulement)
 - XILINX : MicroBlaze 32 bits
 - ALTERA : NIOS 32 bits
 - ACTEL+ARM : ARM7 32bits
- Libres LGPL, GPL ou avec licence spécifique.
 - Code VHDL ou Verilog
 - Exemples :
 - LATTICE : MICO 32bits
 - 32 bits RISC :Leon (SPARC 32 bits)
 - 8 bits CISC simple : 6502



Blocs embarqués analogiques : ACTEL Fusion





Blocs d'interfaces

- De très nombreux blocs softs
- Possibilité de disposer de blocs durs dans les derniers FPGAs
 - PCI-express
 - Ethernet/MAC
 - société C-Switch
 - Interconnexion et logique au centre de blocs périphériques durs

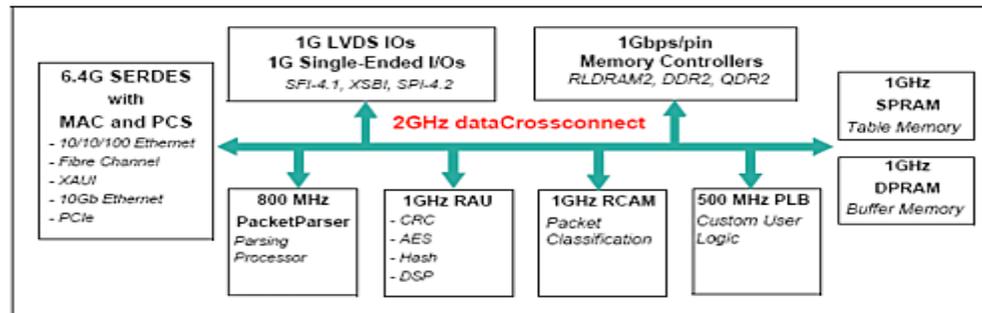
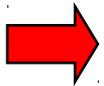


Figure 1 CS90 Configurable Switch Array Dataflow Diagram

- Place et Marchés des FPGAs
- Du FPGA à l'ASIC
- Architectures de la logique
- Architectures des blocs embarqués
-  ■ Architectures d'interconnexion
- Architectures de configuration
- Performances, Consommation, Robustesse



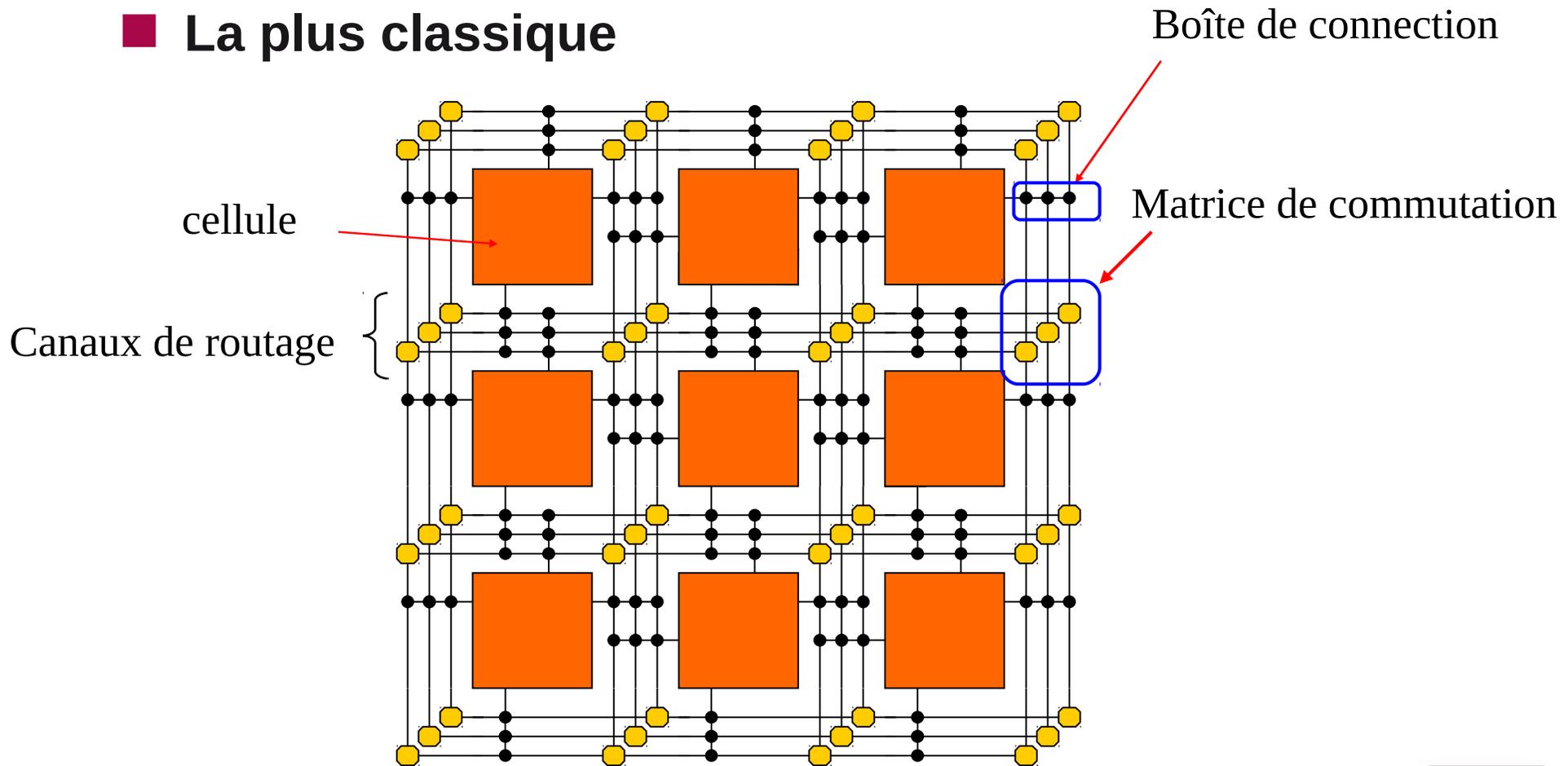
Principales topologies d'interconnexion

- **Matrice (ou Mesh)**
- **Matrice hiérarchique (ou Island)**
- **En arbre**
- **Mixte Matrice/arbre**



Topologie d'interconnexion en matrice

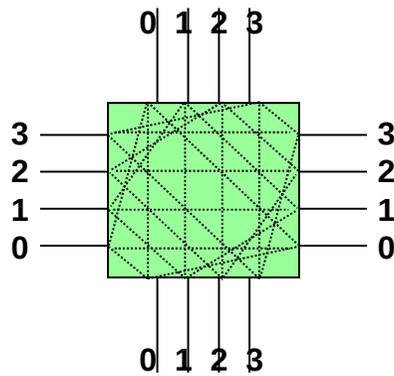
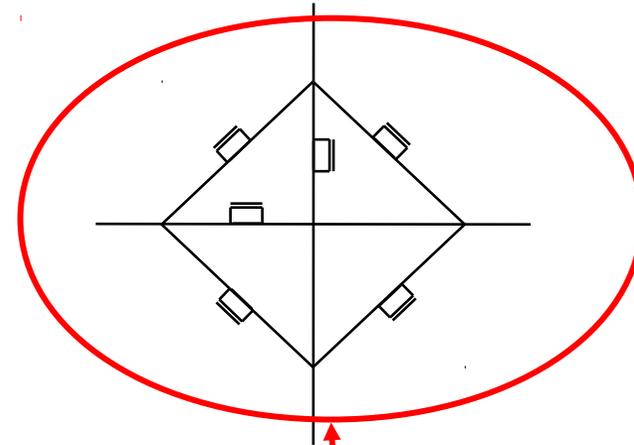
■ La plus classique



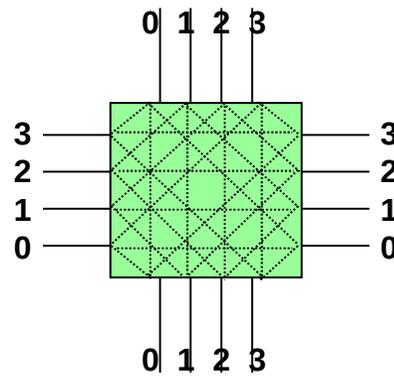


La matrice de commutation

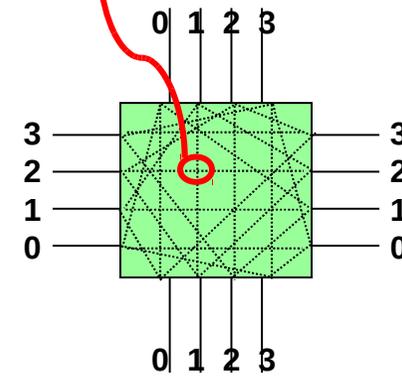
Nombreuses possibilités



DISJOINT



UNIVERSEL

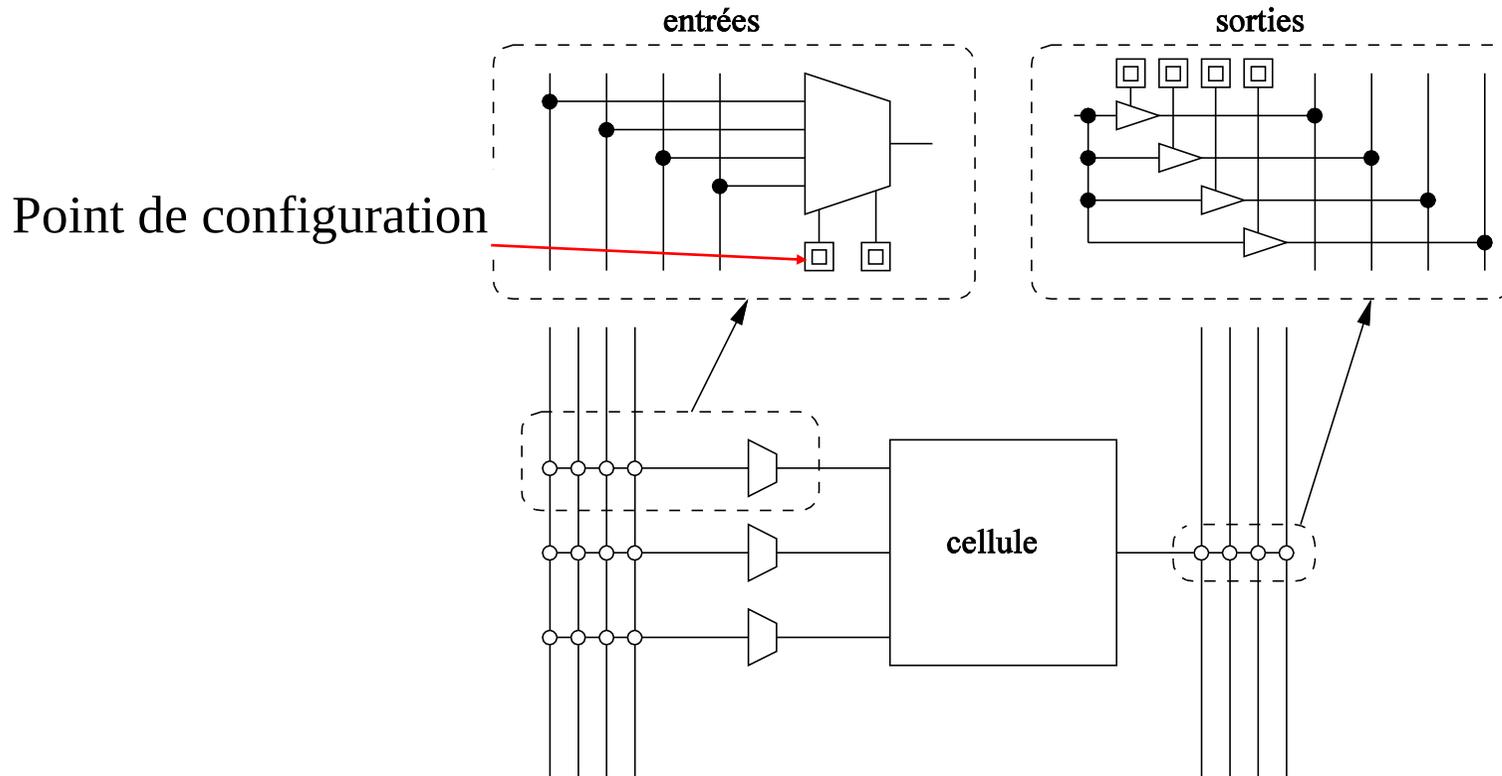


WILTON



La boîte de connexion

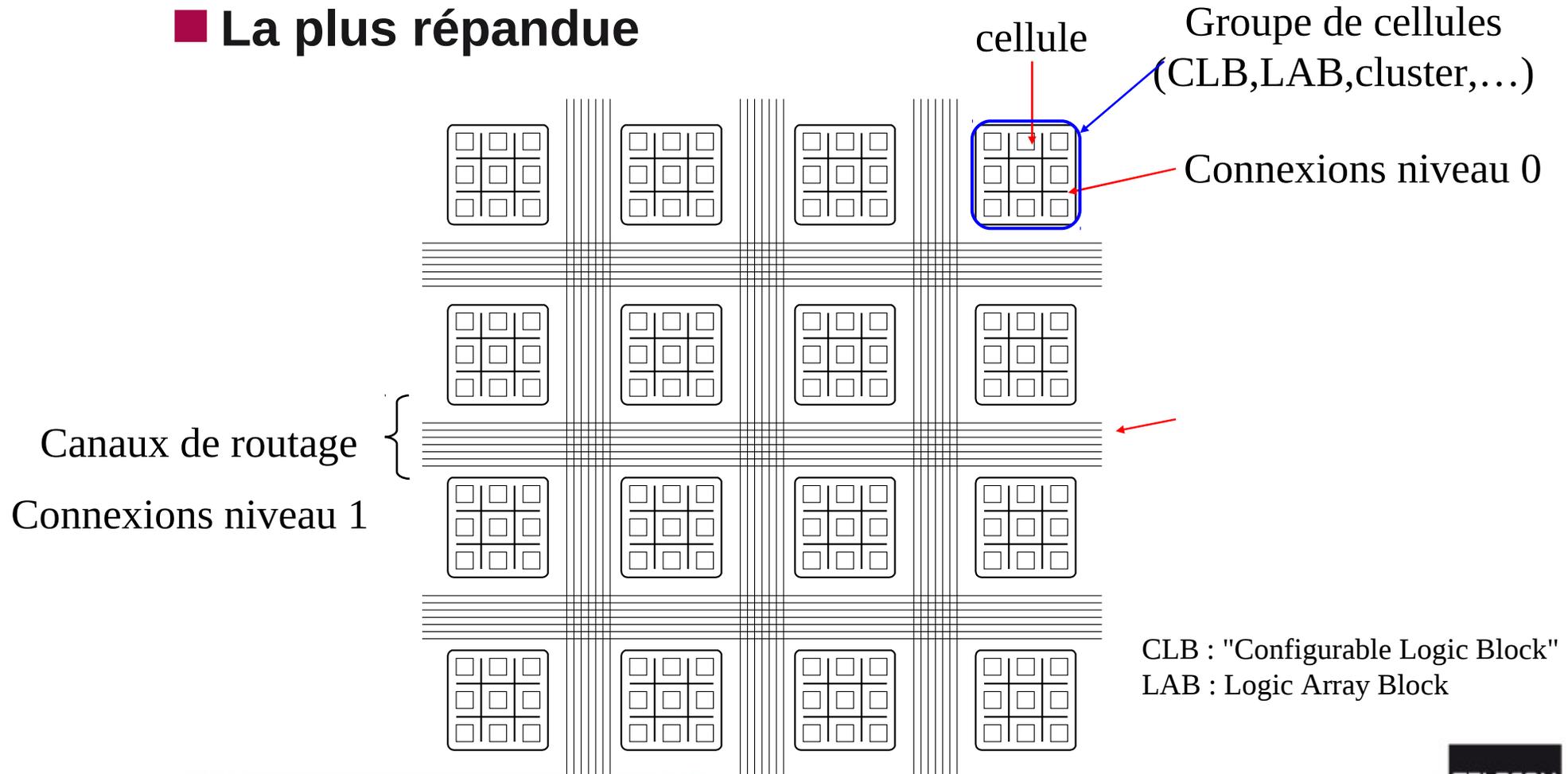
Les points de configuration des entrées sont en $\log(N)$ pour N entrées





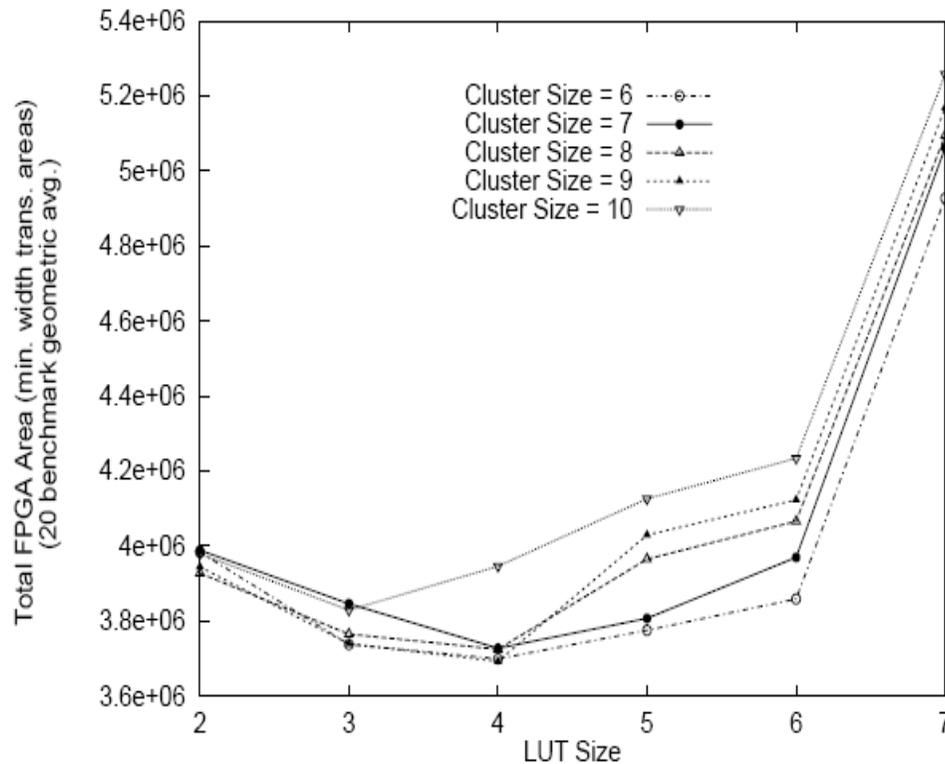
Topologie de type matrice hiérarchique

■ La plus répandue





Taille des clusters



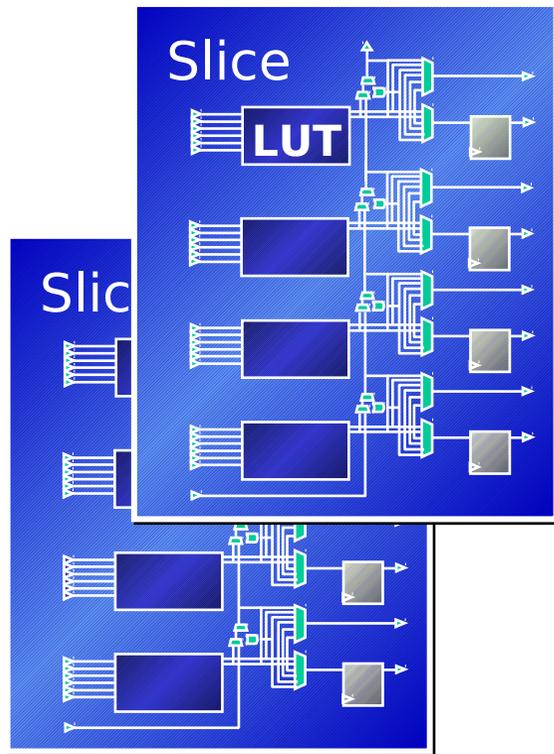
Un grande taille de cluster
facilite les contraintes de
timings :
=> taille d'au moins 8

Taille du FPGA pour différentes tailles de LUT et cluster

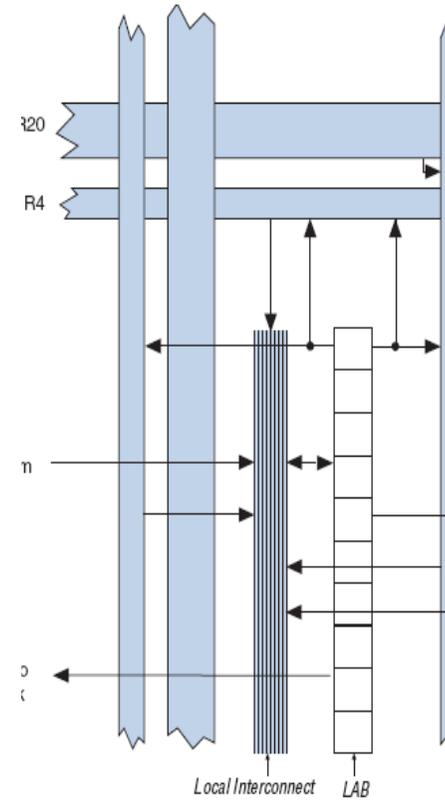
Elias Ahmed, Jonathan Rose: The effect of LUT and cluster size on deep-submicron FPGA performance and density. IEEE Trans. VLSI Syst. 12(3): 288-298 (2004)



Exemple de clusters



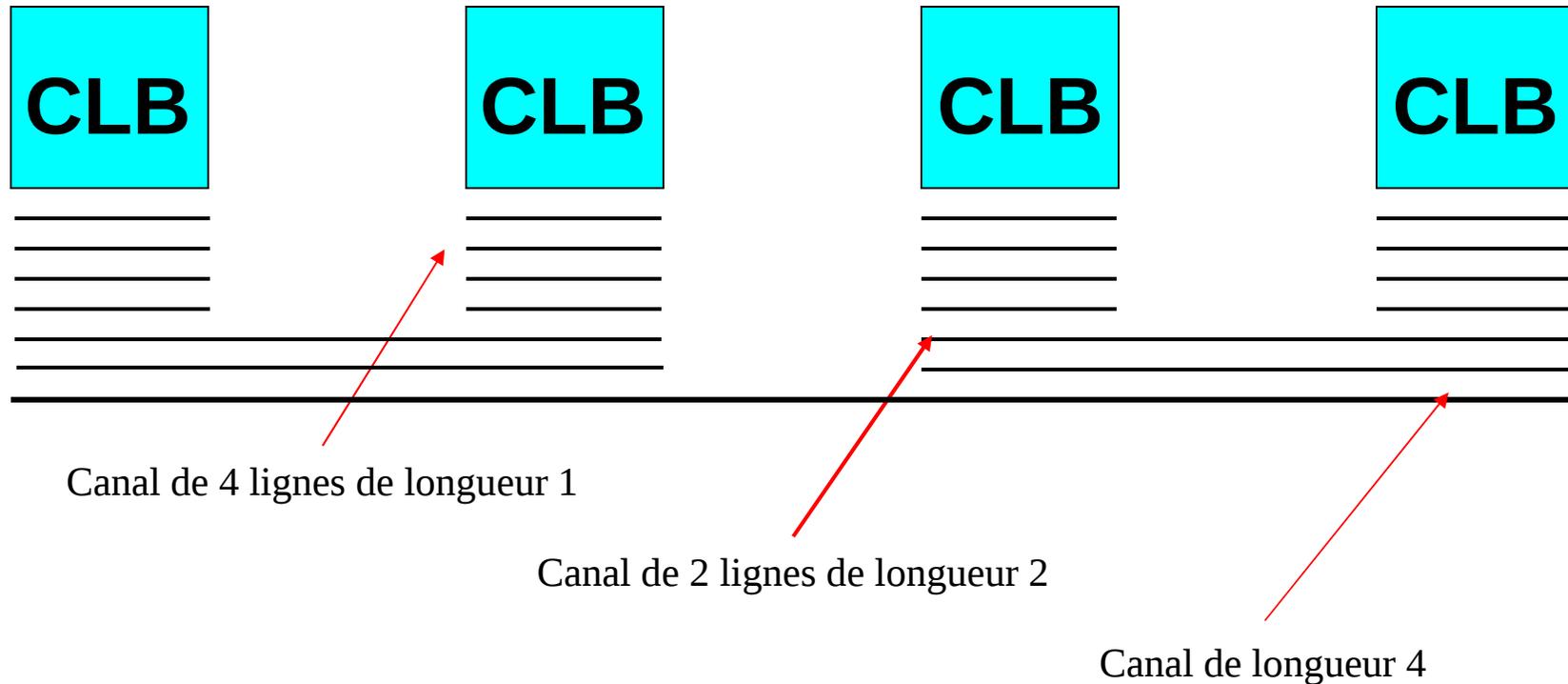
Virtex5 : CLB = 2 slices * 4 LUT6



StratixIII : LAB = 8 ALM



Matrice : interconnexions segmentées

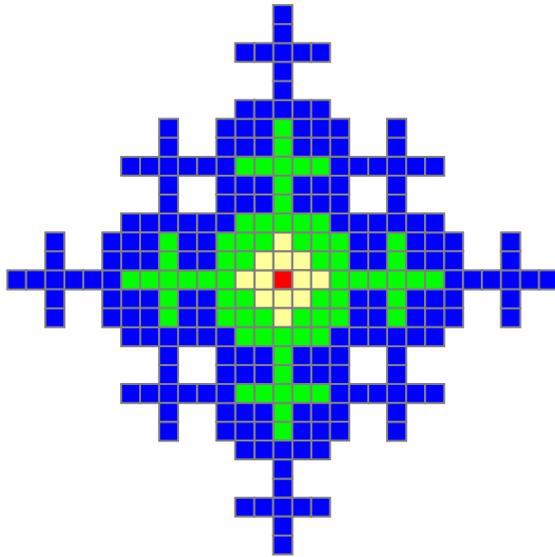
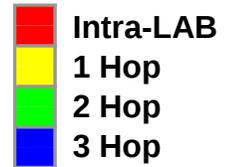


Un canal faisant toute la largeur sert pour les signaux globaux (horloge, reset,...)

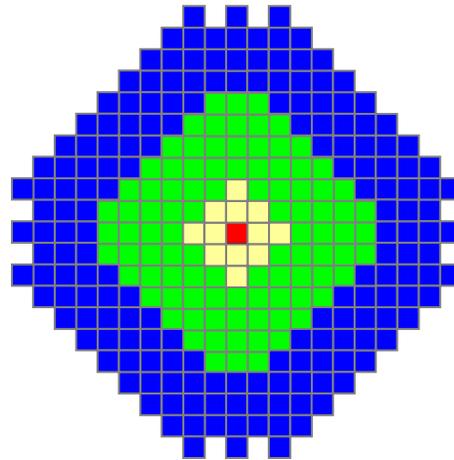


Effet de la segmentation : gain en vitesse

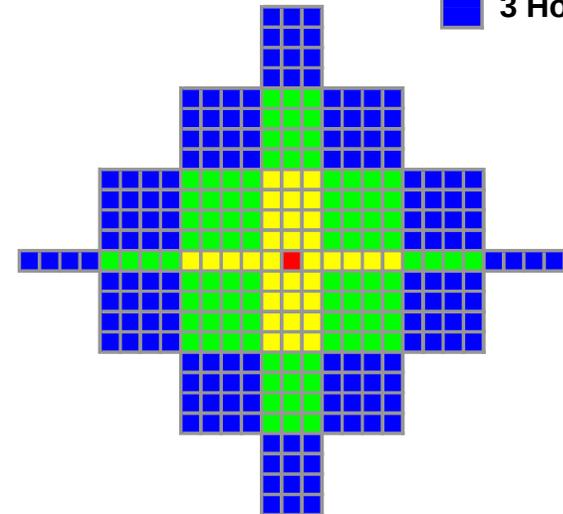
1 hop = passage par un commutateur



XILINX
Virtex 4



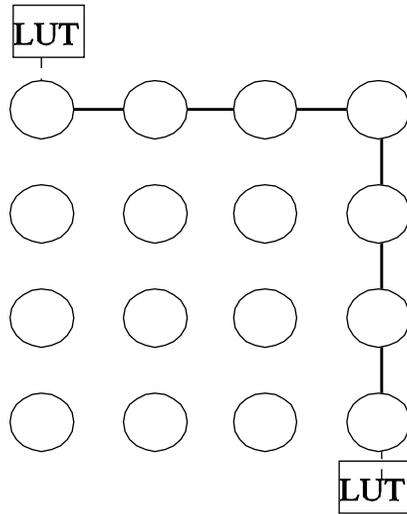
XILINX
Virtex 5
Segmentation diagonale



ALTERA
StratixIII
Segmentation très forte



Topologie en arbre



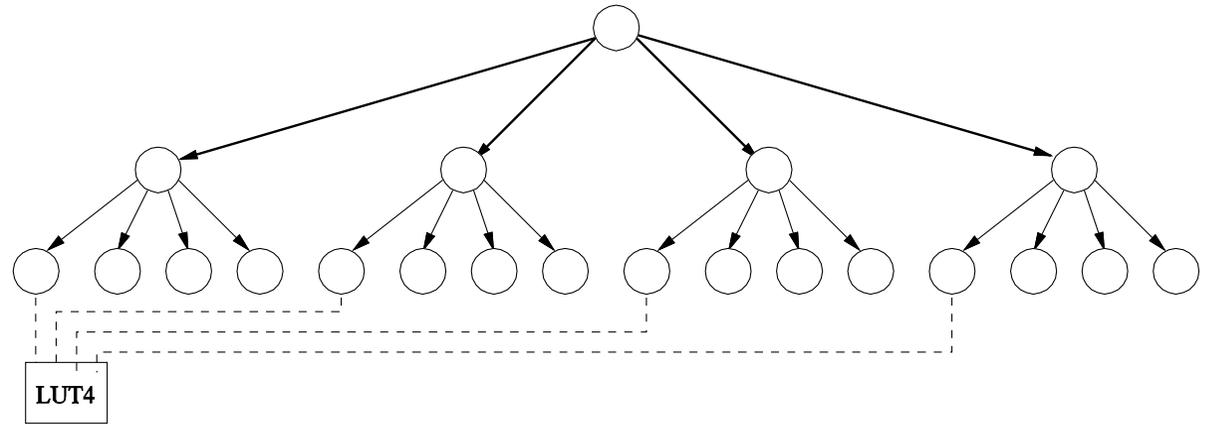
Matrice 4x4 :

Longueur max sans segmentation = 8 hops

Pour une matrice N^2 cellules :

longueur max $\neq 2N$

1 hop = passage par un commutateur



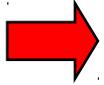
Arbre base 4 :

longueur max = 6 hops

Pour N^2 cellules en base B :

longueur max $\neq 2\log_B 2N + 2$

**Gain en interconnexion très intéressante mais la réalisation du layout est très difficile
=> Structure mixte en Matrice d'arbres (société Abound Logic +)**

- Place et Marchés des FPGAs
- Du FPGA à l'ASIC
- Architectures de la logique
- Architectures des blocs embarqués
- Architectures d'interconnexion
-  ■ Architectures de configuration
- Performances, Consommation, Robustesse

■ Technologie interne

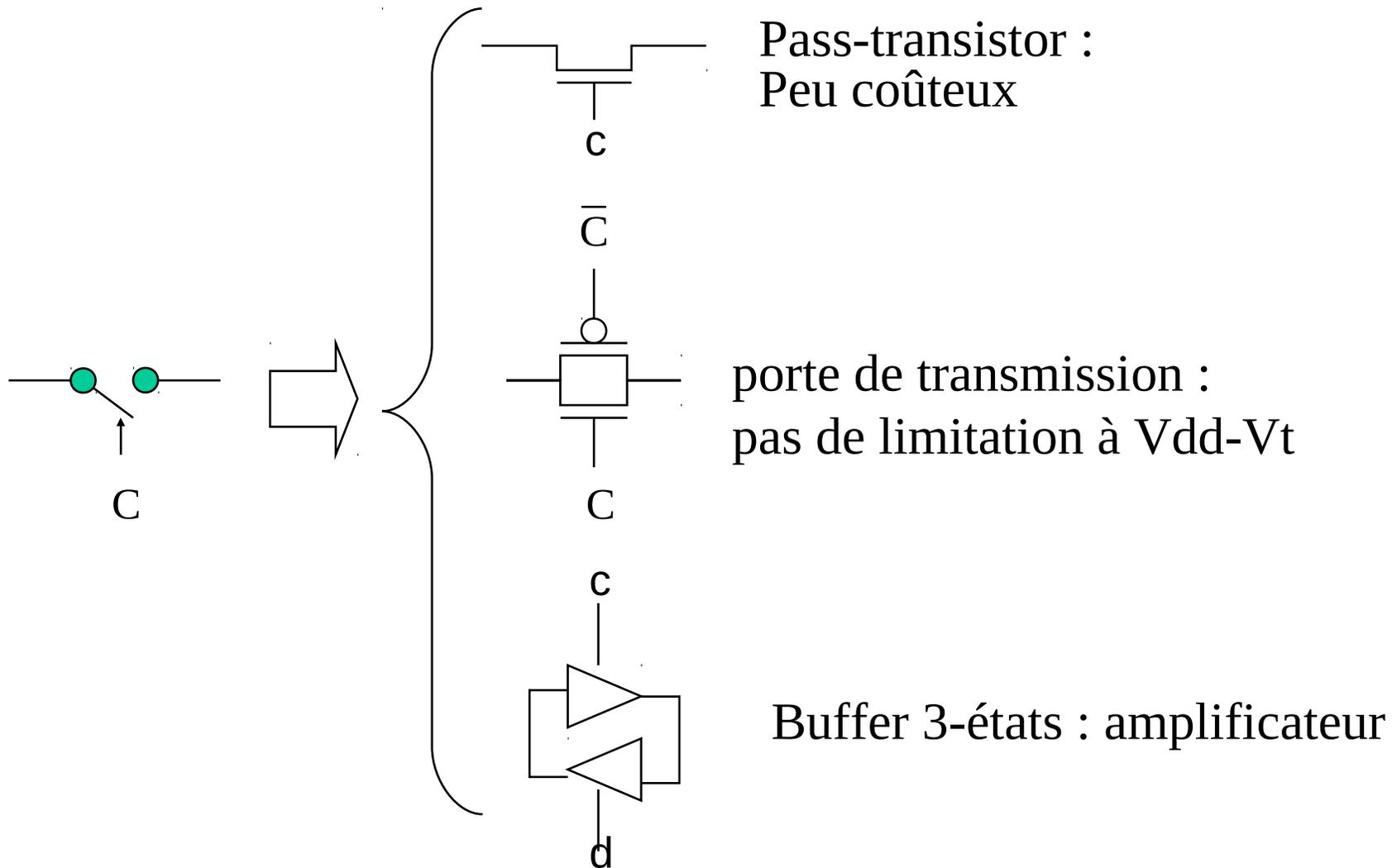
- Volatile : Mémoire SRAM. Un "bitstream" est stocké à l'extérieur
 - On parle de configuration car la reprogrammation est possible
- Nonvolatile :
 - Mémoire FLASH ou équivalent
 - Antifusible

■ Méthode de configuration pour SRAM

- Interface spécifique
- Configuration totale/partielle
- Sécurisation du transfert



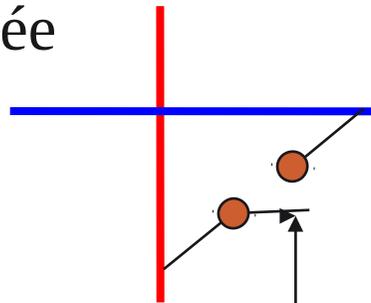
Technologies des commutateurs



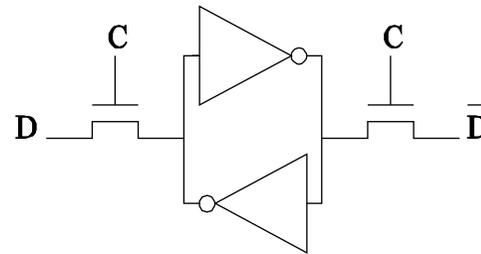


■ RAM statique

La plus utilisée



Point mémoire SRAM :

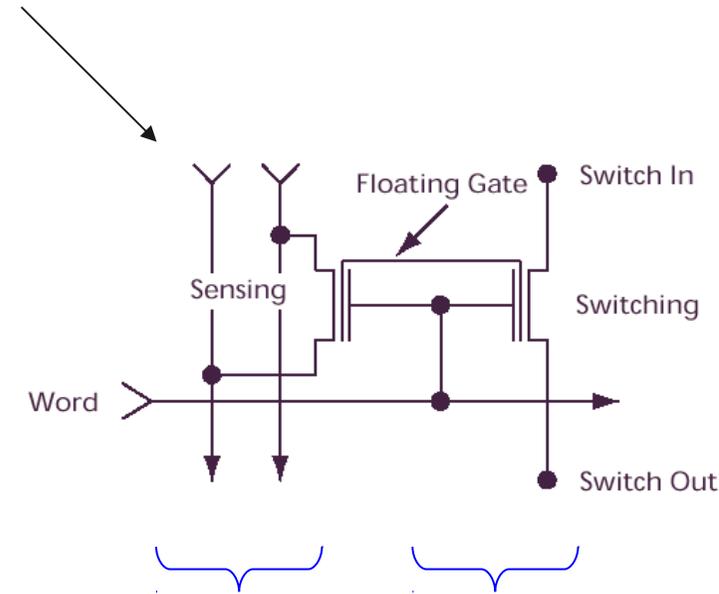
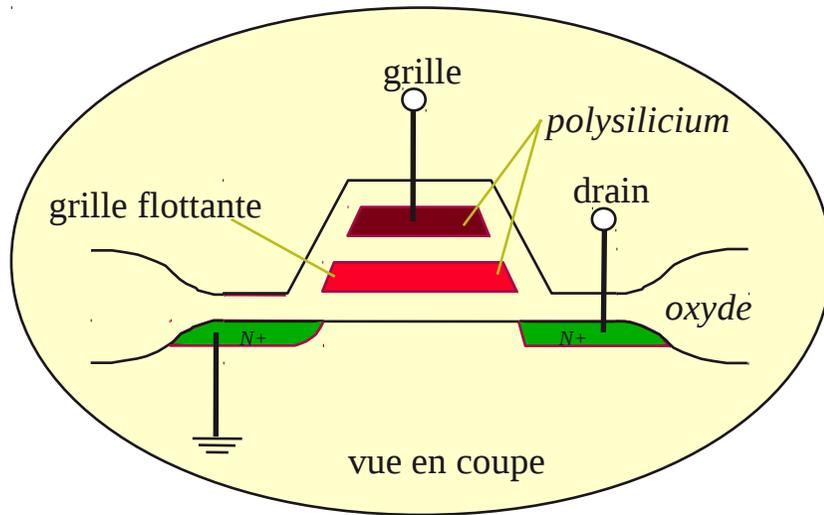




■ EEPROM/FLASH

Utilisée pour les EPLD et certains FPGA (ACTEL ProASIC)

Transistor à grille flottante

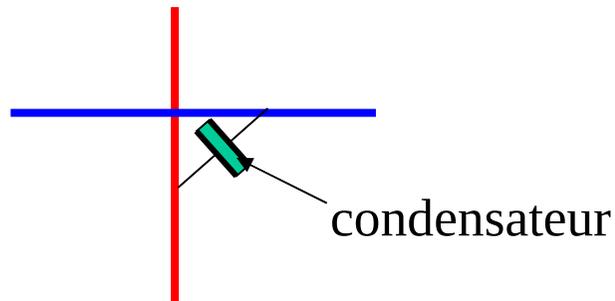


Programmation/vérification interconnexion



■ Antifusible

- Utilisés par ACTEL et QuickLogic

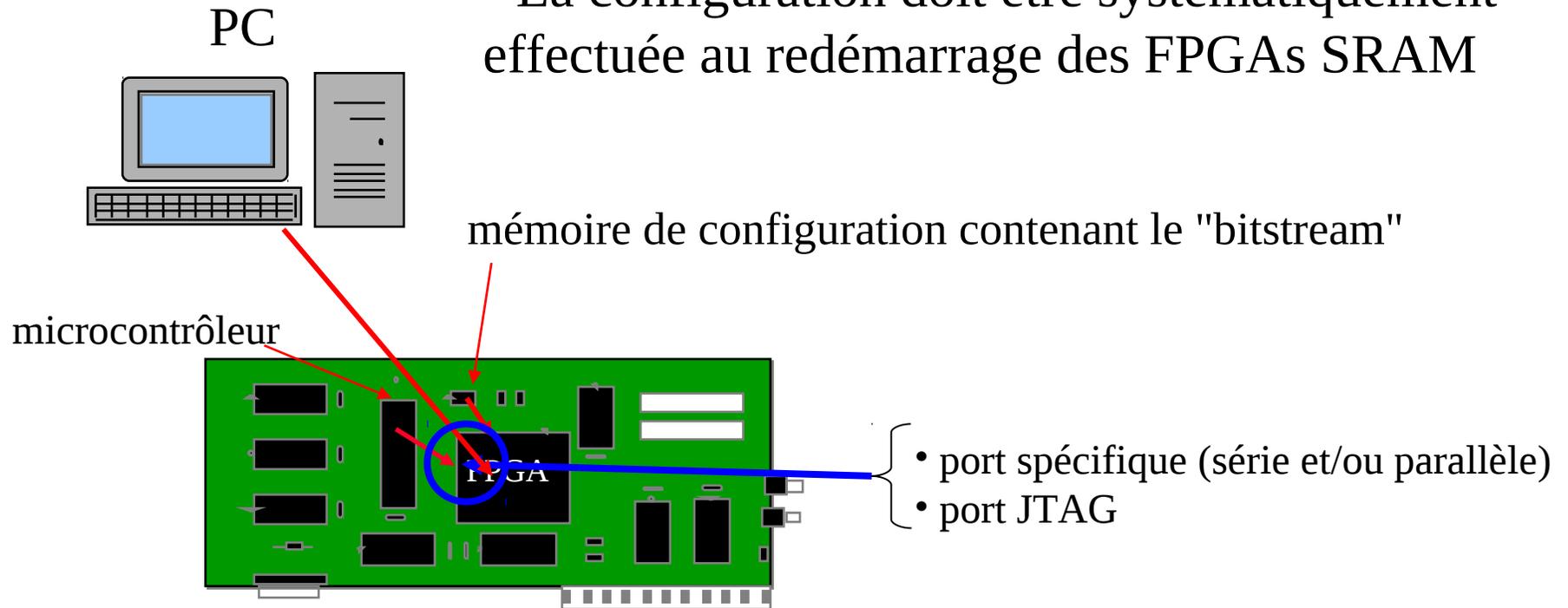


- La programmation consiste à faire fondre l'isolant du condensateur. L'opération est irréversible (programmation OTP)
- Excellente résistances aux rayons cosmiques (marché spatial)



Interface de Configuration

- La configuration doit être systématiquement effectuée au redémarrage des FPGAs SRAM



Le FPGA peut être Maître (il pilote la configuration) ou Esclave



Exemple de configuration du Virtex5

Virtex-5 Modes	Bus width in bits			
	1	8	16	32
Master Serial	✓			
Master SPI Flash	✓			
Master Flash Up		✓	✓	
Master Flash Down		✓	✓	
Master SelectMAP		✓	✓	✓
JTAG	✓			
Slave SelectMAP		✓	✓	✓
Slave Serial	✓			

Maître {

Esclave {

série parallèle

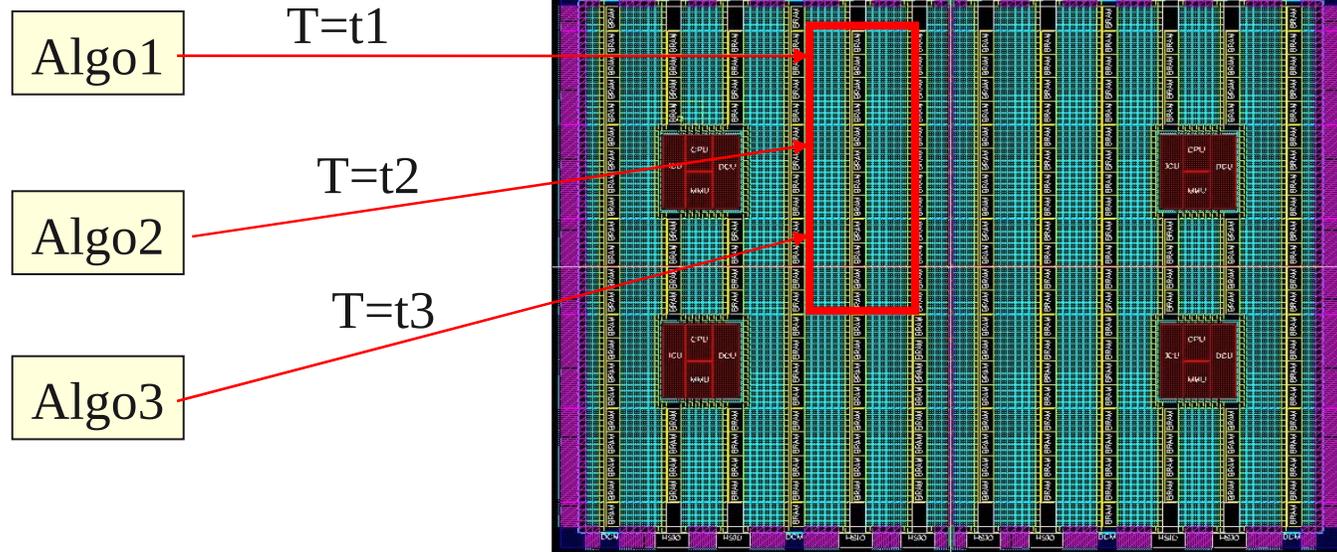
Si échec de la configuration : essai avec un nouveau bitstream => "Fallback"



Configuration partielle

- Permet de minimiser le matériel
- Possibilité Xilinx

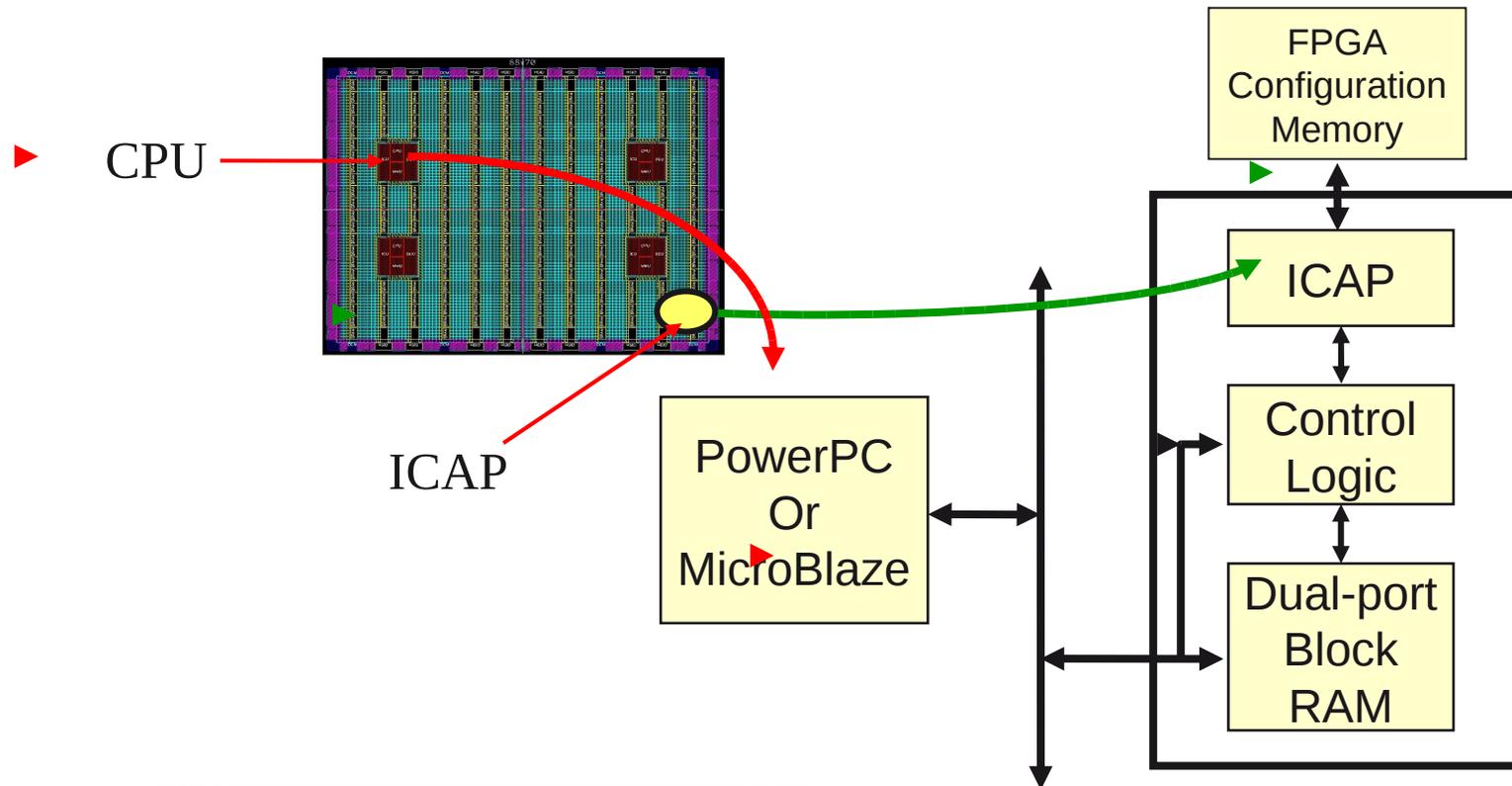
Fichiers de configuration





Auto reconfiguration

- Virtex5 : Utilisation du port de configuration interne : ICAP et d'un microprocesseur local





Configuration sécurisée : exemple ALTERA

Etape 1 : Programmation de la clé dans le FPGA



Clé



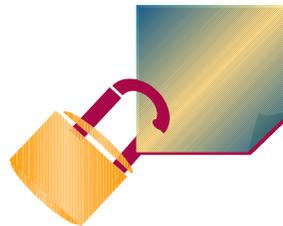
Etape 2 : Chiffrement du fichier de configuration avec cette clé



chiffrement



Clé

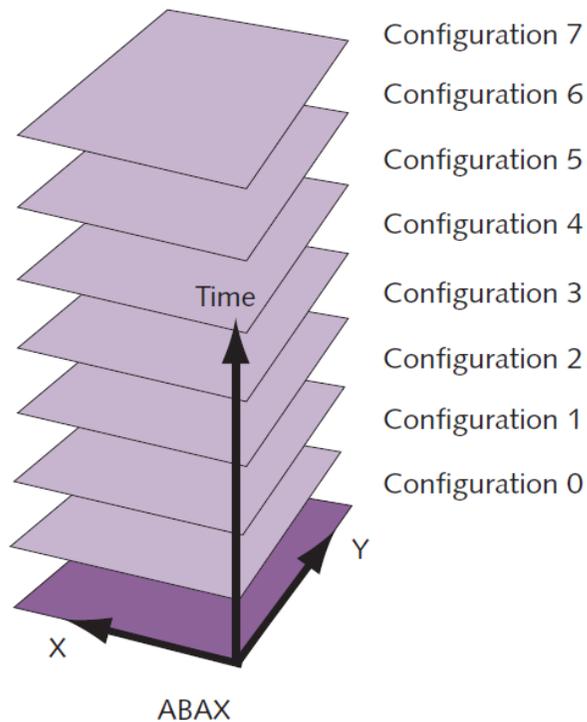


Bitstream chiffré





ReConfiguration à la volée



■ Technologie Tabula

- 2D + Temps
- Reconfigurations permanentes @1.6GHz
- 8 configurations
- Mémoires simple port équivalente à 8 ports 200MHz
- Diminue les ressources de routage

- Place et Marchés des FPGAs
- Du FPGA à l'ASIC
- Architectures de la logique
- Architectures des blocs embarqués
- Architectures d'interconnexion
- Architectures de configuration
- ➔ ■ Performances, Consommation, Robustesse



Stratégies pour augmenter les performances

■ Utiliser les dernières technologies

- Les FPGAs sont les test-chips des dernières technos :
 - Virtex6 : 40nm
 - Stratix5 : 28nm

■ Calcul partiellement Asynchrone

- Pipeline asynchrone (startup Achronix)

■ Disposer d'une topologie performante

- Topologie hiérarchique
- Topologie mixte Matrice/arbre

■ Tirer parti de l'outil de CAO : code+synthèse+PR

■ Reconfigurer à la volée

- Commutation rapide entre configuration (Startup Tabula)



Consommation dans les FPGAs

Le prix à payer de la programmabilité

■ Consommation dynamique

- En CMOS, l'essentiel de la consommation provient des courants de charge et décharge des capacités réparties

$$P = \frac{1}{2} C V_{dd}^2 f$$

V_{dd} ↘ f ↗ C ↗ → P →

■ Consommation statique

- Due aux courants de fuite. Quasi nulle dans les technologies >130nm mais devient non négligeable si <130nm

■ Stratégie de réduction

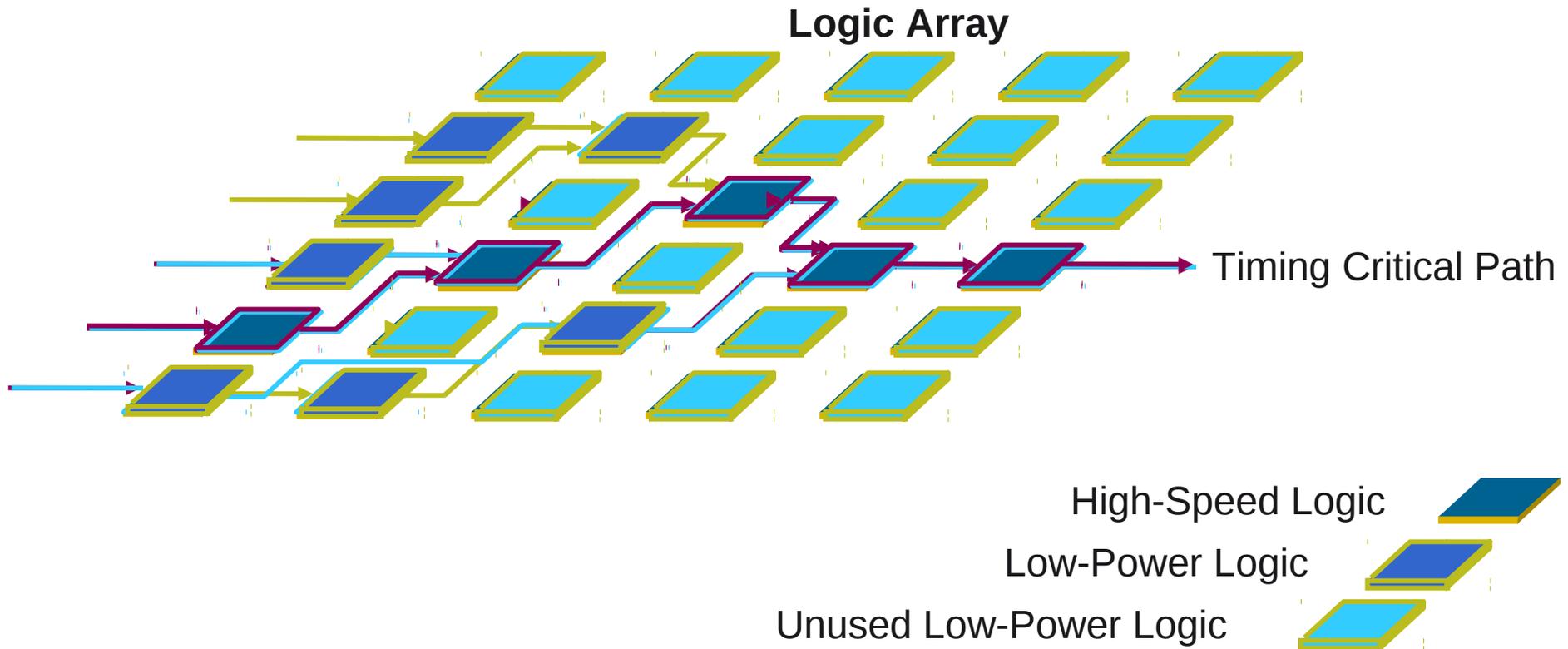
- Transistors faible consommation
- Gestion pour la mise en veille

startup
SiliconBlue



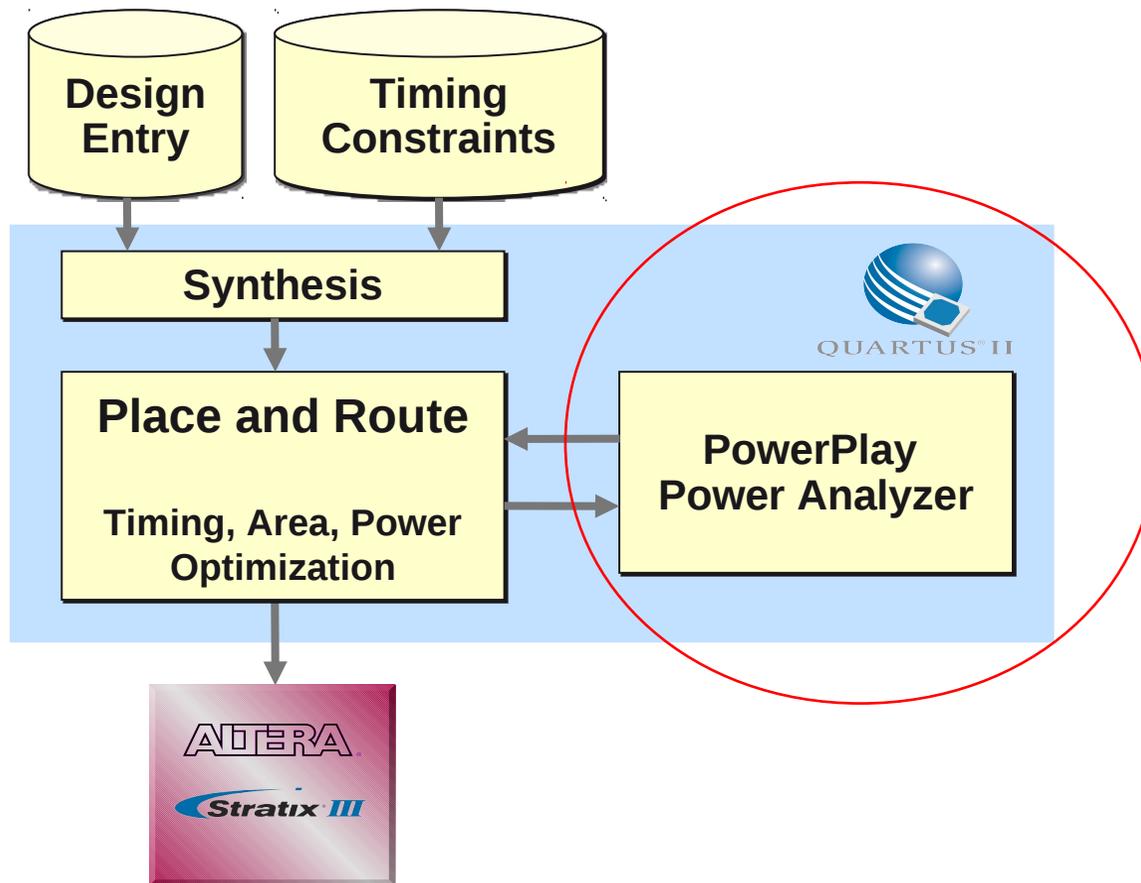
Stratégie pour réduire la puissance dynamique

■ Programmation du type de logique : StratixIII





StratixIII :Prise en compte au niveau de la conception





Robustesse dans les FPGAs

■ 2 problèmes

- Les rayonnements cosmiques
 - Affecte les mémoires SRAM
 - Mémoires embarquées
 - Mémoire de configuration (à part Flash et anti-fusible)
- Le bruit interne détériorant l'intégrité du signal
 - Interférences
 - Bruit de masse (Simultaneous Switching Noise)
 - Mauvaises adaptations d'impédance



Rayonnement cosmique

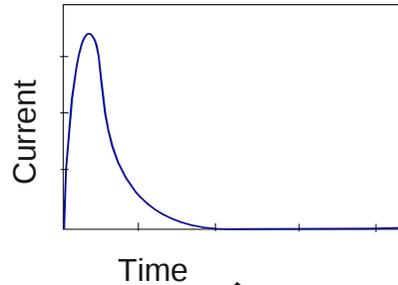
■ Erreur SEU "Single Event Upset"



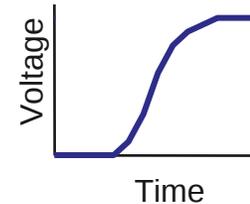
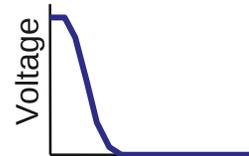
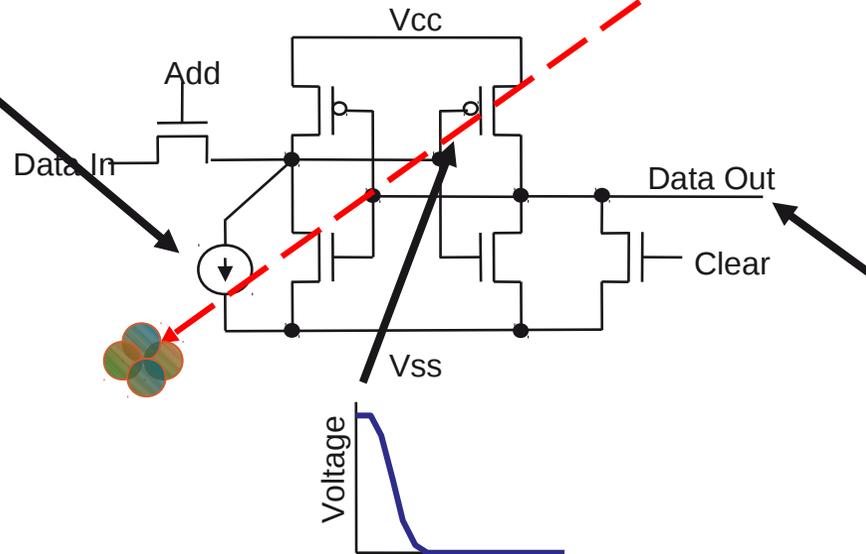
espace



Rayon cosmique



Point mémoire SRAM





Parades au rayonnement cosmique

■ Mémoire de configuration

- Signature CRC dans le bitstream
- Mesure régulière du CRC (Xilinx) ou utilisation d'un processeur pour mesurer la "criticalité" (Altera)
- Utilisation de technologies robustes (Actel : FLASH, Antifusibles)

■ Mémoire utilisateur

- Code correcteur d'erreur ECC associé aux mémoires embarquées



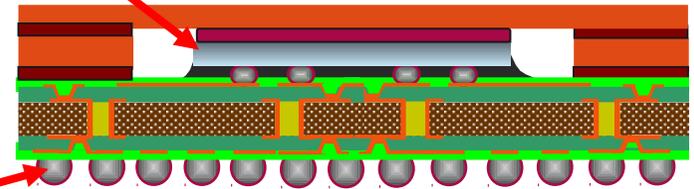
Amélioration de l'intégrité du signal

■ Action au niveau des E/S

- Ajustement du slew rate
- Ajustement de la puissance des sorties
- Adaptation d'impédance
- Ajustement du retard

■ Action au niveau du boîtier

- Respecter le ratio $V_{dd}/G_{nd}/E/S$ (8)
- Mettre des capacités de découplage ou utiliser des boîtiers prééquipés





■ Nécessité d'un grand nombre d'E/S

***Loi de Rent:** $N = K \cdot G^\beta$

N = nombre d'E/S

K = nombre d'entrées/portes

G = nombre de portes

β = constante de Rent dépendant de l'application $\sim 0,6$

Peut dépasser 1000 => boîtier BGA

