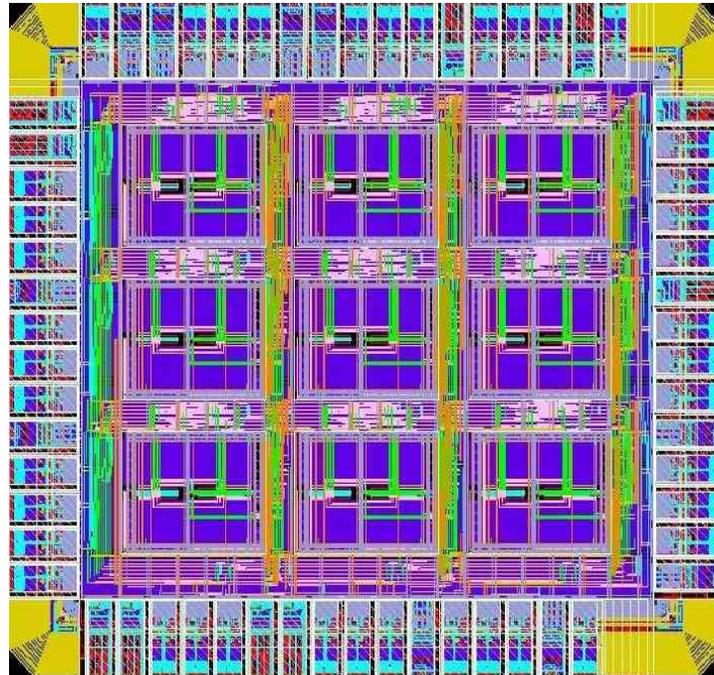




Architectures et tendances

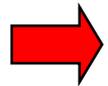


SE204

Jean-Luc Danger



PLAN



■ Qu'est ce qu'un FPGA ?

- Les grands principes, le Marché
- Comparaison avec les circuits ASICs

■ Les principes innovants

- Cellules
- Interconnexion
- Blocs embarqués, I/Os
- Configuration
- Consommation, sûreté

■ Tendances

■ Conception

- Vue d'ensemble
- Synthèse à partir d'un modèle HDL



Qu'est ce qu'un FPGA ?

❑ Circuit **Electronique**

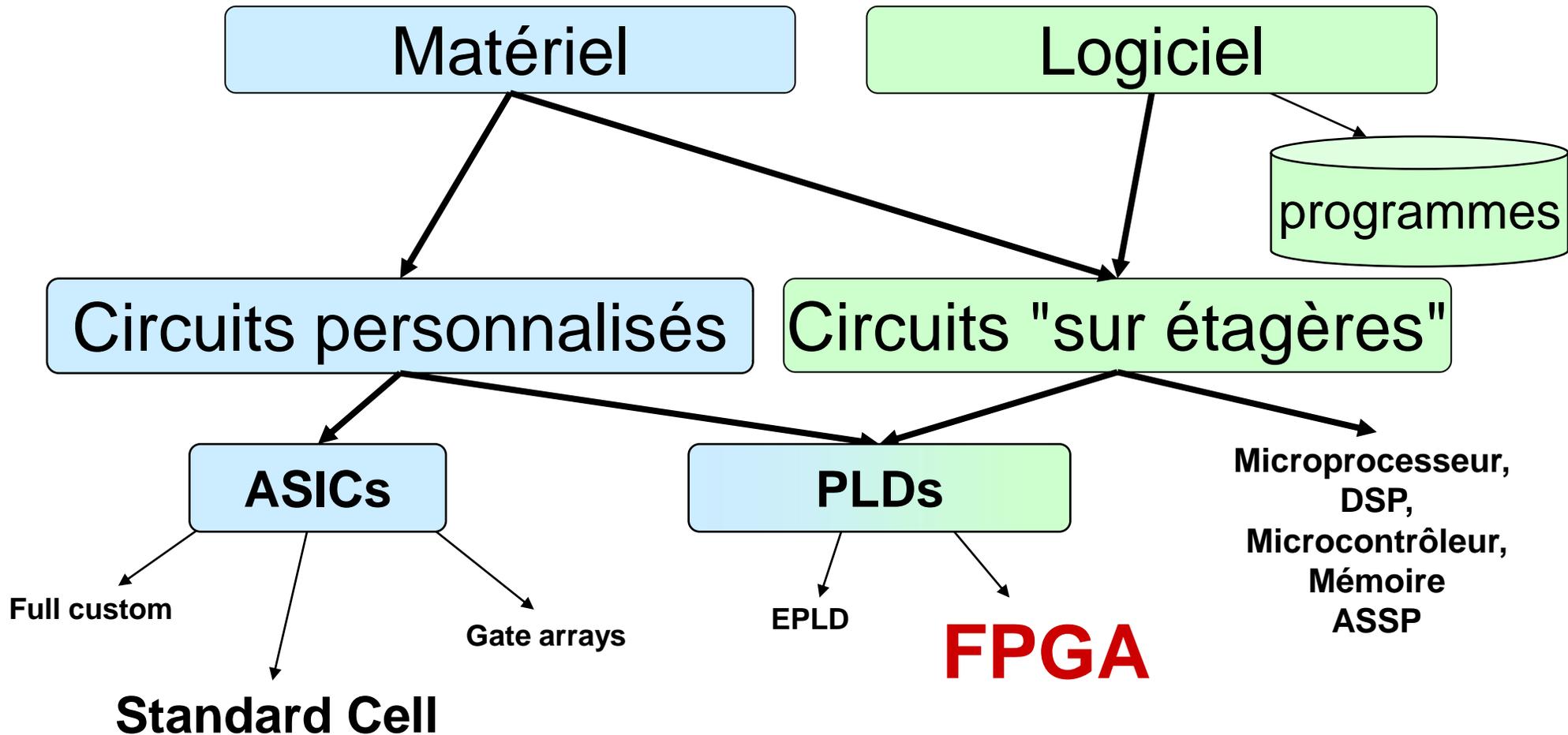
- Dispose d'une structure régulière de portes ou « cellules »
 - « Field Programmable Gate Array »
- Calculs concurrents et rapides (qq100MHz), propres au matériel
- Circuit déjà fabriqué

❑ Circuit **Programmable**

- Contient une mémoire
- Le contenu de la mémoire « bitstream » définit :
 - La fonction de chaque cellules
 - L'interconnexion entre les cellules
- Le « bitstream » n'est pas du logiciel
 - Ce n'est pas un fichier exécutable,
 - mais une description de portes ou « netlist »



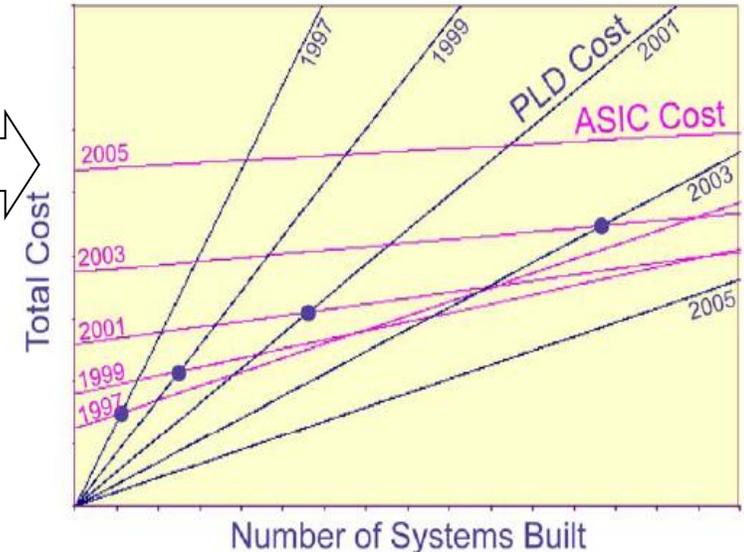
Place dans les filières technologiques





Applications des FPGAs

- ❑ **Marché petit et moyen volume**
 - Etude des coûts pour le choix ASIC ↔ FPGA
- ❑ **Prototypage rapide avant conception ASIC**
- ❑ **Accélération de simulation**
- ❑ **Validation de concept en Recherche**
 - Plate-forme quantique
 - Plate-forme 100Ghz
 - Fiabilité, sécurité,...
- ❑ **Enseignement de l'électronique**



Nick Tredennick, Brion Shimamoto. *The Rise of Reconfigurable Systems*. In proceeding of Engineering of Reconfigurable Systems and Algorithms, ERSA'2003. June 23-26, Las Vegas, Nevada, USA.

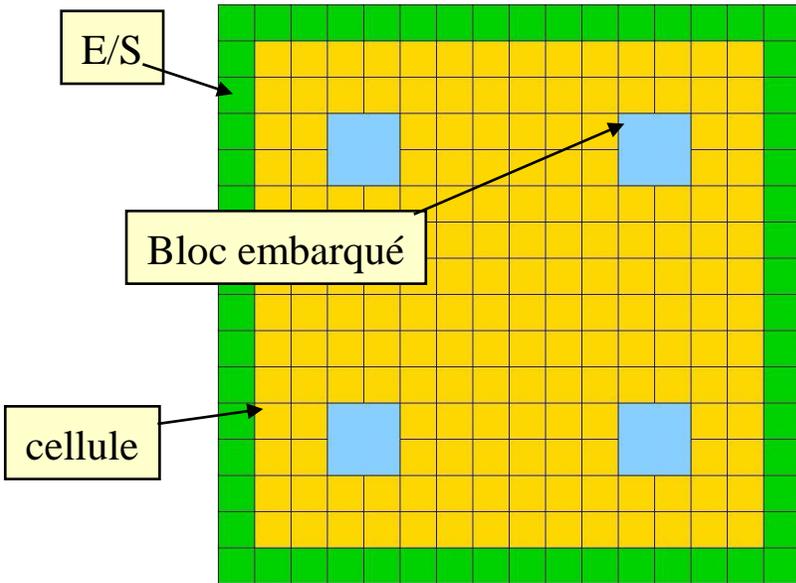


Architecture d'un FPGA

■ 3 plans virtuels :

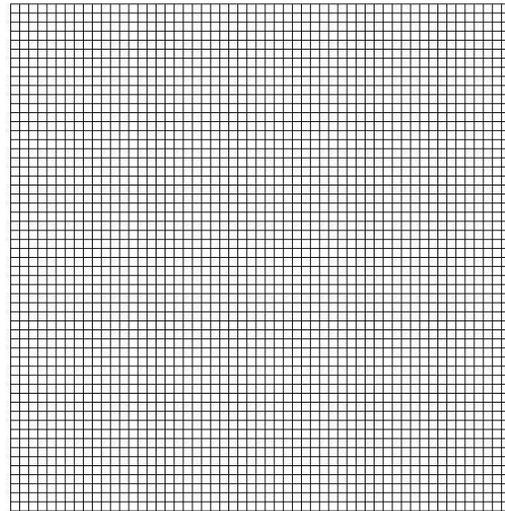
Logique

Matrice de cellules



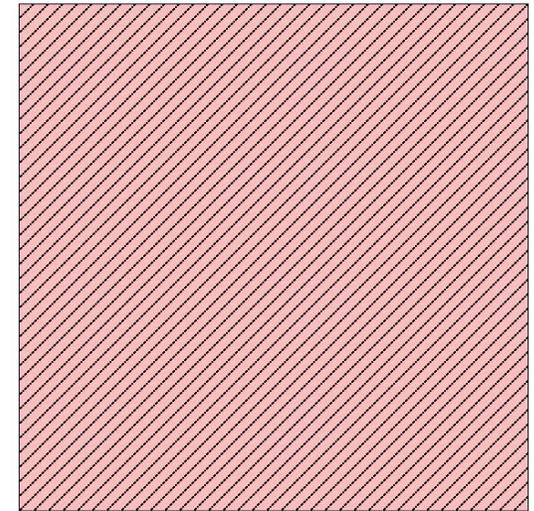
Interconnexion

Canaux de routage
et commutateurs



Programmation

Mémoire de configuration
Contient le « bitstream »



- L'interconnexion occupe environ 80% de la surface
- Pour une même fonction, la surface est environ 30 fois celle d'un circuit ASIC



Marché des FPGAs

Worldwide FPGA/PLD vendor revenues and rankings, 2007-2008

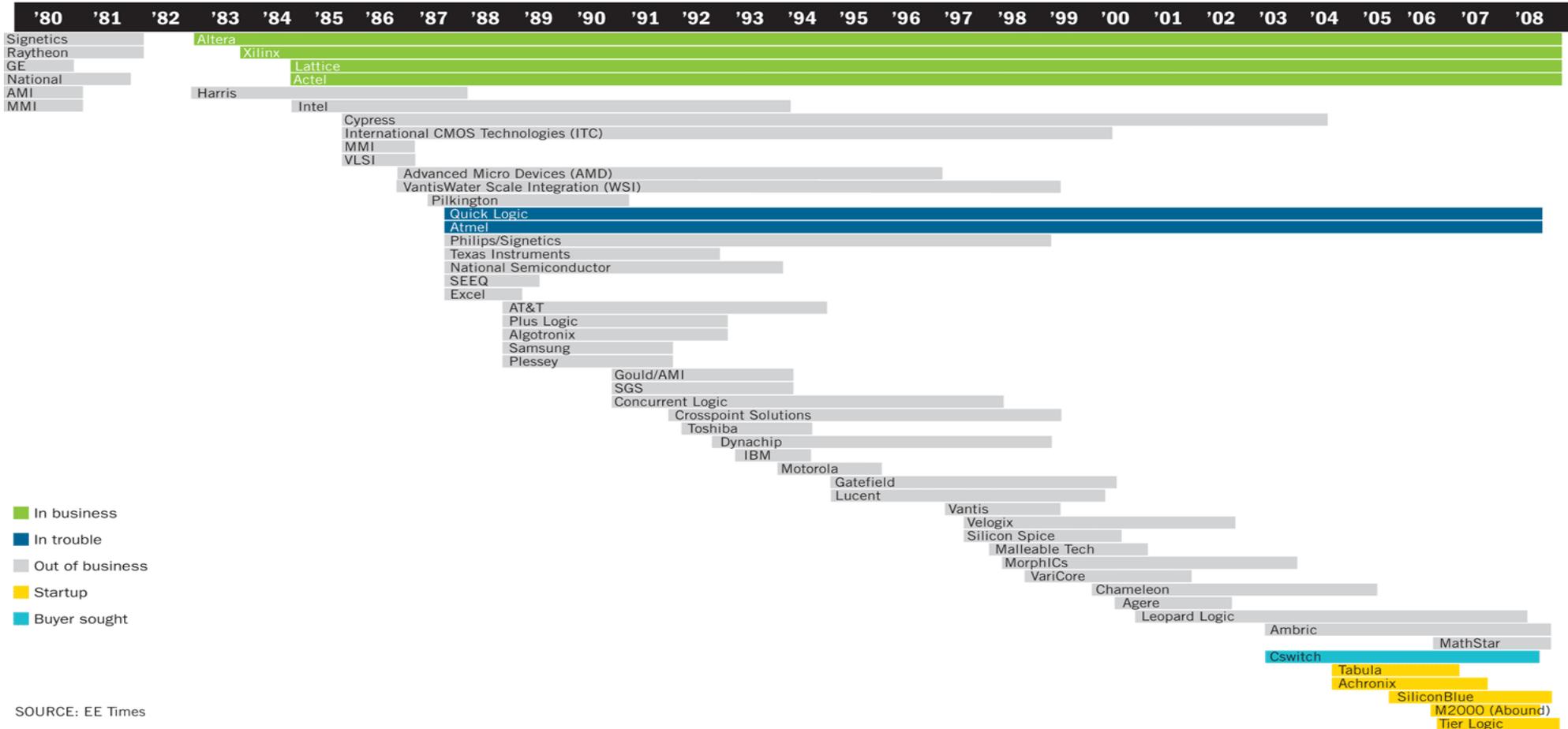
Rank 2007	Rank 2008	Company	Revenue (\$M) 2007	Revenue (\$M) 2008	Revenue Change 2007-2008	Market Share 2008
1	1	Xilinx	1,809	1,906	5.4%	51.2%
2	2	Altera	1,216	1,323	8.8%	35.5%
3	3	Lattice Semiconductor	229	222	-3.1%	6.0
4	4	Actel	196	218	11.2%	5.9%
6	5	QuickLogic	28	23	-17.9%	0.6%
5	6	Cypress Semiconductor	32	21	-34.4%	0.6%
7	7	Atmel	14	9	-35.7%	0.2%
8	8	Chengdu Sino Microelectronics System	4	3	-25.0%	0.1%
		Others	0	0	NM	0.0%
		Total Market	3,528	3,725	5.6%	100.0%

Source: Gartner



Histoire : Concurrence féroce, beaucoup d'échecs

History of PLD startups

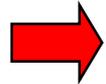


- L'innovation des nouvelles sociétés doit présenter une vraie rupture
- Beaucoup de juristes dans les sociétés de FPGAs (toutes américaines)



PLAN

■ Qu'est ce qu'un FPGA ?



- Les grands principes, le Marché
- Comparaison avec les circuits ASICs

■ Les principes innovants

- Cellules
- Interconnexion
- Blocs embarqués, I/Os
- Configuration
- Consommation, sûreté

■ Tendances

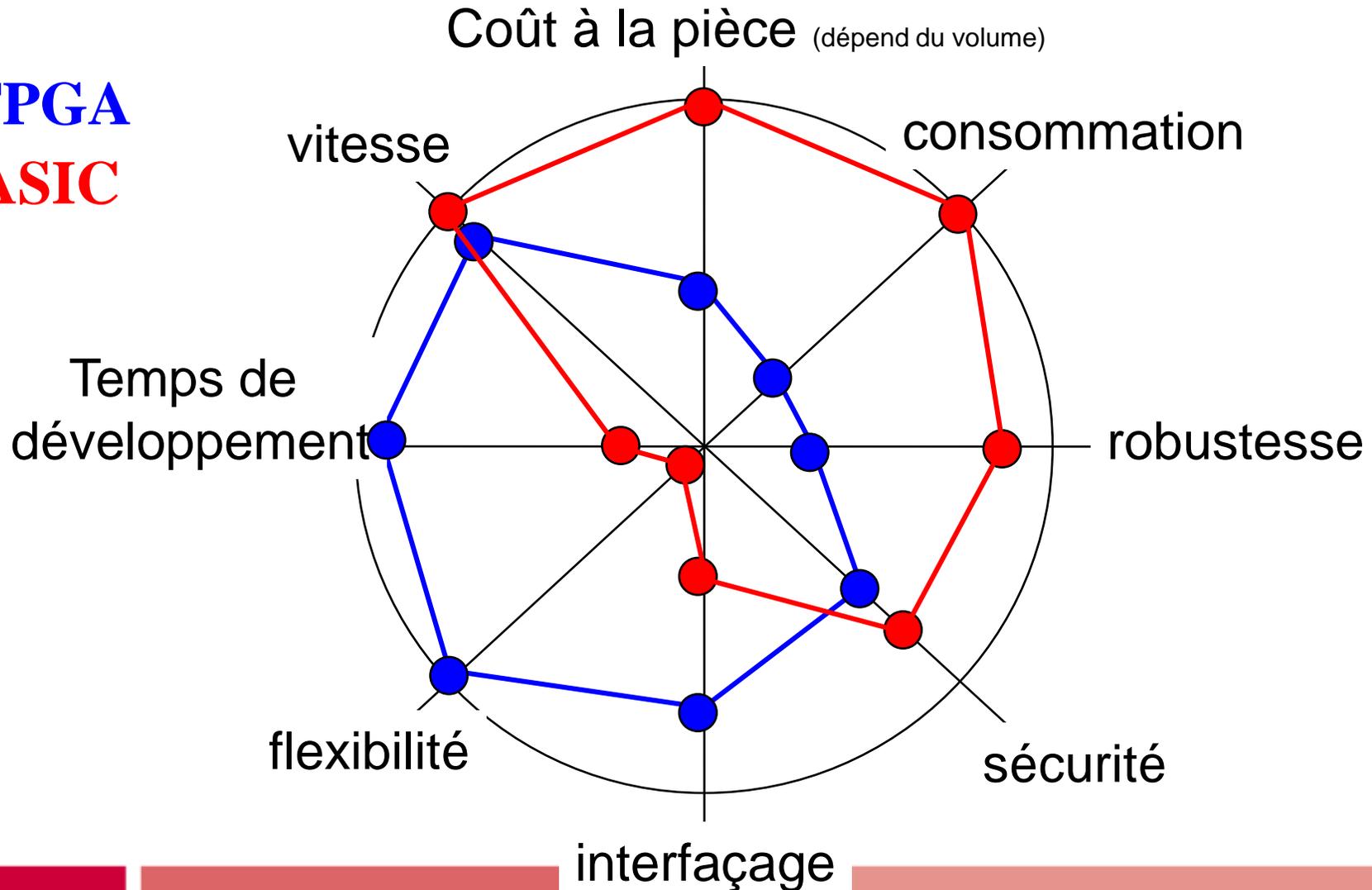
■ Conception

- Vue d'ensemble
- Synthèse à partir d'un modèle HDL



Comparaison multi-critères ASIC/FPGA

FPGA
ASIC



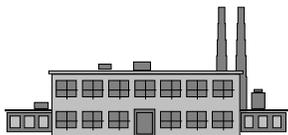
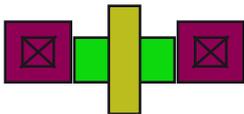
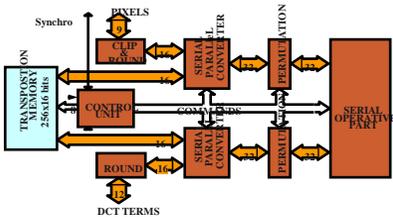
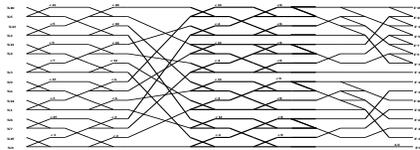


Comparaison multi-niveaux ASIC/FPGA

reprogrammable

À concevoir 1 fois

existant



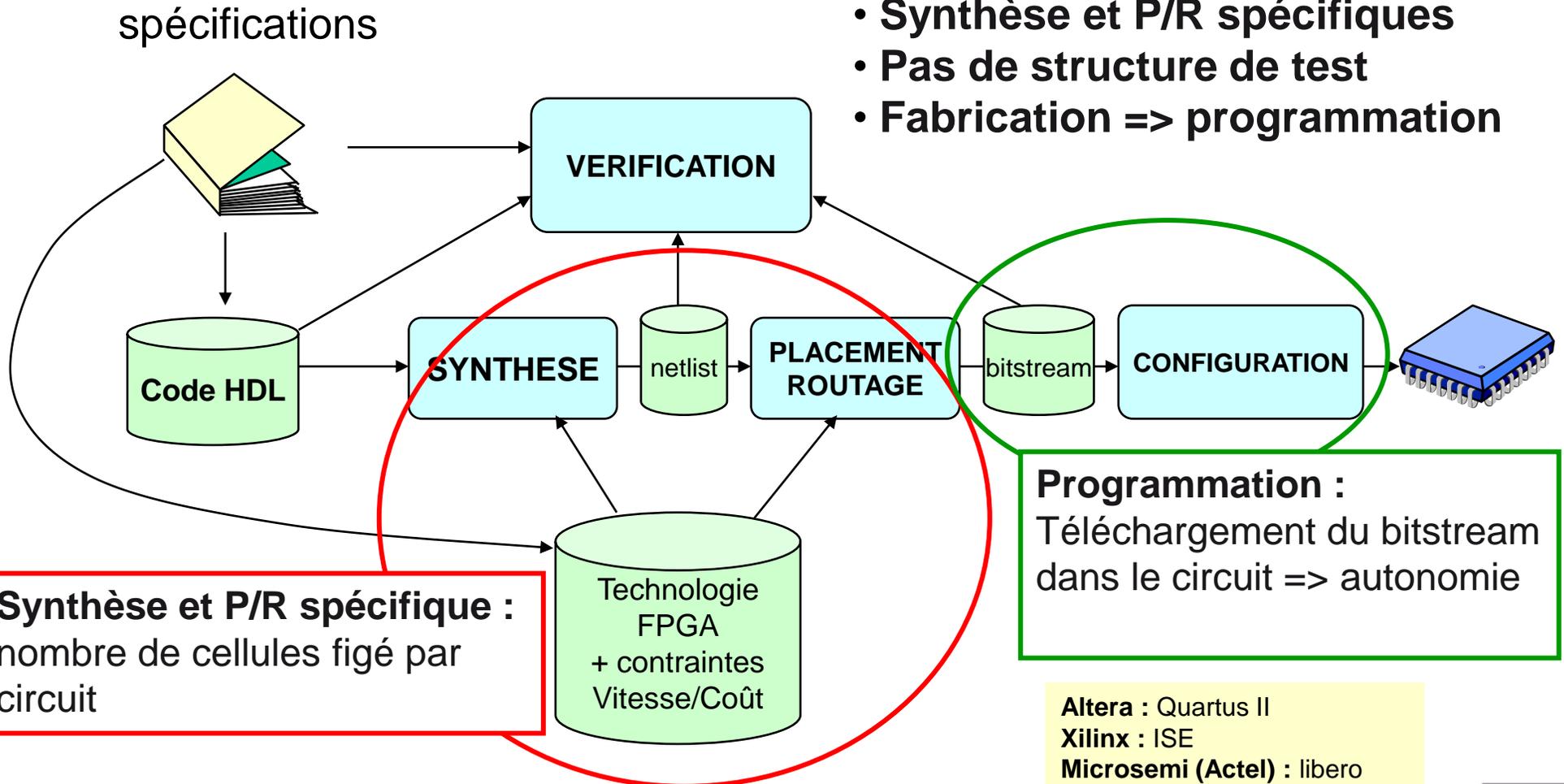
	logiciel	ASIC Standard cell	FPGA
Algorithme	Logiciel CPU	Logiciel SoC	Logiciel SoC
Architecture	CPU existe	Code HDL	Code HDL
Logique		Netlist	Netlist
transistors		schémas portes	circuit existe
masques		Lay-out portes	
		Lay-out global	
fonderie		Fonte + test	



Flot de conception FPGA

Principales Différences avec ASIC :

- **Synthèse et P/R spécifiques**
- **Pas de structure de test**
- **Fabrication => programmation**

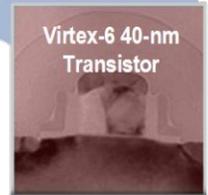




Les technologies micro-électroniques des FPGAs

❑ Les dernières technologies sont utilisées

- Permet de satisfaire le besoin fort en densité
- Permet au fondeur de tester sa technologie



Evolution des FPGAs XILINX famille Virtex :

famille	année	technologie	Max cellules	Détail techno
Virtex4	2004	90nm	200000 LUT4	
Virtex5	2007	65nm	330000 LUT6	* Triple oxyde (réduction de la consommation)
Virtex6	2010	40nm	760000 LUT6	* Lithographie par immersion (finesse de gravure) * Implants SiGe (augmentation de la vitesse)
Virtex7	2012	28nm	2000000 LUT6	* High-K technology (réduit les courants de fuite)

En préparation : Virtex Ultrascale avec technologie 3D 20nm



Les technologies micro-électroniques des FPGAs

Evolution des FPGAs ALTERA STRATIX:

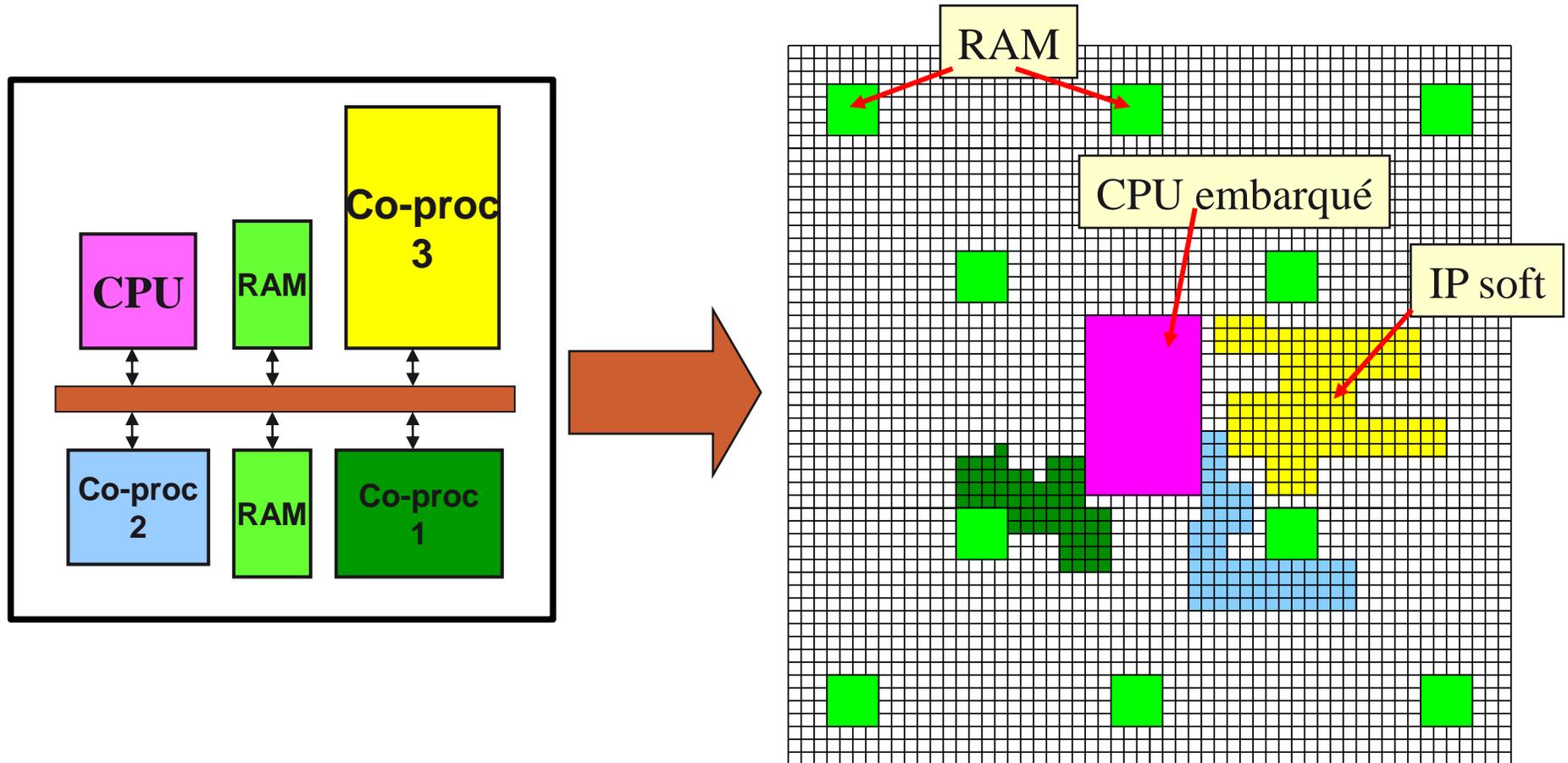
Device Family	Stratix	Stratix GX	Stratix II	Stratix II GX	Stratix III	Stratix IV	Stratix V	Stratix 10
Year of introduction	2002	2003	2004	2005	2006	2008	2010	2013
Process technology	130 nm	130 nm	90 nm	90 nm	65 nm	40 nm	28 nm	14 nm Tri-Gate



Technologie INTEL Fin-FET



ASICs dans les FPGAs : Hard IPs



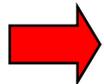


PLAN

■ Qu'est ce qu'un FPGA ?

- Les grands principes, le Marché
- Comparaison avec les circuits ASICs

■ Les principes innovants



- Cellules
- Interconnexion
- Blocs embarqués, I/Os
- Configuration
- Consommation, sûreté

■ Tendances

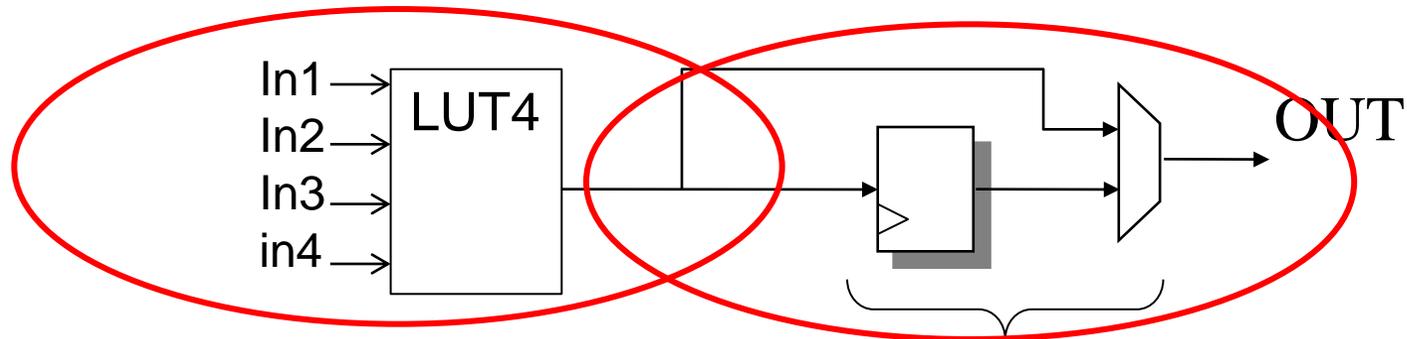
■ Conception

- Vue d'ensemble
- Synthèse à partir d'un modèle HDL



La cellule ou Comment générer une fonction logique quelconque?

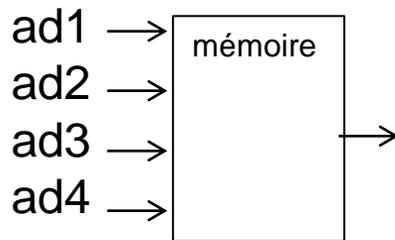
Cellule = LUT (+ bascule)



LUT pour la logique combinatoire

DFF pour la logique séquentielle

LUT \equiv mémoire

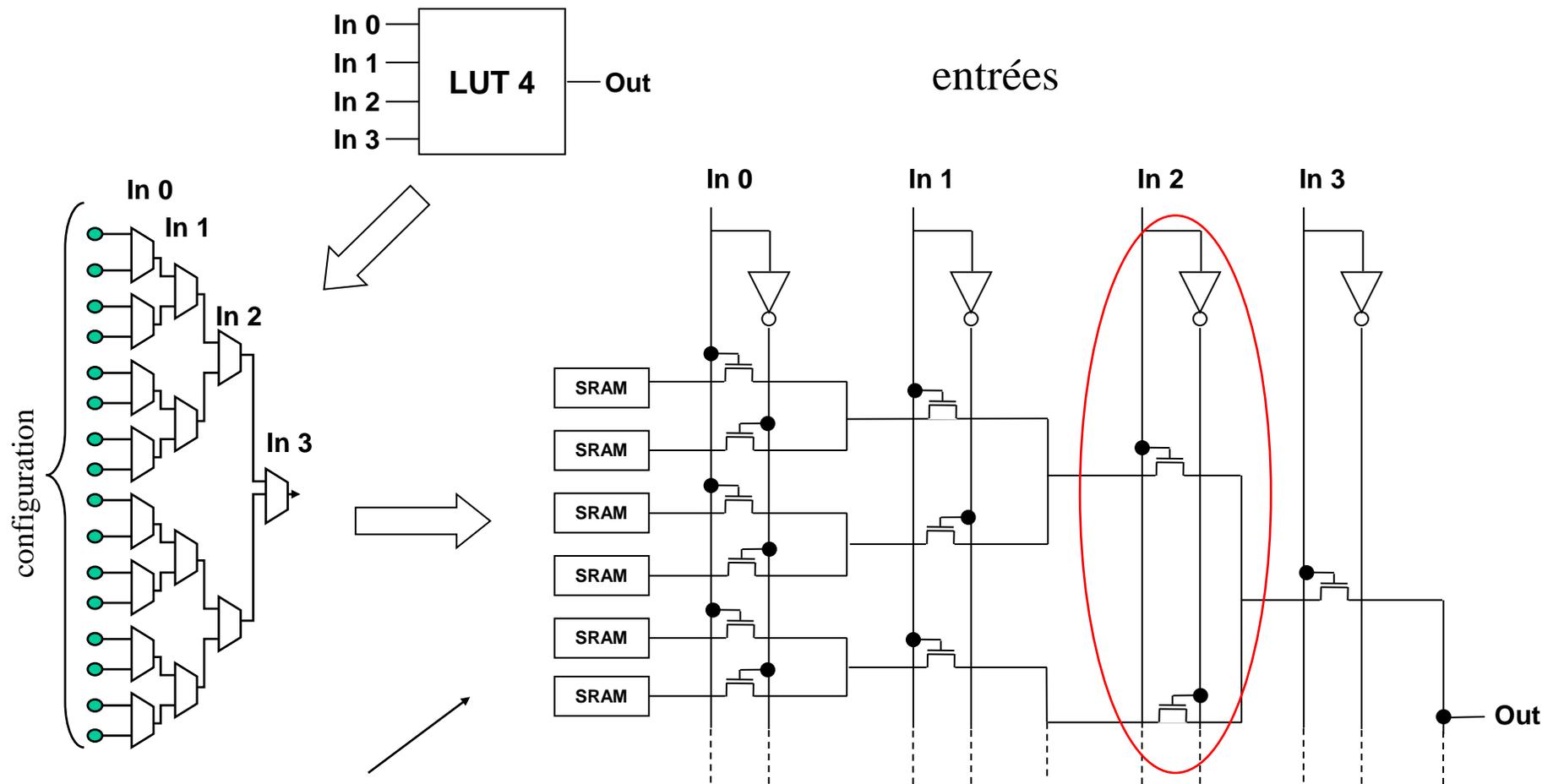


Modes d'utilisation de la LUT :

- Additionneur 1 bit : 1LUT4 = 2 LUT3 (résultat, retenue)
- Mémoire RAM 16 bits (Xilinx)
- Registre à décalage (Xilinx)



Architecture d'une LUT



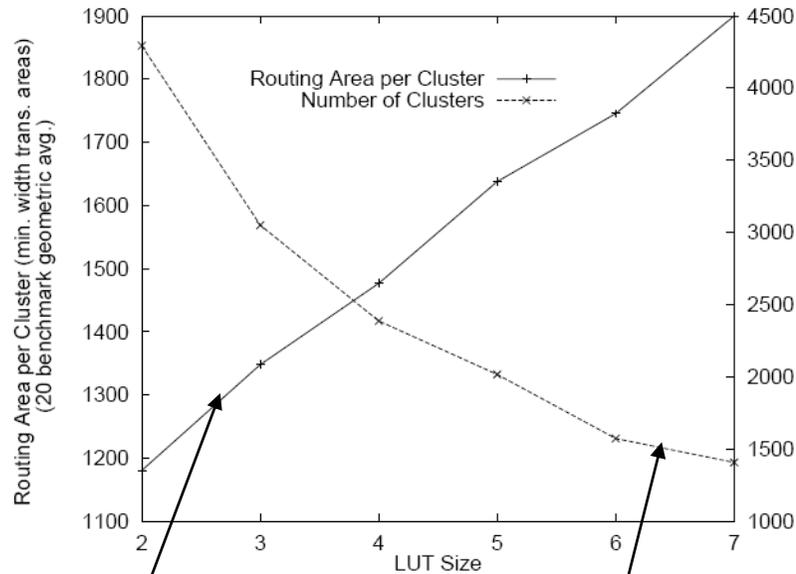
Points de configuration

Multiplexeur 2 vers 1



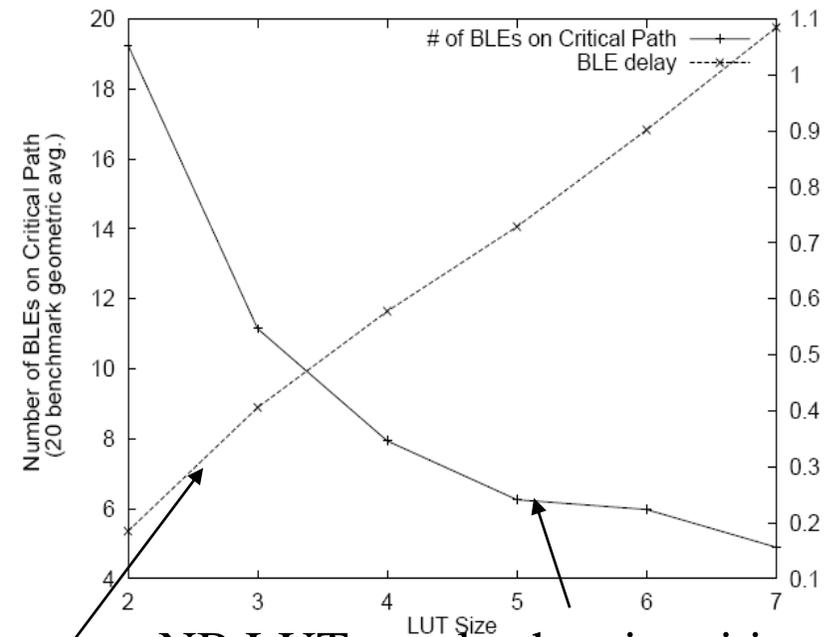
Combien d'entrées pour la LUT ?

Si beaucoup d'entrées : mémoire énorme mais moins de LUT sur le chemin de calcul . Quel est le meilleur compromis ?



interconnexion

Nb LUTs



Temps critique

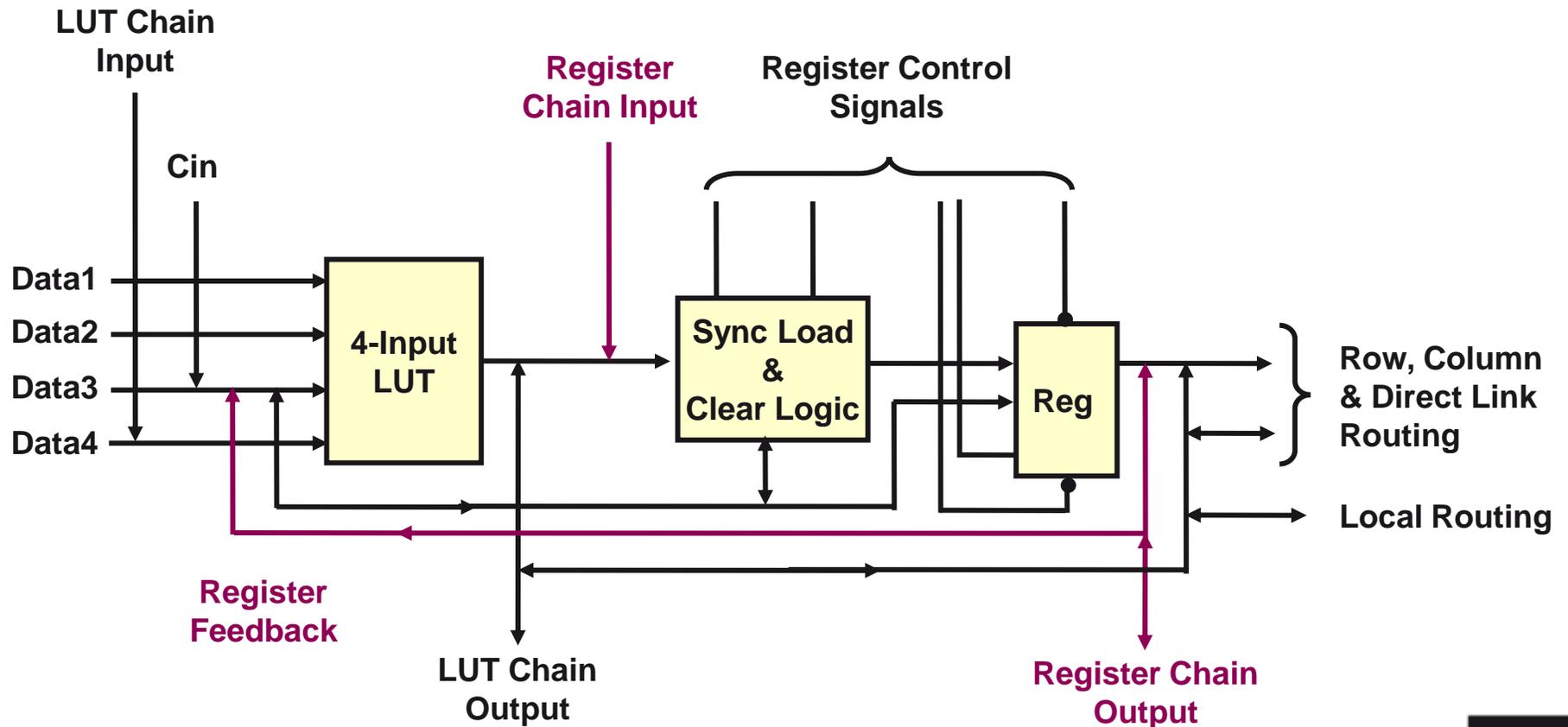
NB LUTs sur le chemin critique

Elias Ahmed, Jonathan Rose: The effect of LUT and cluster size on deep-submicron FPGA performance and density. IEEE Trans. VLSI Syst. 12(3): 288-298 (2004)



Cellule à LUT : ALTERA STRATIX

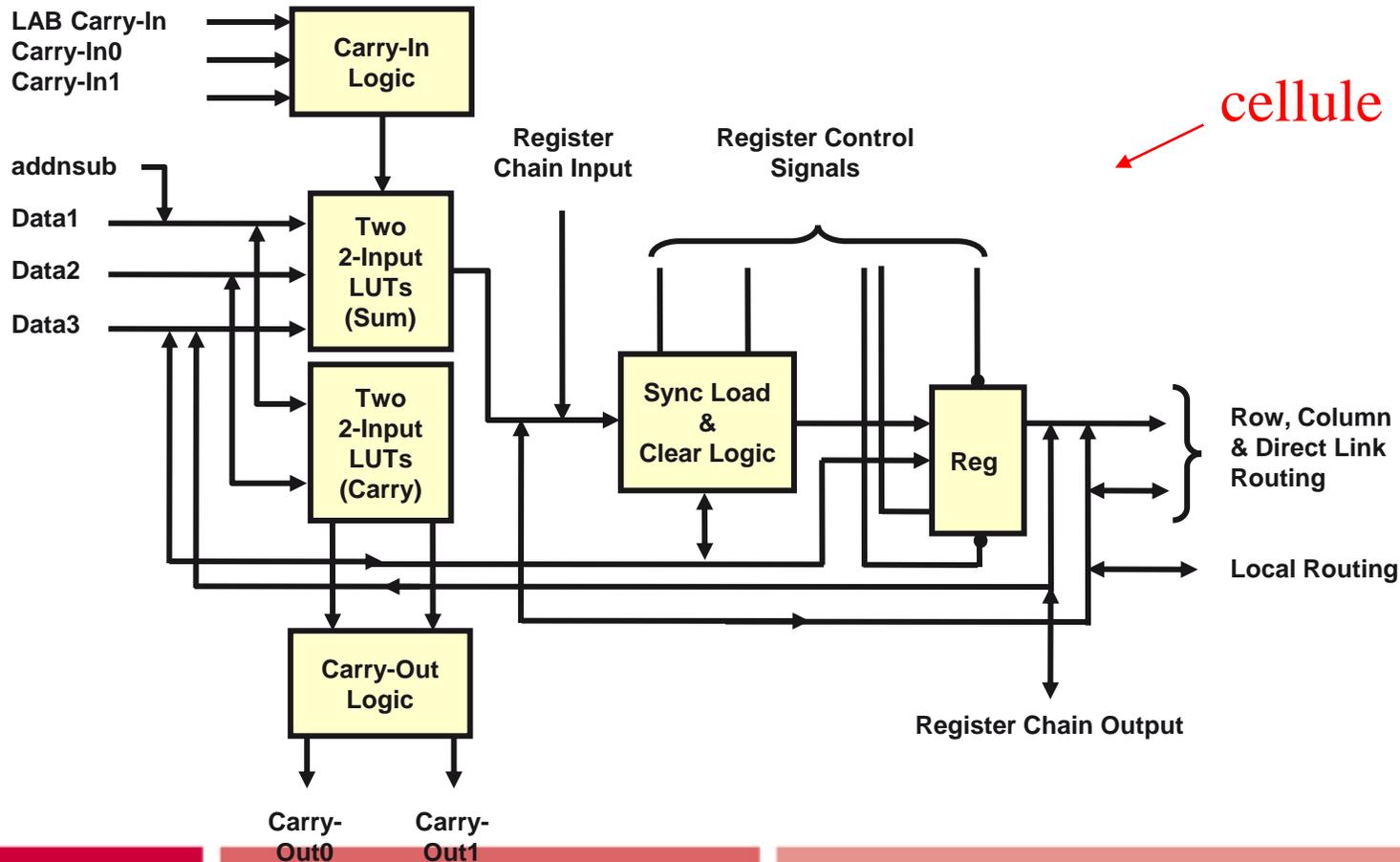
■ mode normal



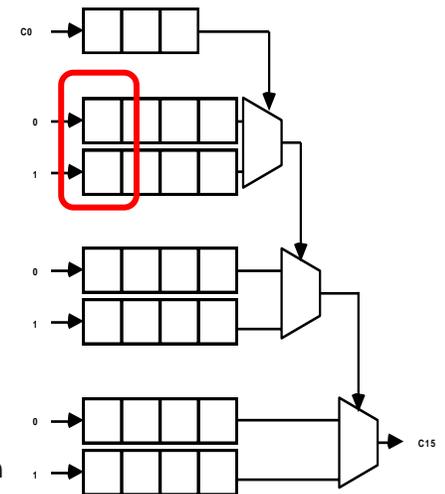


Cellule à LUT : ALTERA STRATIX

■ mode arithmétique

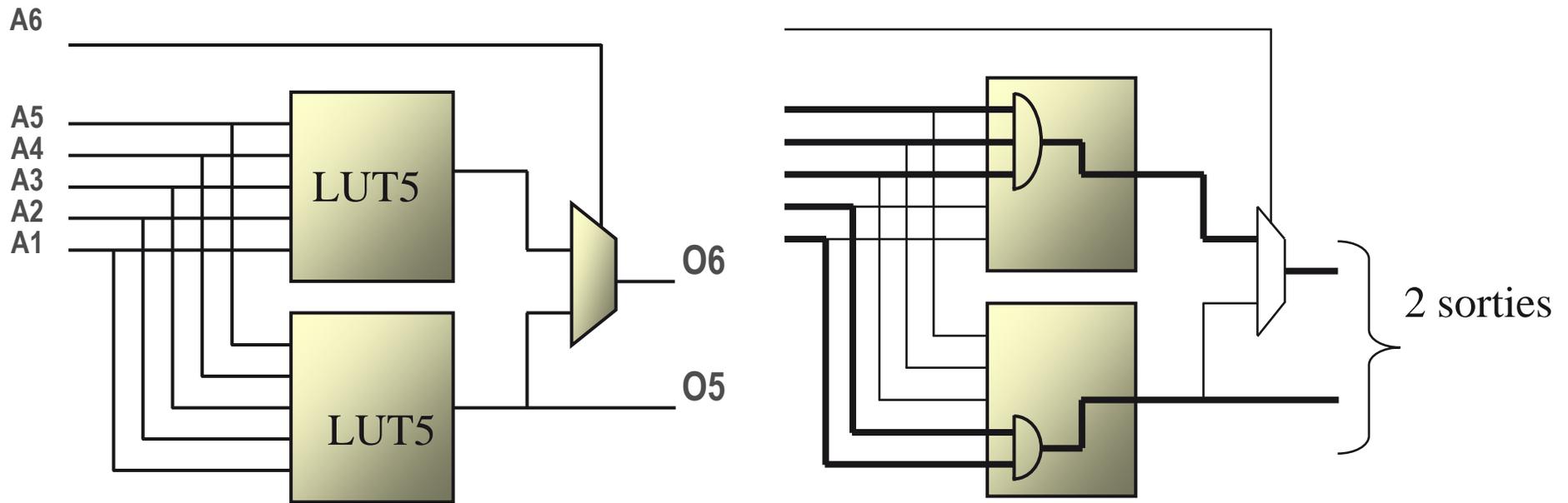


Algorithme : CARRY SELECT





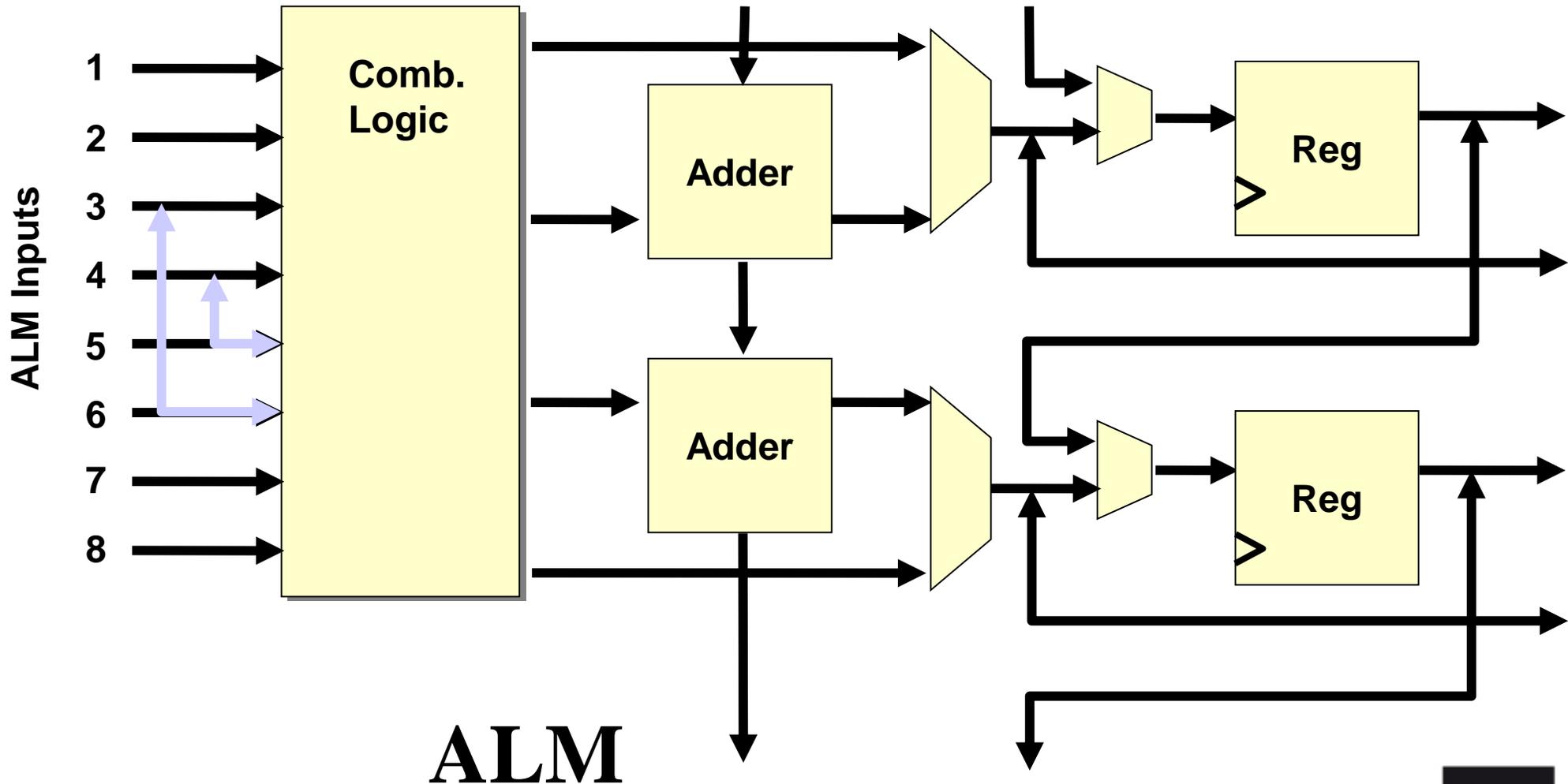
XILINX Virtex5/6 : LUT6



Configuration en 1 LUT6 ou 2 LUT5

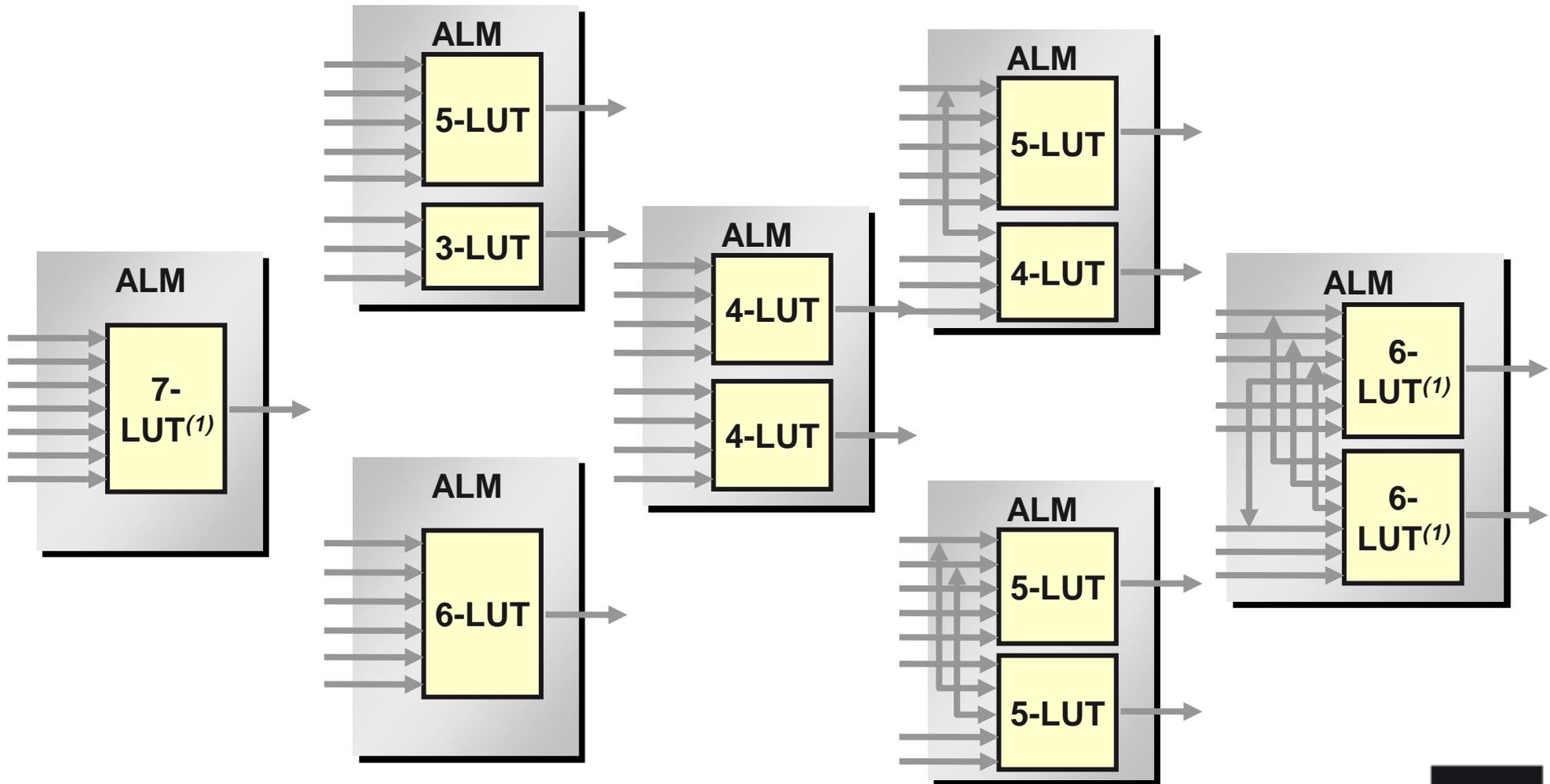


ALTERA Adaptive Logic Module (STRATIXII,III,IV,V)



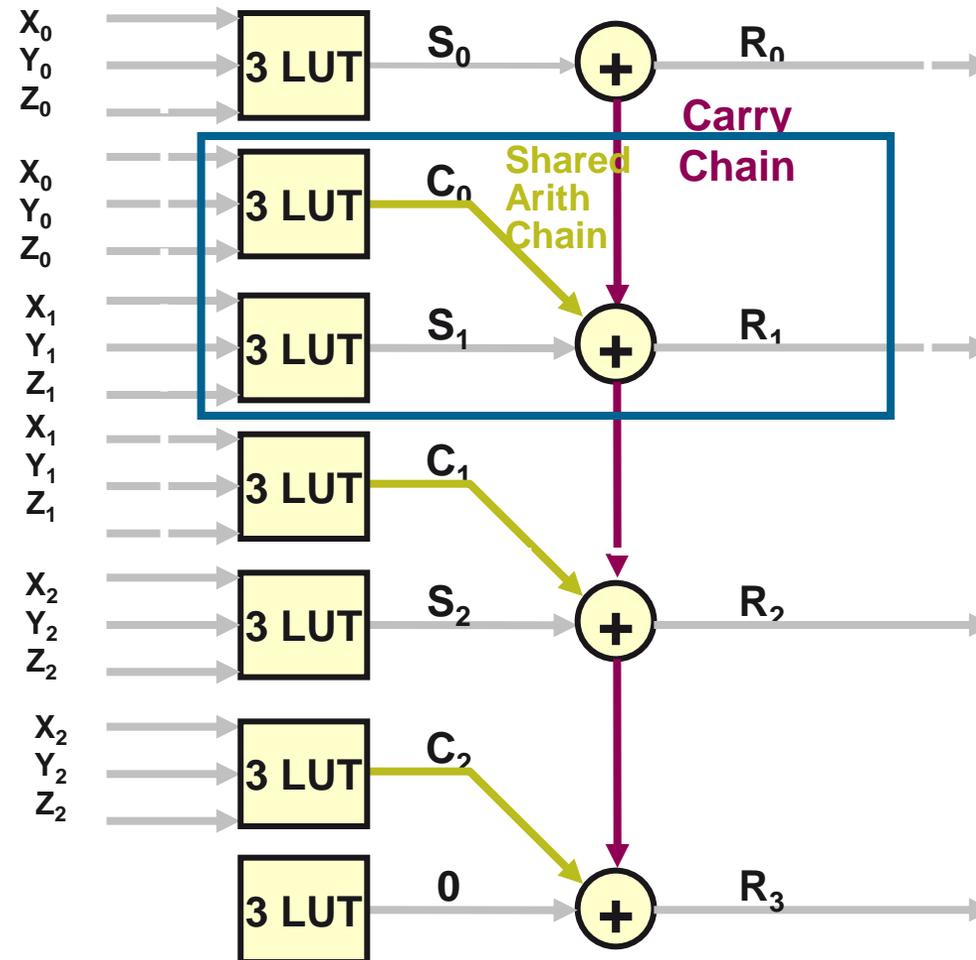


StratixII : Configurations ALM





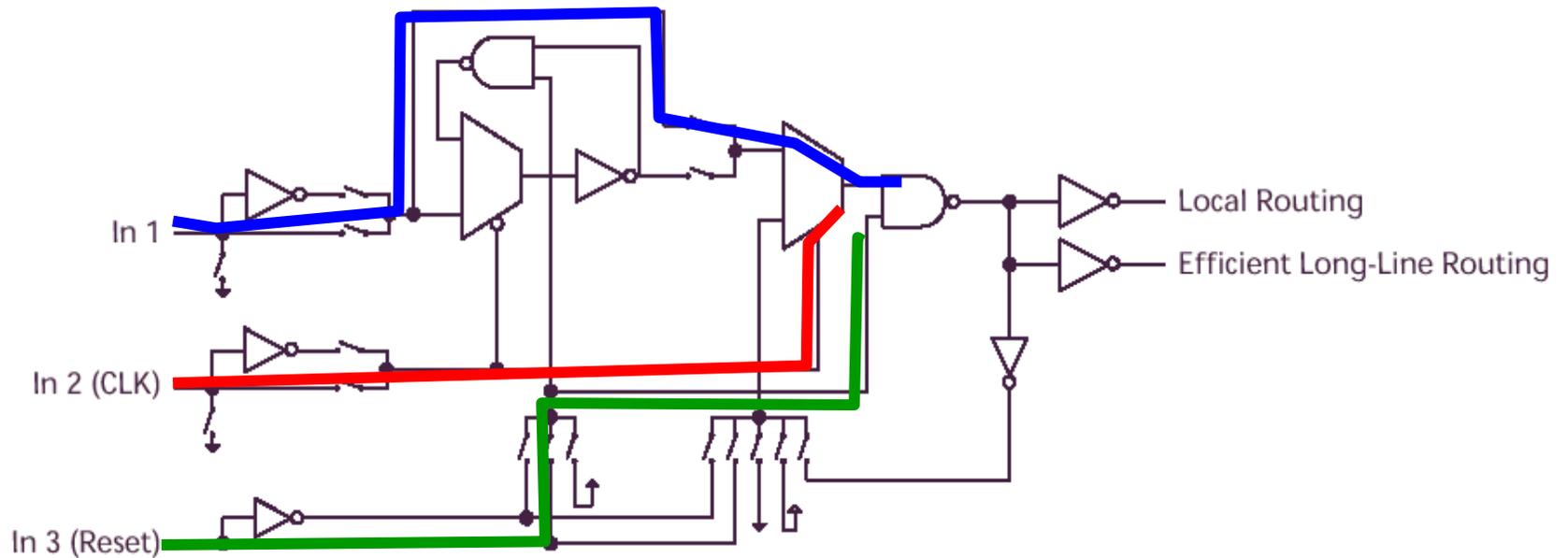
StratixII : Arbre d'addition





Cellule à MUX : ProASIC en mode combinatoire

- Exemple : ProASIC^{PLUS} de ACTEL (technologie FLASH)

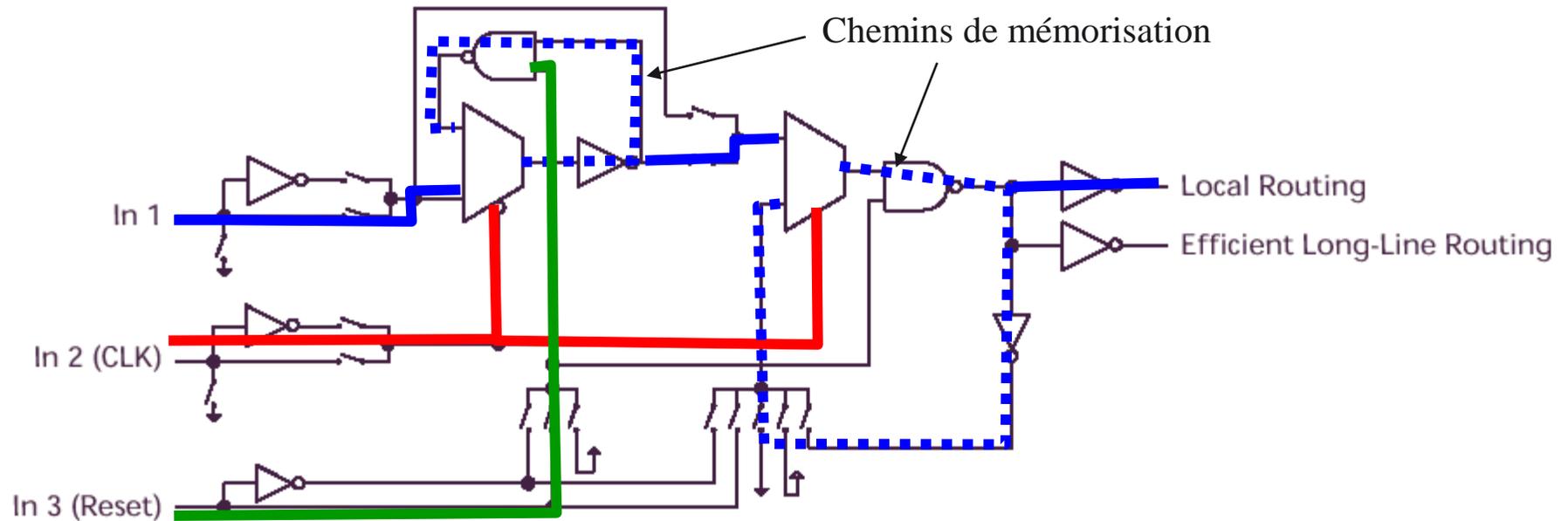


Exemple 1 : porte NAND à 3 entrées



Cellule à MUX ProASIC : mode séquentiel

- Exemple : ProASIC^{PLUS} de ACTEL (technologie FLASH)



Exemple 2 : bascule D avec reset asynchrone

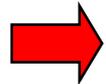


PLAN

■ Qu'est ce qu'un FPGA ?

- Les grands principes, le Marché
- Comparaison avec les circuits ASICs

■ Les principes innovants



- Cellules
- Interconnexion
- Blocs embarqués, I/Os
- Configuration
- Consommation, sûreté

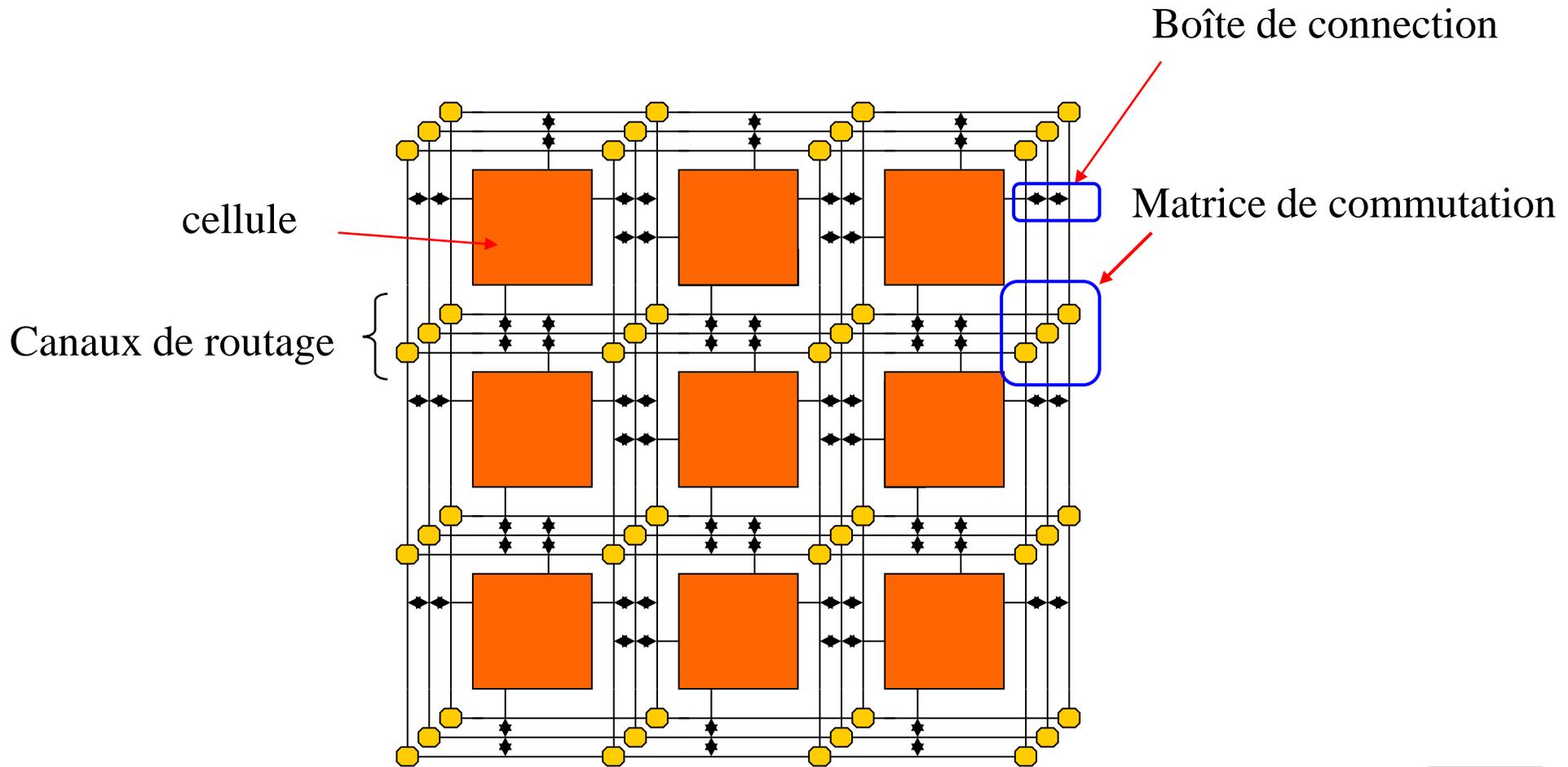
■ Tendances

■ Conception

- Vue d'ensemble
- Synthèse à partir d'un modèle HDL



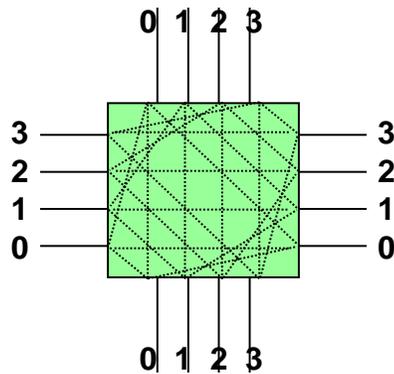
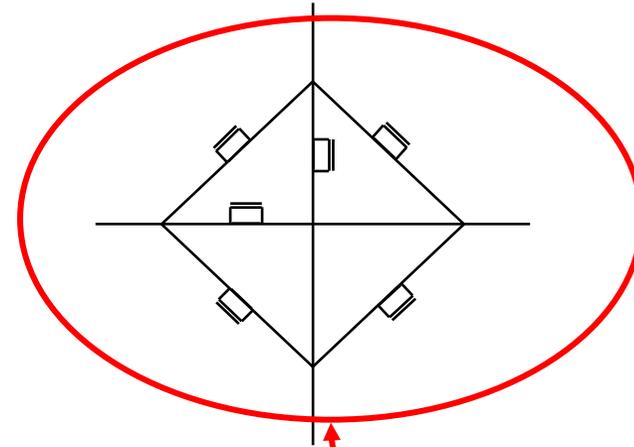
Topologie d'interconnexion en matrice



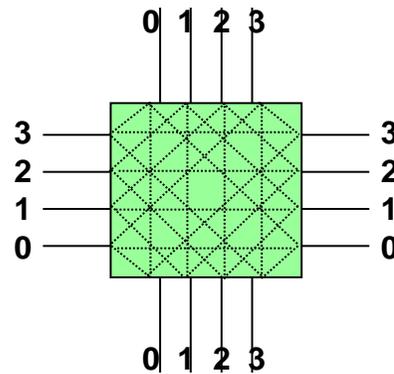


La matrice de commutation

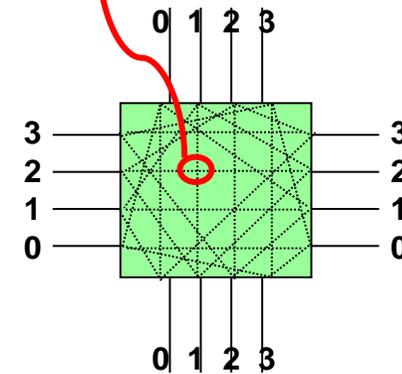
Nombreuses possibilités



DISJOINT



UNIVERSEL

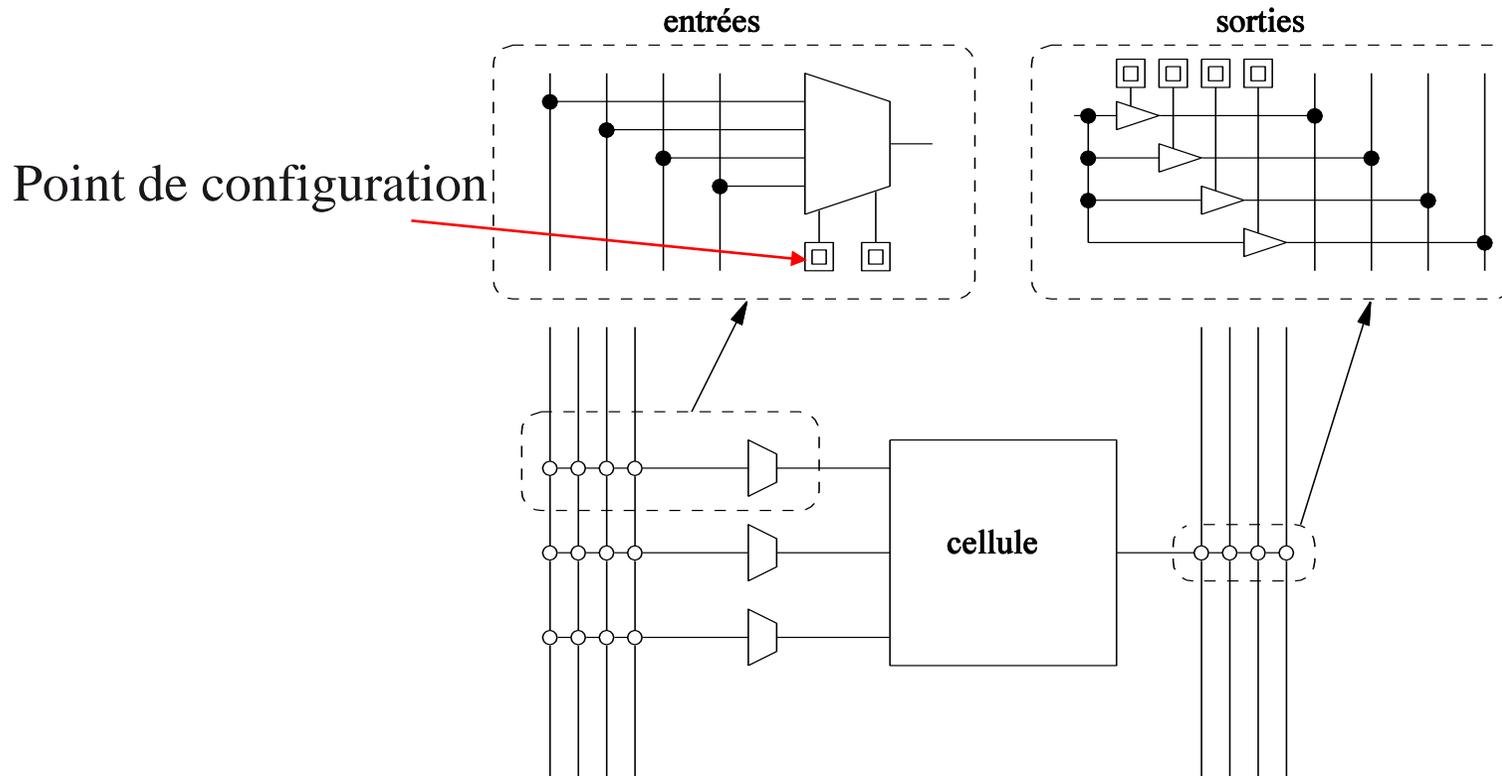


WILTON



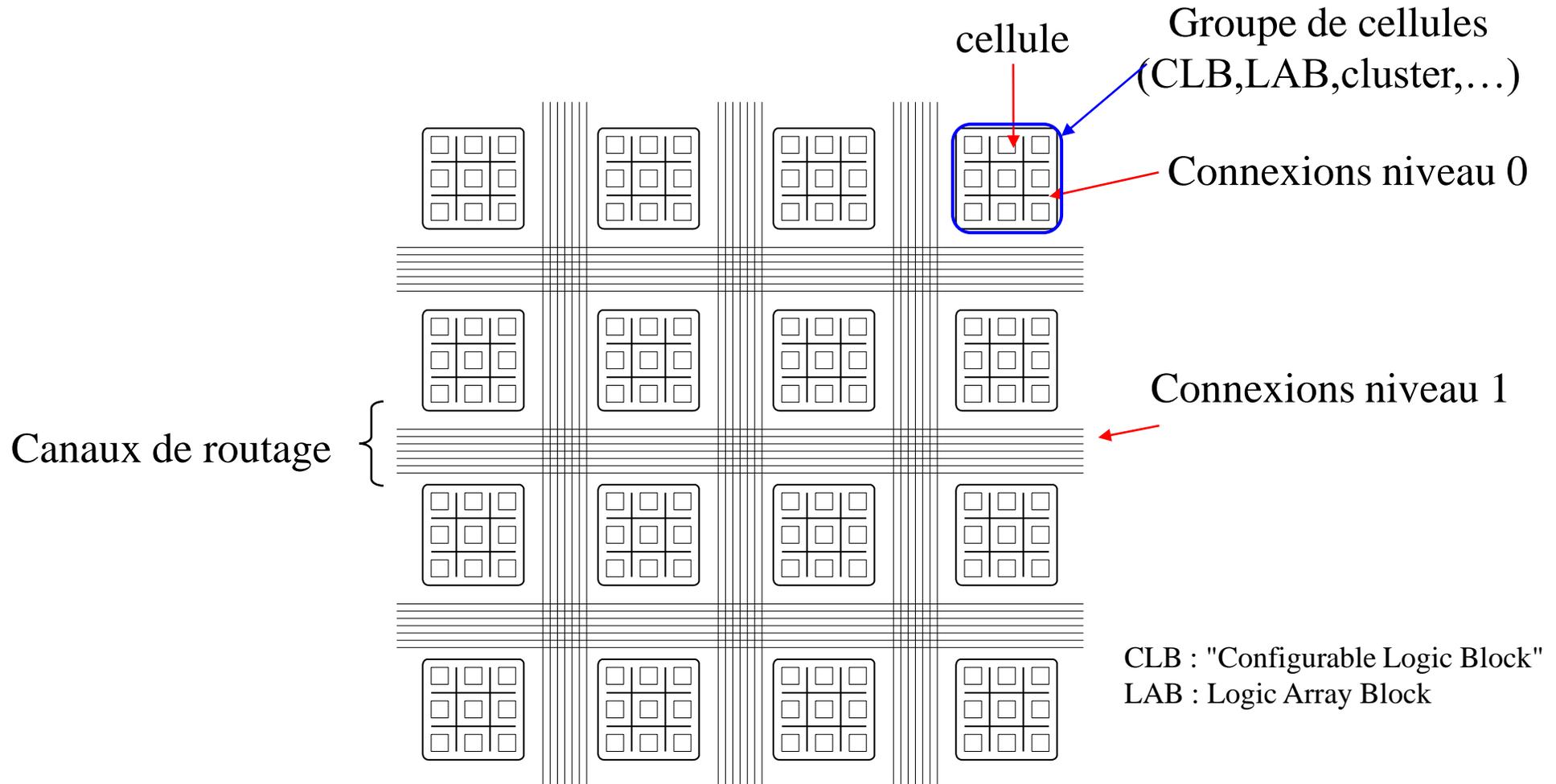
La boîte de connexion

Les points de configuration des entrées sont en $\log(N)$ pour N entrées



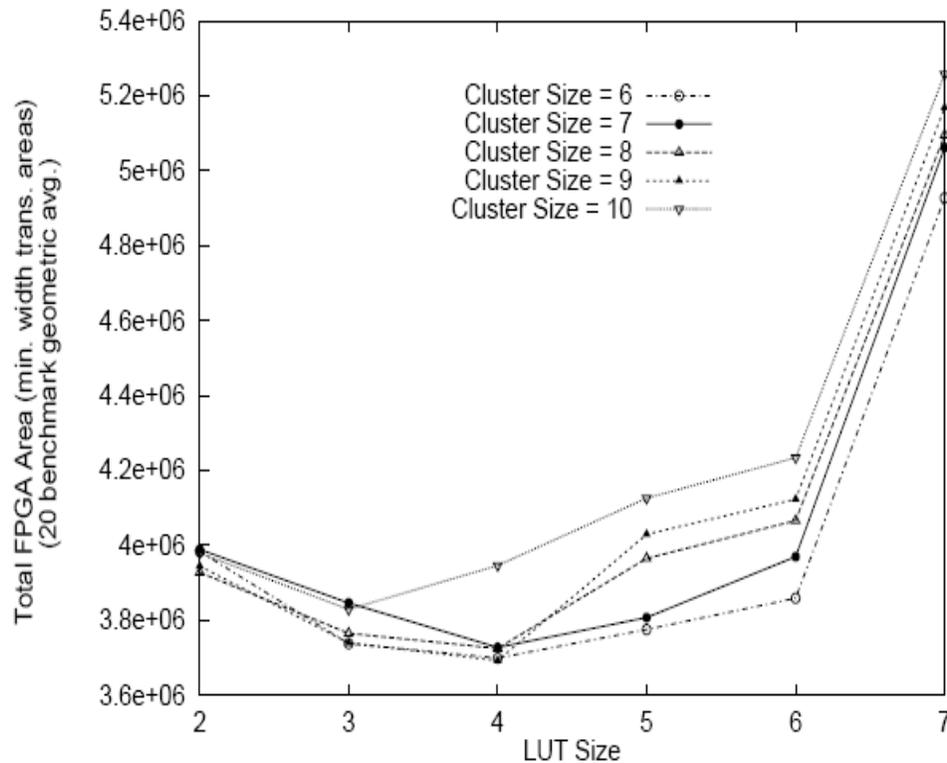


Topologie de type matrice hiérarchique





Taille des clusters



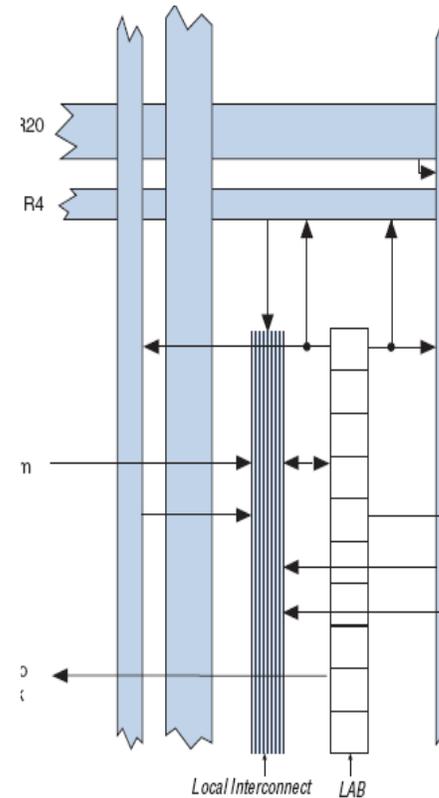
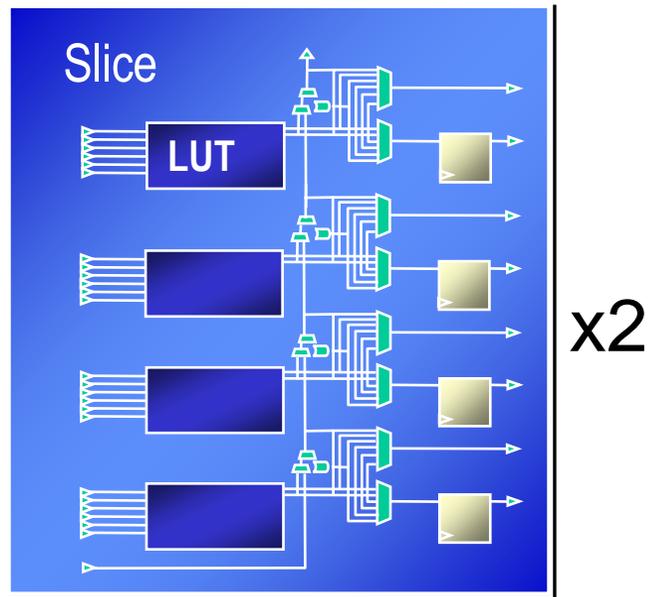
Un grande taille de cluster facilite les contraintes de timings :
=> taille d'au moins 8

Taille du FPGA pour différentes tailles de LUT et cluster

Elias Ahmed, Jonathan Rose: The effect of LUT and cluster size on deep-submicron FPGA performance and density. IEEE Trans. VLSI Syst. 12(3): 288-298 (2004)



Exemple de clusters

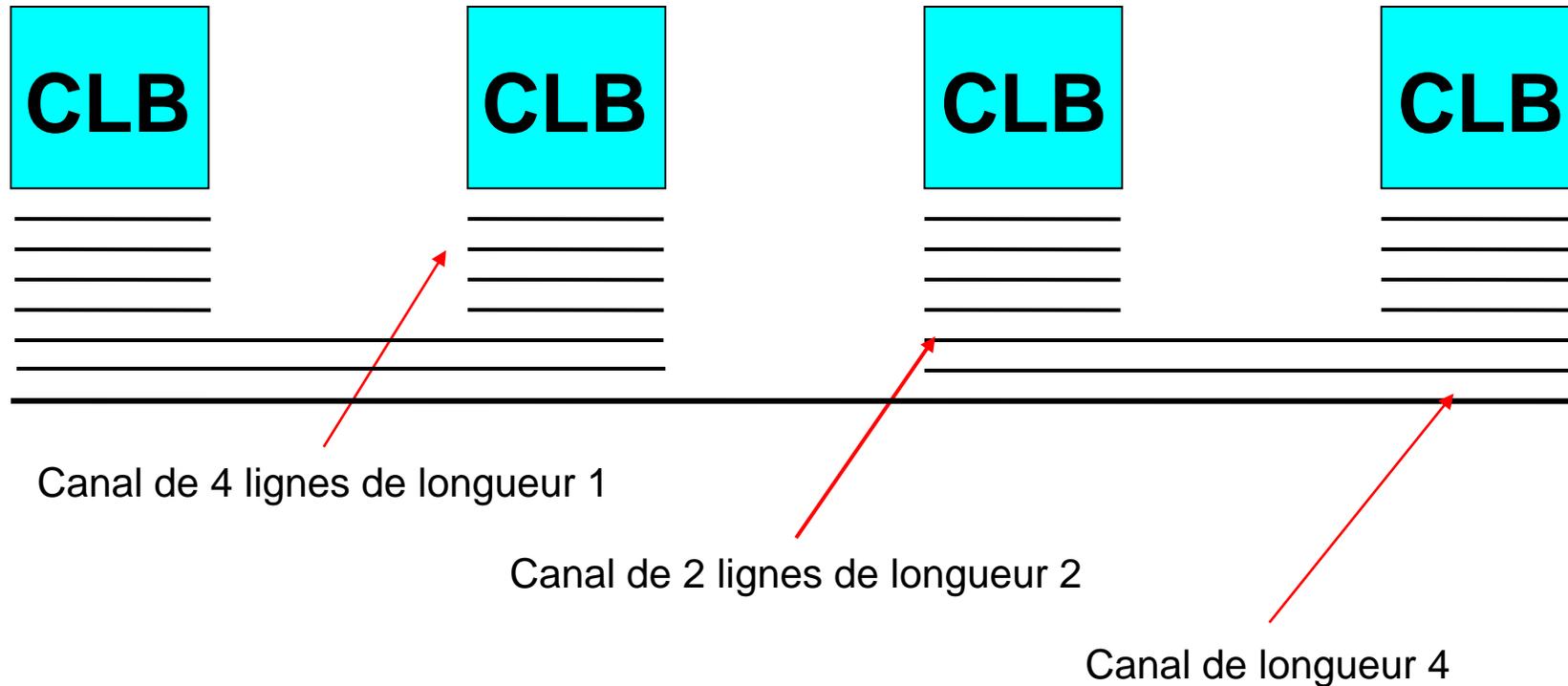


Virtex5 : **CLB** = 2 slices * 4 LUT6

StratixIII : **LAB** = 8 ALM



Matrice : interconnexions segmentées

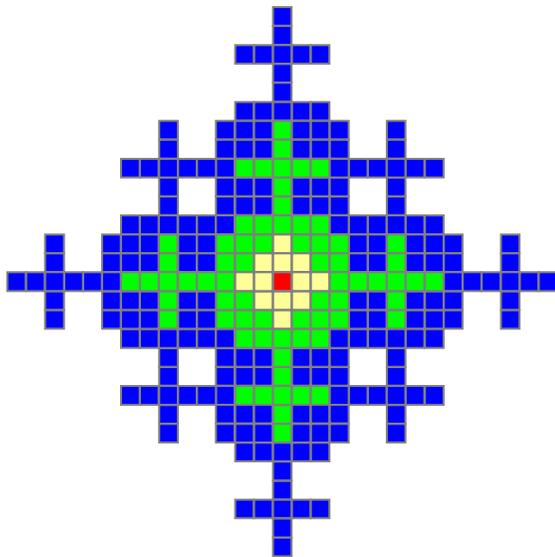
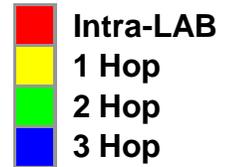


Un canal faisant toute la largeur sert pour les signaux globaux (horloge, reset,...)

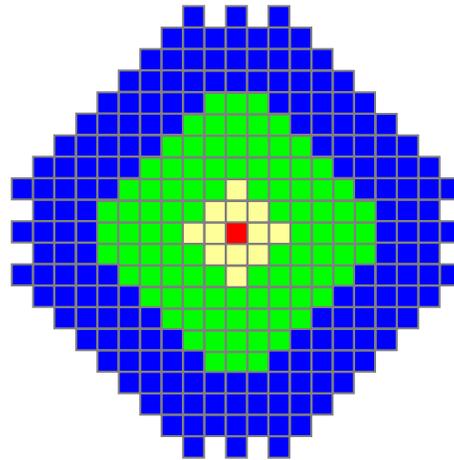


Effet de la segmentation : gain en vitesse

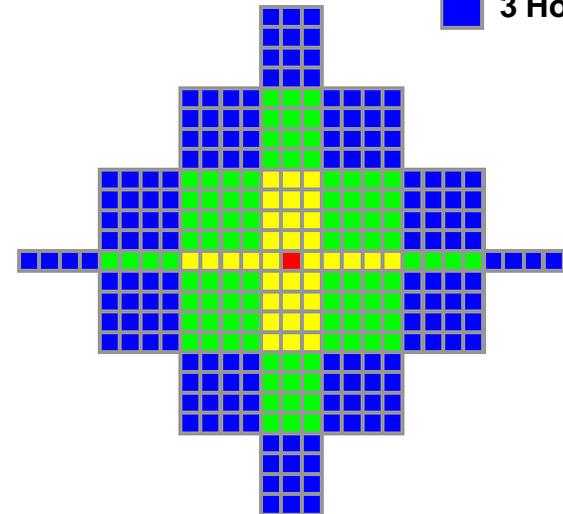
1 hop = passage par un commutateur



XILINX
Virtex 4



XILINX
Virtex 5
Segmentation diagonale



ALTERA
StratixIII
Segmentation très forte

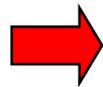


PLAN

■ Qu'est ce qu'un FPGA ?

- Les grands principes, le Marché
- Comparaison avec les circuits ASICs

■ Les principes innovants



- Cellules
- Interconnexion
- Blocs embarqués, I/Os
- Configuration
- Consommation, sûreté

■ Tendances

■ Conception

- Vue d'ensemble
- Synthèse à partir d'un modèle HDL



Un FPGA est plus qu'un ensemble de cellules

		Stratix V GT FPGAs (0.85 V), Up to 28.05-Gbps Transceivers ¹		
		5SGTC5	5SGTC7	
	ALMs	160,400	234,720	cellules
	Equivalent LEs	425,000	622,000	
	Registers ²	641,600	938,880	
Density and Speed	M20K memory blocks	2,304	2,560	mémoires
	M20K memory (Mb)	45	50	
	MLAB memory (Mb)	4.9	7.16	
Density and Speed	18-bit x 18-bit multipliers	512	512	Multiplieurs
	27-bit x 27-bit DSP blocks	256	256	
Architectural Features	Speed grades: FPGA fabric (fastest to slowest)	-1, -2, -3		Clocks
	Speed grades: transceiver (fastest to slowest)	-2, -3		
	Global clock networks	16		
	Regional clock networks	92		
	Design security	✓		
	HardCopy series device support	Contact Altera		
	I/O voltage levels supported (V)	1.2, 1.5, 1.8, 2.5, 3.3 ²		
I/O Features	I/O standards supported	LVTTTL, LVCMOS, PCI™, PCI-X™, LVDS, mini-LVDS, RSDS, LVPECL, Differential SSTL-15, Differential SSTL-18, Differential SSTL-2, Differential HSTL-12, Differential HSTL-5, Differential HSTL-18, SSTL-15 (I and II), SSTL-18 (I and II), SSTL-2 (I and II), 1.2-V HSTL (I and II), 1.5-V HSTL (I and II), 1.8-V HSTL (I and II)		I/Os
	LVDS channels, 1.4 Gbps (receive/transmit)	150	150	
	Embedded DPA circuitry	✓		
	Series, parallel, and differential OCT	✓		
	Transceiver (SERDES) channels (28.05 Gbps/14.1 Gbps)	4/32	4/32	
	PCIe Gen3 hard IP blocks	1	1	interfaces
	Memory devices supported	DDR3, DDR2, DDR, QDR II, RLD RAM II, SDR		



Mémoires dans les FPGA

❑ Distribuée

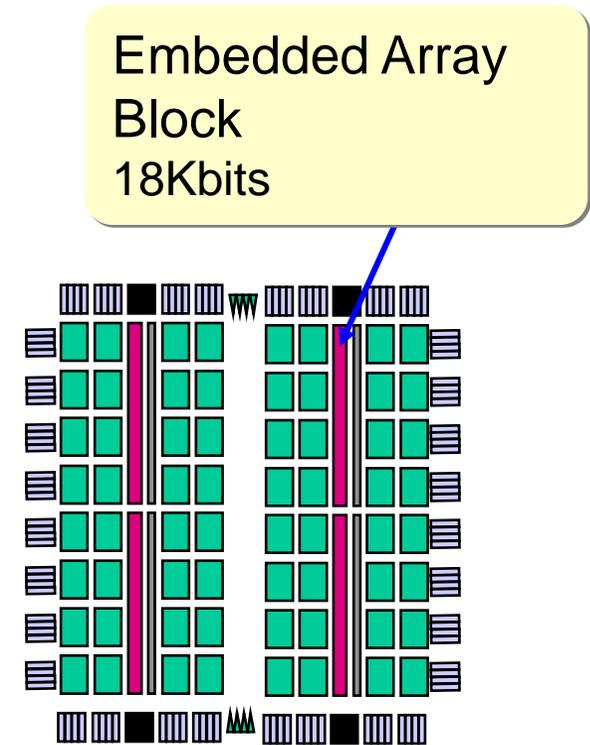
- Utilisation des LUTs des cellules en mode mémoire

❑ Embarquée

- La mémoire est un bloc spécifique
- Tailles entre 512b et 512Kb
- Utilisable en
 - Simple / Double Port
 - ROM
 - FIFO

❑ Quelques Mbits dans les dernières familles

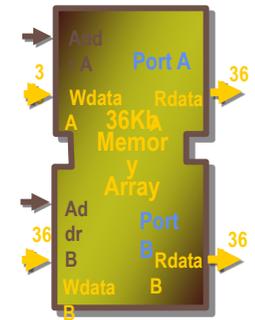
- 17Mbits dans les Virtex7



Type d'accès

■ Exemple : Xilinx Virtex5

	Each 18K	
True dual-port	16Kx1, 8Kx2, 4Kx4, 2Kx9, 1Kx18	■ 2 independent read and write ports
Simple dual-port	16Kx1, 8Kx2, 4Kx4, 2Kx9, 1Kx18, 512x36	<ul style="list-style-type: none"> ■ 1 read & 1 write port ■ Read AND write in 1 cycle
Single-port	16Kx1, 8Kx2, 4Kx4, 2Kx9, 1Kx18, 512x36	<ul style="list-style-type: none"> ■ 1 read & 1 write port ■ Read OR write in 1 cycle ■ Backwards compatible to V4



} Pour FIFO



Evolution des tailles mémoires STRATIX

Memory Functions	Stratix II Devices	Stratix III/IV Devices
<ul style="list-style-type: none">■ Processor code storage■ Packet buffers■ Video frame buffers	<p>MRAM</p>  <p>576K Bits</p>	<p>M144K</p>  <p>144K Bits</p>
<ul style="list-style-type: none">■ General purpose memory	<p>M4K</p>  <p>4.5K Bits</p>	<p>M9K</p>  <p>9K Bits</p>
<ul style="list-style-type: none">■ Shift registers■ Small FIFO buffers■ Filter delay lines	<p>M512</p>  <p>576 Bits</p>	<p>MLAB</p>  <p>640 Bits</p>



Blocs arithmétiques dans les FPGAs

❑ Additions/soustractions

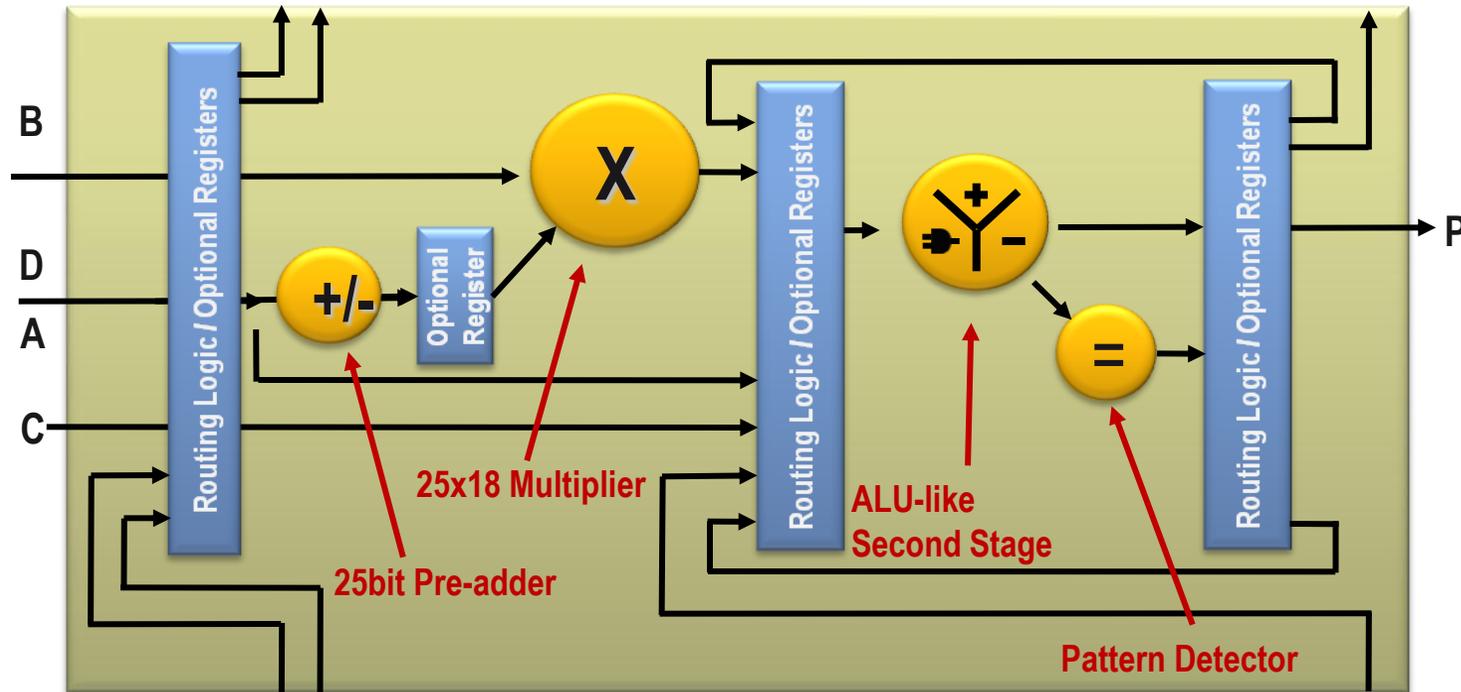
- Se font généralement en propagation de retenue par un chemin de routage spécifique le long des cellules

❑ Multiplications, MACs

- Blocs dédiés
 - Souvent 18x18 utilisables en 4 (9x9)
 - Accumulation
 - Mise en Cascade, Arrondi, troncature, saturation
- Quelques milliers dans les dernières familles
 - 4000 dans les Virtex7



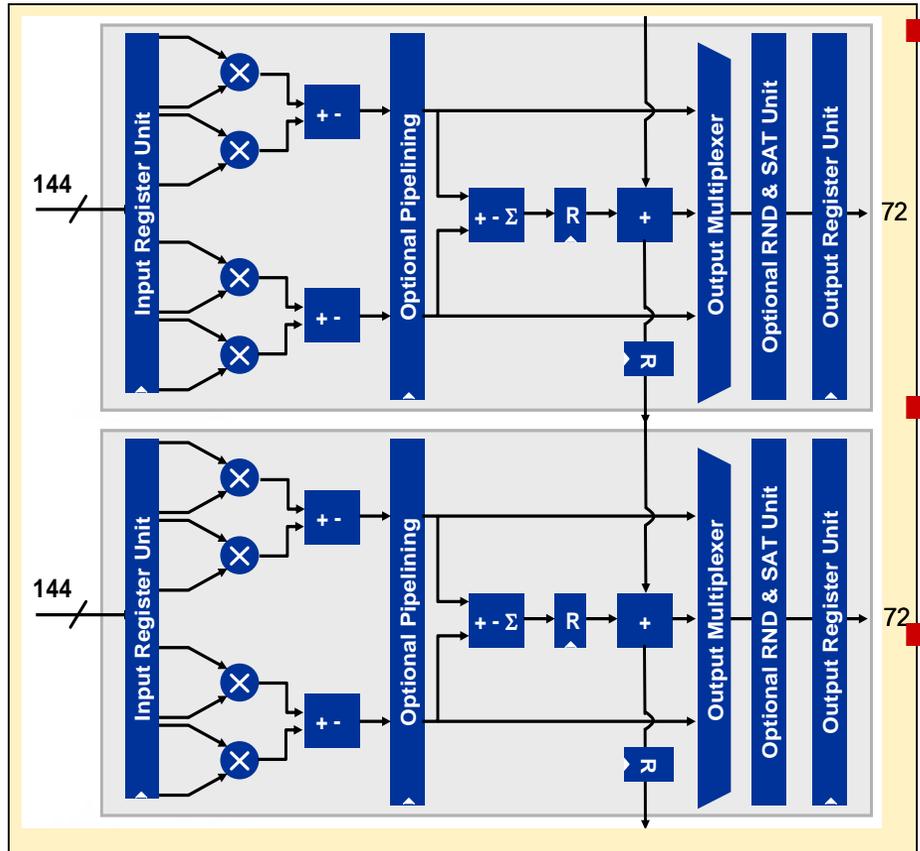
Exemple : Xilinx Virtex 6 DSP slice



Power Consumption Benefits	Performance Benefits	Cost Benefits
<ul style="list-style-type: none"> Lowest power operation of any FPGA solution 1.23mW/100Mz at 38% toggle rate 	<ul style="list-style-type: none"> 600MHz operations for <u>any</u> DSP operation (including large filters) ~1.2 TeraMACC in a single device 	<ul style="list-style-type: none"> Hardened pre-adder and adder cascade saves significant logic resources Logic functions can be mapped into DSP blocks



Exemple : ALTERA StratixIII DSP block



Basic Multiplier Modes

- 8 x (9x9)
- 6 x (12x12)
- 4 x (18x18)
- 2 x (36x36)
- 2 x complex (18x18)

Sum Modes

- 4 x Sum of Two (18x18)
- 2 x Sum of Four (18x18)

Accumulation

- 2 x Acc

- Cascade Modes
 - Input Cascade
 - Output Cascade
- Rounding
 - Unbiased and Biased
- Saturation
 - Asymm and Symmetrical
- Barrel Shifter
 - Arithmetic, Logical and Rotation



Blocks de gestion d'horloge

□ Besoins

- Eviter le « Skew » d'horloge
 - Du à la forte charge et la longueur des lignes
- Fréquence interne différente de la fréquence externe
 - Nécessité d'un asservissement fréquence
- Besoin de plusieurs horloges corrélées

□ Solutions 2 niveaux :

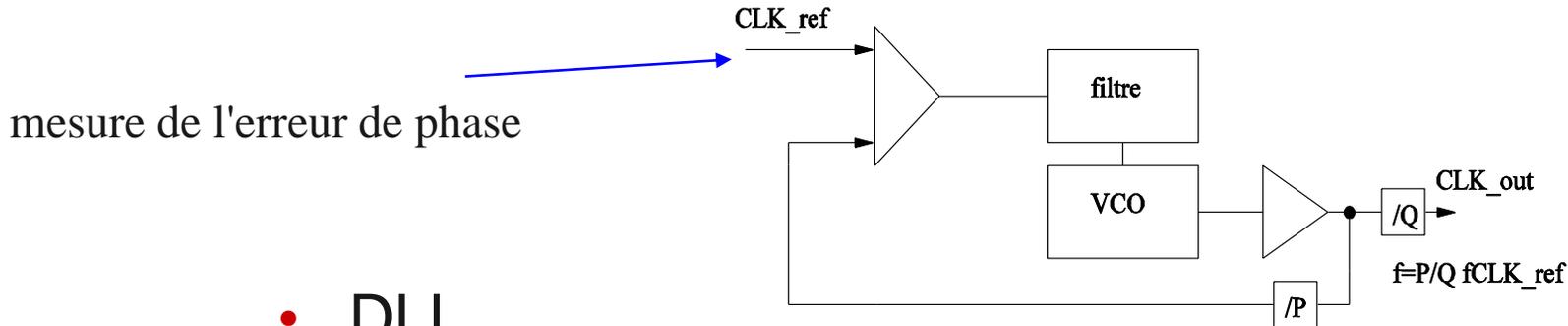
- Interconnexion
 - lignes dédiées pour les horloges : arbre d'horloge « bufferisés »
- Bloc PLL/DLL dédié à la génération :
 - Asservissement sur l'extérieur
 - Compensation du skew d'horloge



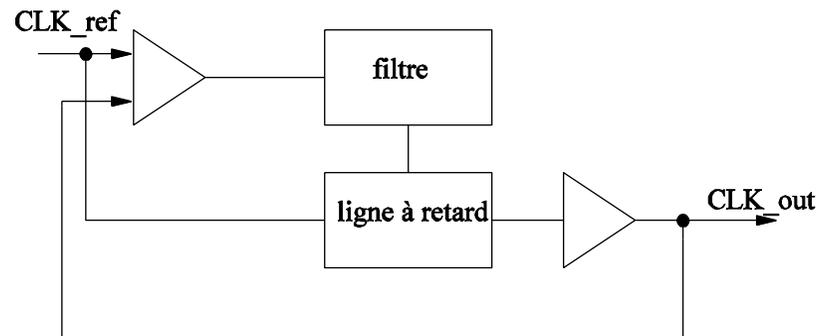
Principe de génération d'horloge

■ Système asservi en fréquence sur une oscillateur externe

- PLL



- DLL



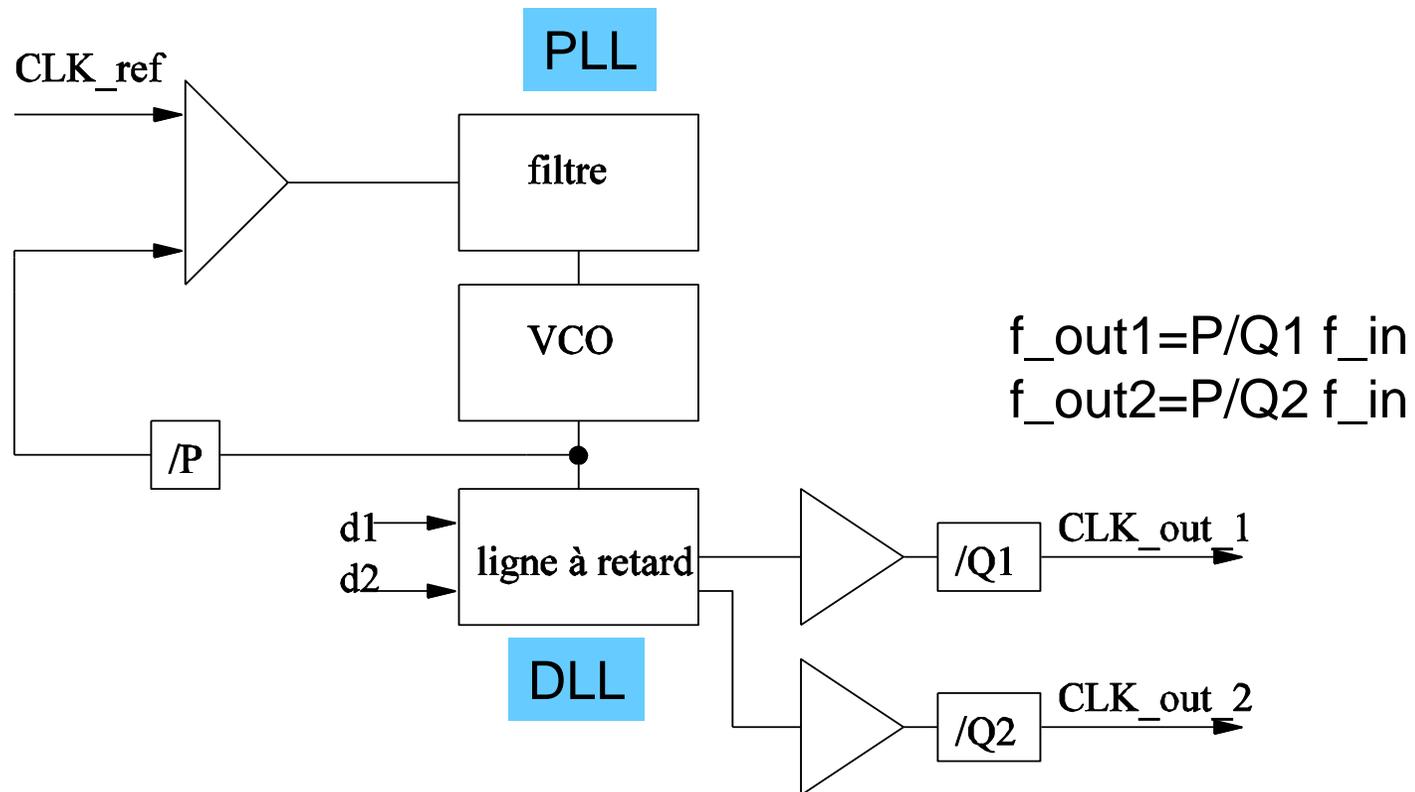
Fréquence ajustable

phase ajustable



Circuit de génération d'horloge

- Ajustement en fréquence et phase sur plusieurs horloges



■ Exemple : XILINX VIRTEX



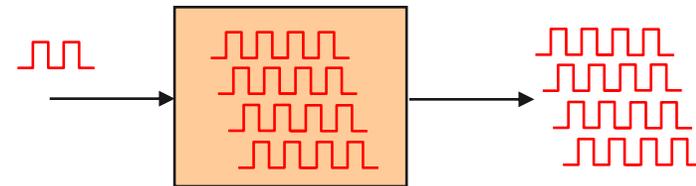
Zero-Delay Internal Clock Buffer
Sub 5ns Clock-to-Out on MegaGate FPGA



Clock Mirror
Zero-Delay Board Clock Buffer

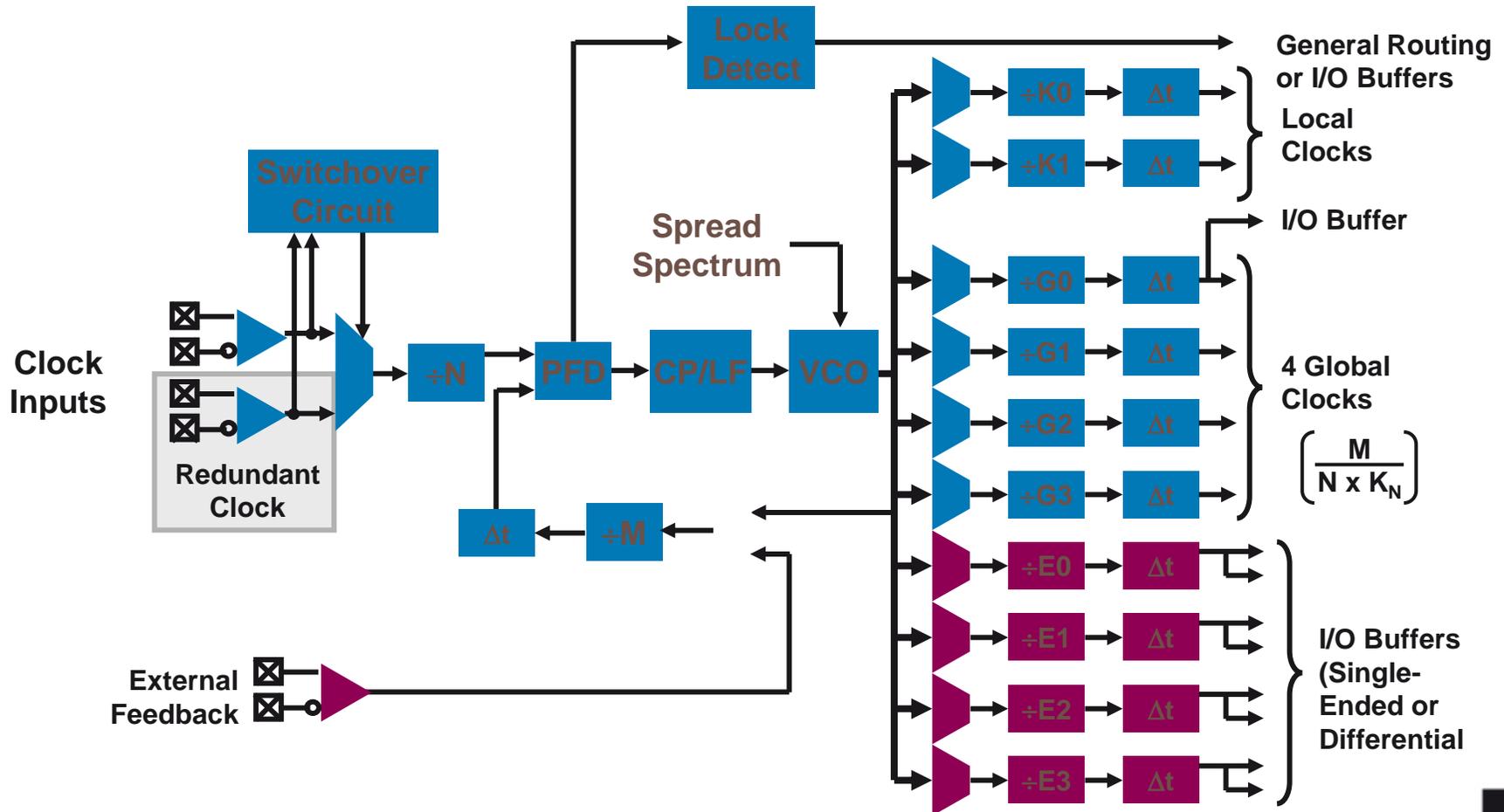


Clock Frequency Doubling
For Internal and Board Applications



Clock Phase Synthesis
Timing Precision with normal clocks

■ Exemple ALTERA Stratix

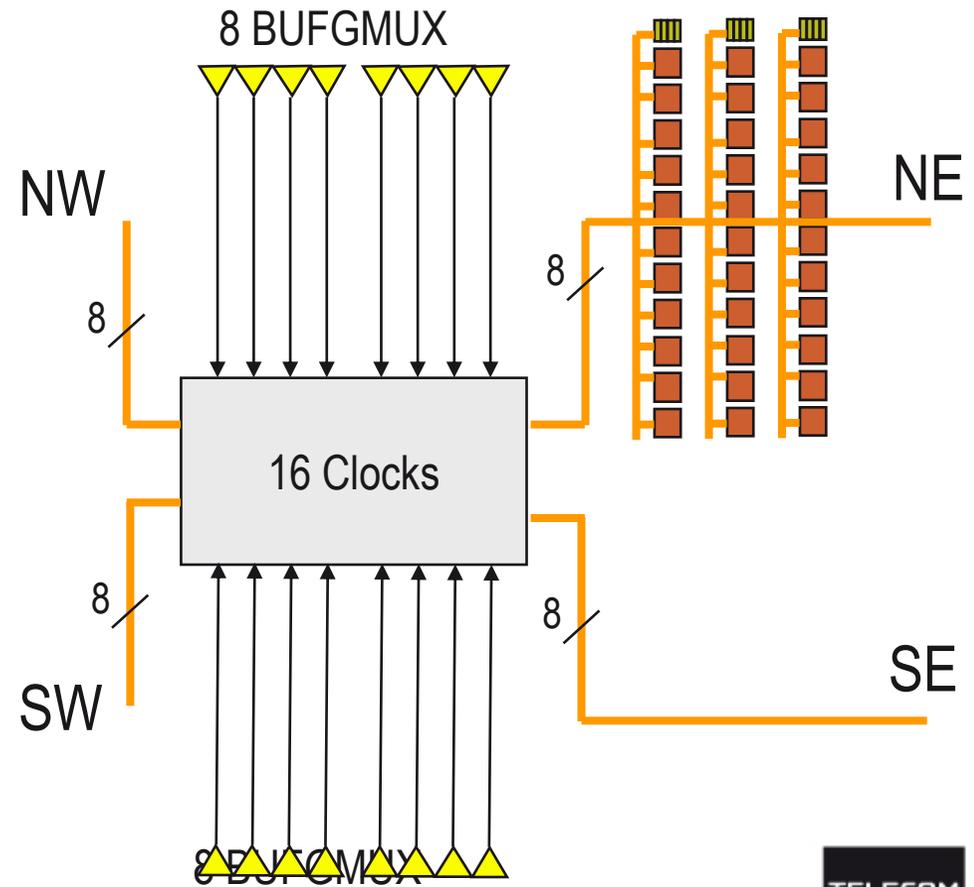
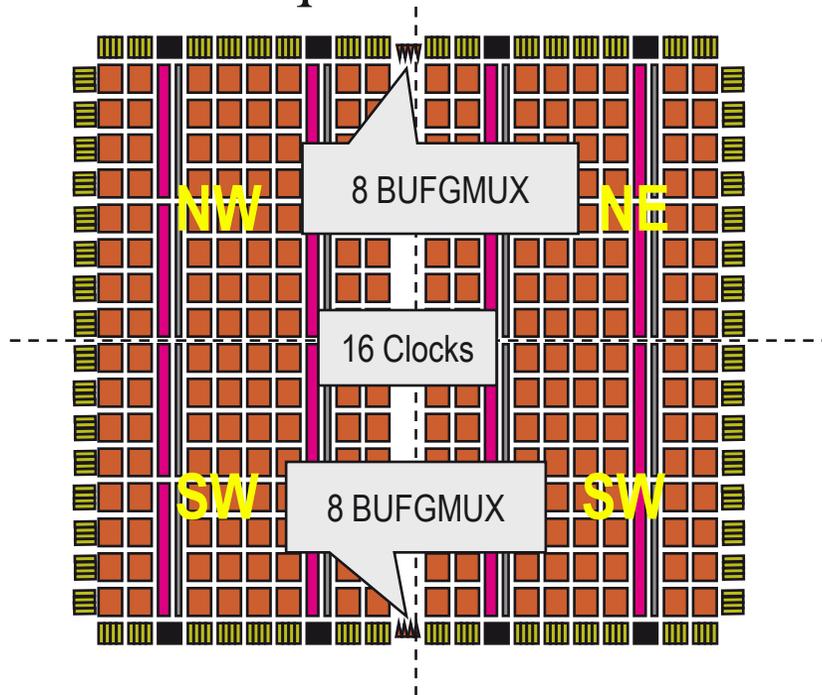




Interconnexion : Réseau d'horloges

■ Exemple : XILINX VIRTEX II

16 équipotentielles réparties sur
4 quadrants





Les processeurs intégrés

■ Processeurs Hard :

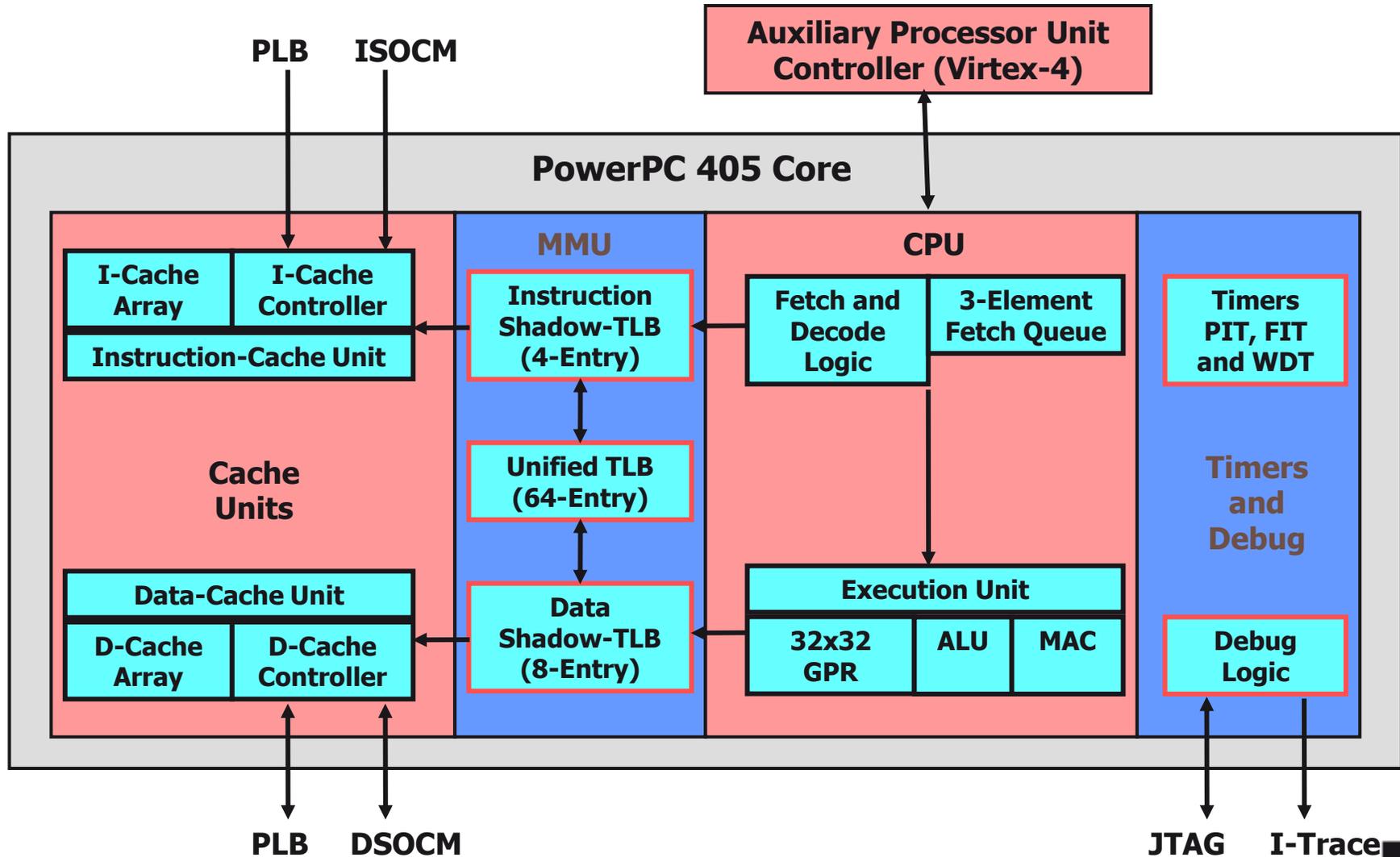
- IBM PPC405
 - XILINX VIRTEX
- (dual) ARM cortex-A9
 - ALTERA ARRIA V, CYCLONE V,
 - XILINX ZynQ
- ARM cortex-M3
 - Smartfusion 2

• Beaucoup de processeurs Soft :

- Propriétaires
 - XILINX : MicroBlaze 32 bits
 - ALTERA : NIOS2 32 bits
 - ACTEL Igloo , ProASIC3, Fusion : ARM7 cortex M1
- Libres. Exemples :
 - 32 bits RISC :Leon (SPARC 32 bits), LM32 (lattice)
 - 8 bits CISC simple : 6502

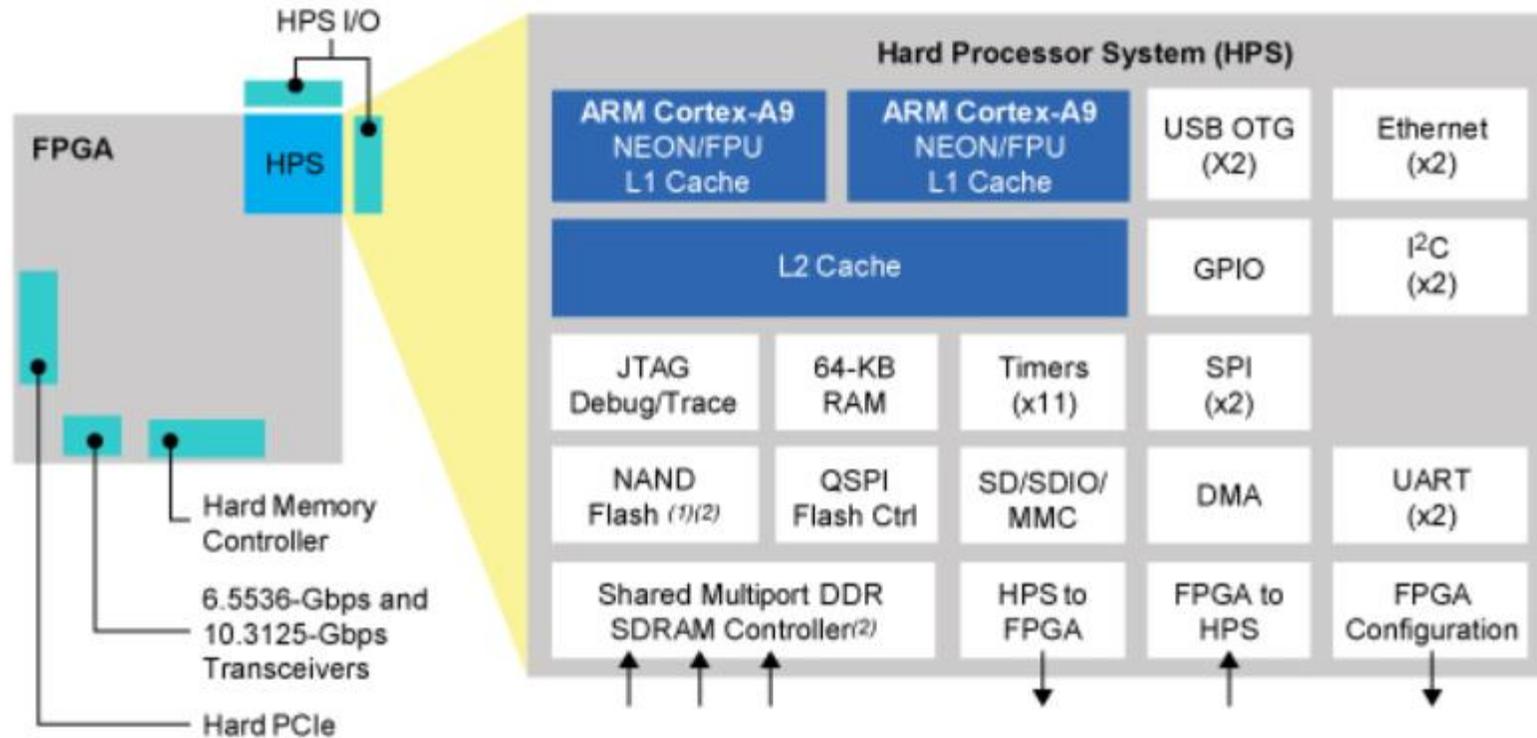


Virtex-4 FX/Virtex-II Pro PowerPC 405



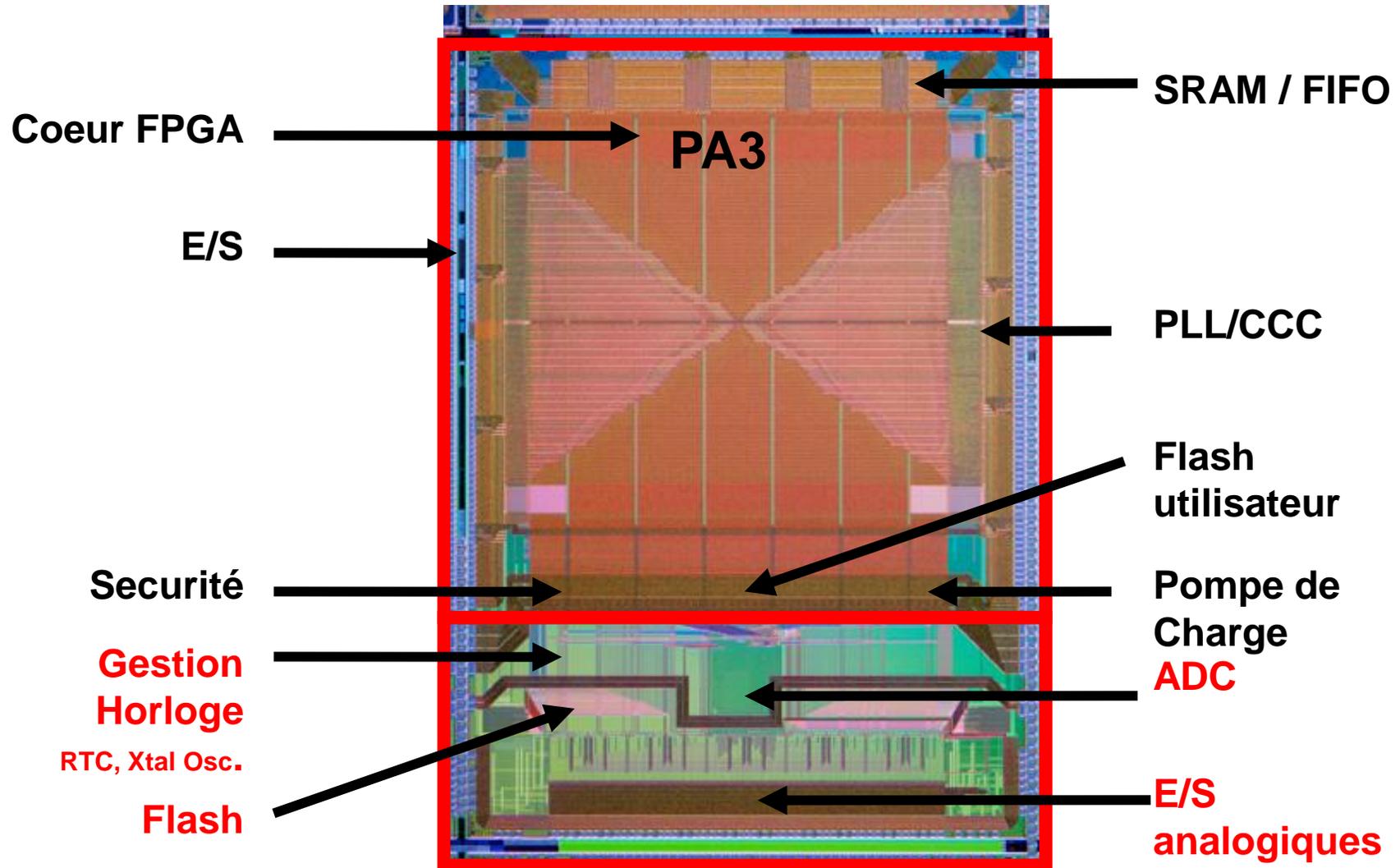


ARM cortex-A9 dans ARRIA V, CYCLONE V





Blocs embarqués analogiques : ACTEL Fusion



■ Bibliothèques très riches

Communications	Bus Interface	DSP	Cœur de Processeurs, Périphériques
ADPCM (u-law, a-law)	PCI Target	Color Space Converter	Nios™ Processor
ATM Controller	PCI Master-Target	Correlator	Tensilica X-tensa Processor
CRC	PCI-X	Digital Modulator	PalmChip Bus
Ethernet MAC (10/100/Gigabit)	CAN Bus	Discrete Cosine Transform	SDRAM Controller
HDLC Protocol Core	IIC Master & Slave	Fast Fourier Transform	DDR-SDRAM Controller
IMA Controller	IEEE 1394	FIR Compiler	QDR-SDRAM Controller
SONET/SDH Frammer	PowerPC Bus Arbiter	IIR Filter	8237 DMA Controller
T3/E3 Frammer	PowerPC Bus Master	Image Processing Library	8255 Peripheral Interface
Packet Over SONET Processor	PowerPC Bus Slave	NCO	8259 Interrupt Controller
Telephony Tone Generator	USB Function Controller	Reed Solomon Encoder/Decoder	8254 Timer/Counter
Utopia Master & Slave	USB Host Controller	Interleaver/Deinterleaver	8051, 6502, Z80
POS-PHY Interface	...	Viterbi Decoder	...
		Turbo Decoder	
		...	



Cellule E/S

❑ E/S configurable

- Nombreux paramètres et standards
 - Mode Terminaison simple
 - Mode Différentiel
 - Synchronisation avec les horloges
 - Sérialisation/désérialisation
 - Ajustement du Slew Rate
 - Adaptation d'impédance
 - Adaptation du retard

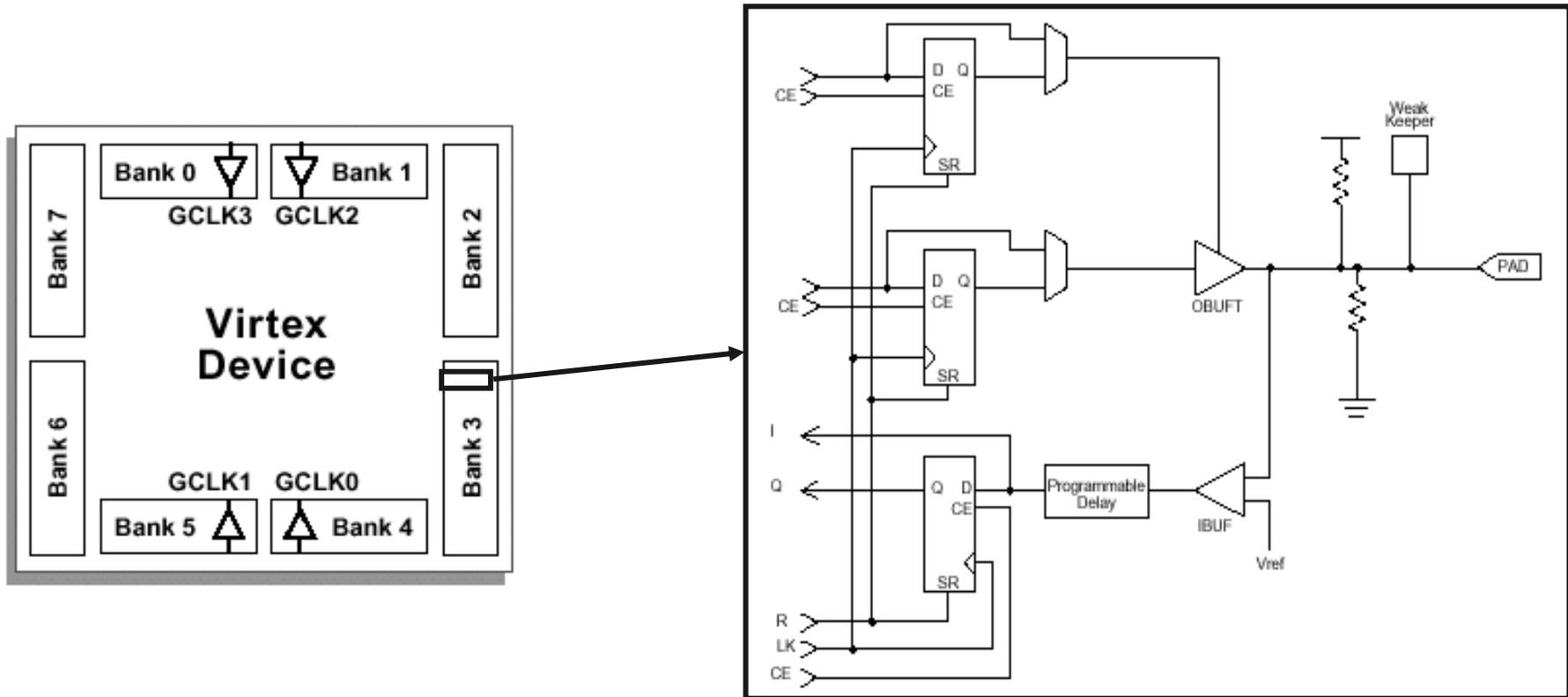
❑ Transceivers

- Gigabit Transceivers jusqu'à 28Gbps (Virtex7)

❑ Accepte diverses tensions d'alimentation

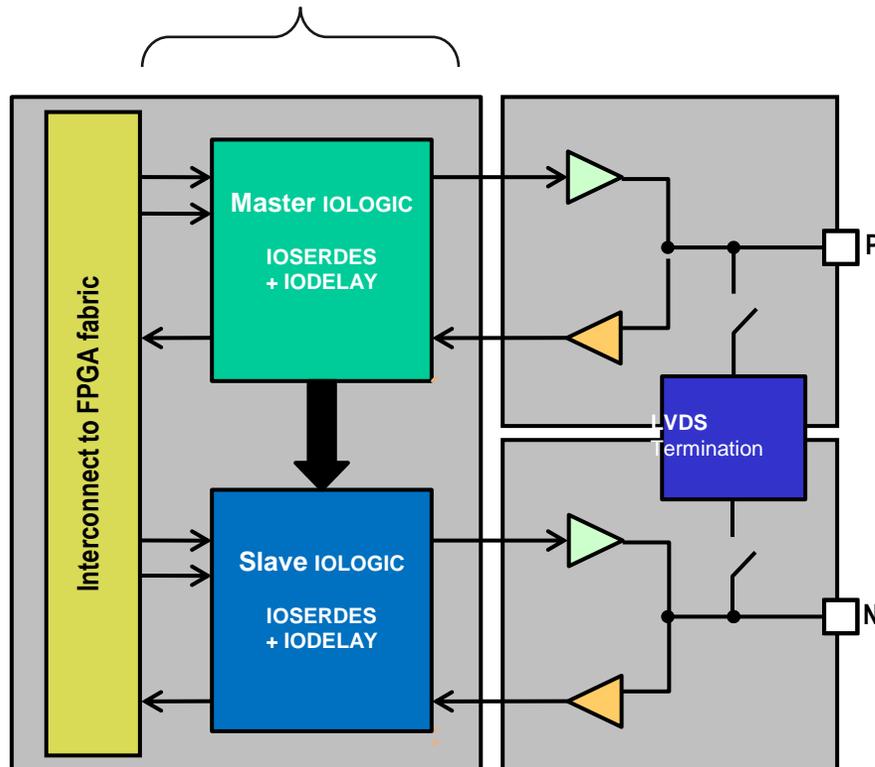


Cellule E/S: XILINX VIRTEX

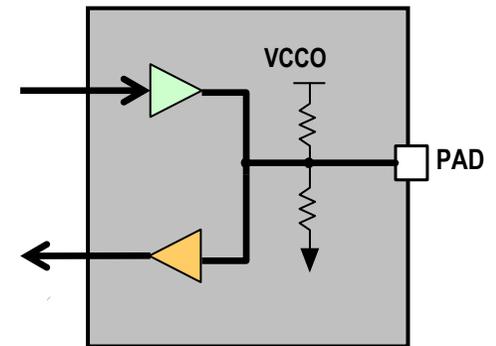


Cellule E/S : Virtex7

SERDES : sérialisation/désérialisation



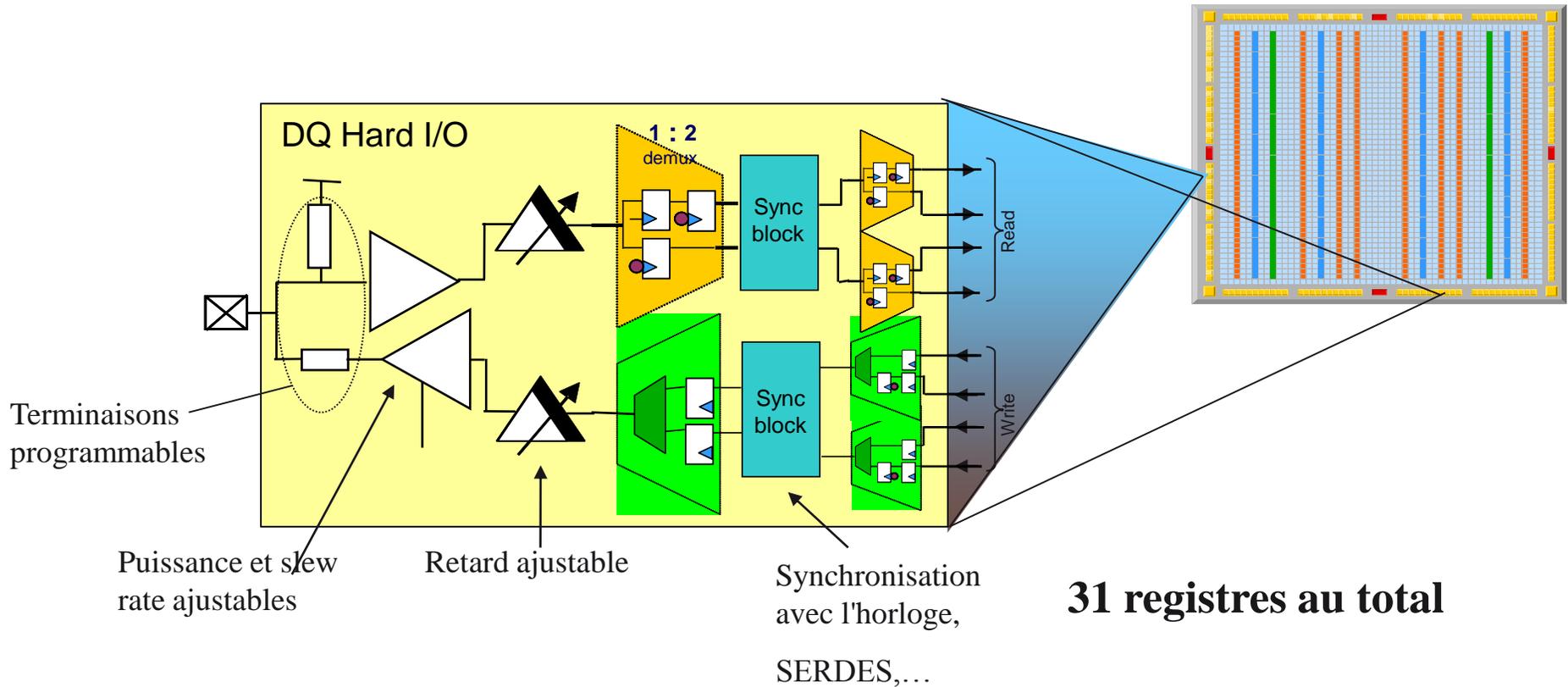
différentiel



Single-ended



Cellule E/S ALTERA StratixIII





Protocoles supportés

■ Virtex5

SRAM

SDRAM, DDRAM

standard

LVC MOS (3.3v, 2.5v, 1.8v, 1.5v, and 1.2v)
LVDS, Bus LVDS,

HSTL (1.8v, 1.5v, Classes I, II, III, IV)

HSTL_I_12

(unidirectional only)

DIFF_HSTL_I_18,

DIFF_HSTL_I_18_DCI

DIFF_HSTL_I,

DIFF_HSTL_I_DCI

RS DS_25 (point-to-point)

SSTL (2.5v, 1.8v, Classes I, II)

DIFF_SSTL_I

DIFF_SSTL2_I_DCI

DIFF_SSTL18_I,

DIFF_SSTL18_I_DCI

GTL, GTL+

Fond de panier

Différentiel

Très

rapides

Extended LVDS

LCPECL

PCI, PCI-X

HyperTransport (LDT)



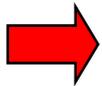
PLAN

■ Qu'est ce qu'un FPGA ?

- Les grands principes, le Marché
- Comparaison avec les circuits ASICs

■ Les principes innovants

- Cellules
- Interconnexion
- Blocs embarqués, I/Os
- Configuration
- Consommation, sûreté



■ Tendances

■ Conception

- Vue d'ensemble
- Synthèse à partir d'un modèle HDL

■ Technologie interne

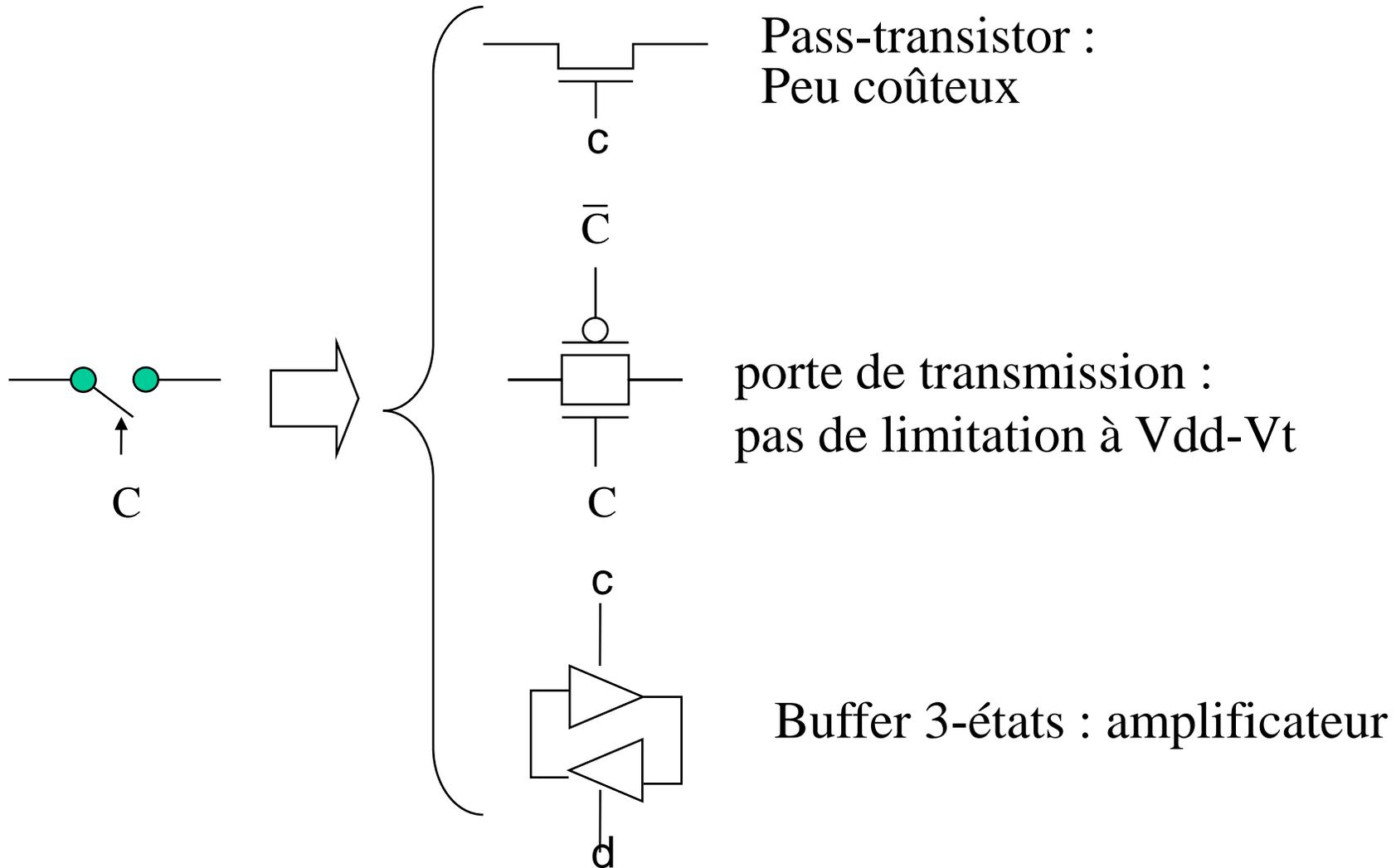
- Volatile : Mémoire SRAM. Un "bitstream" est stocké à l'extérieur
 - On parle de configuration car la reprogrammation est possible
- Nonvolatile :
 - Mémoire FLASH ou équivalent
 - Antifusible

■ Méthode de configuration pour SRAM

- Interface spécifique
- Configuration totale/partielle
- Sécurisation du transfert



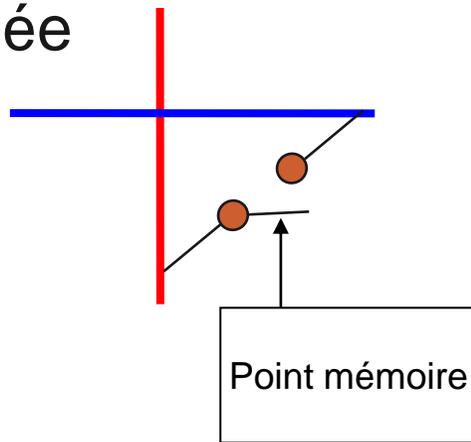
Technologies des commutateurs



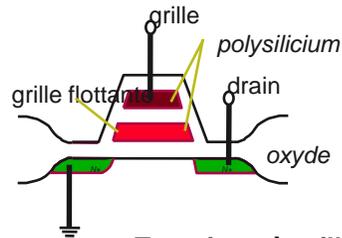
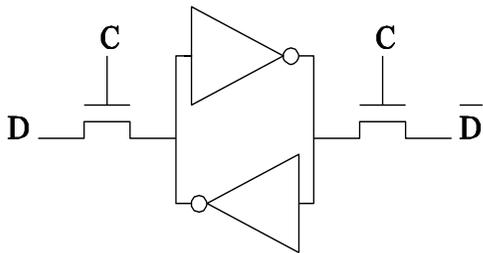


❑ Mémoire

La plus utilisée

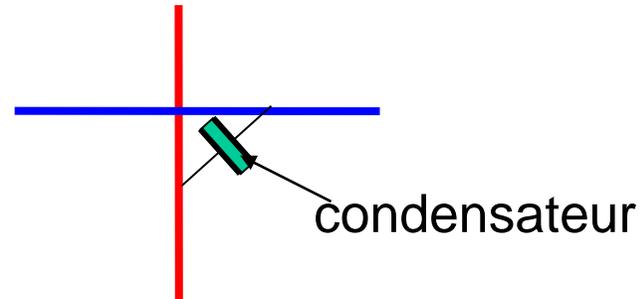


Point mémoire SRAM ou FLASH



Transistor à grille flottante

❑ Antifusible (Actel)



- Opération de fusion du diélectrique irréversible (OTP)



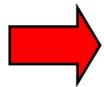
PLAN

■ Qu'est ce qu'un FPGA ?

- Les grands principes, le Marché
- Comparaison avec les circuits ASICs

■ Les principes innovants

- Cellules
- Interconnexion
- Blocs embarqués, I/Os
- Configuration
- Consommation, sûreté



■ Tendances

■ Conception

- Vue d'ensemble
- Synthèse à partir d'un modèle HDL



Consommation dans les FPGAs

Le prix à payer de la programmabilité : x14 vs ASIC

❑ Consommation dynamique

- En CMOS, l'essentiel de la consommation provient des courants de charge et décharge des capacités réparties

$$P = \frac{1}{2} C V_{dd}^2 f$$



❑ Consommation statique

- Due aux courants de fuite. Quasi nulle dans les technologies >130nm mais devient non négligeable si <130nm

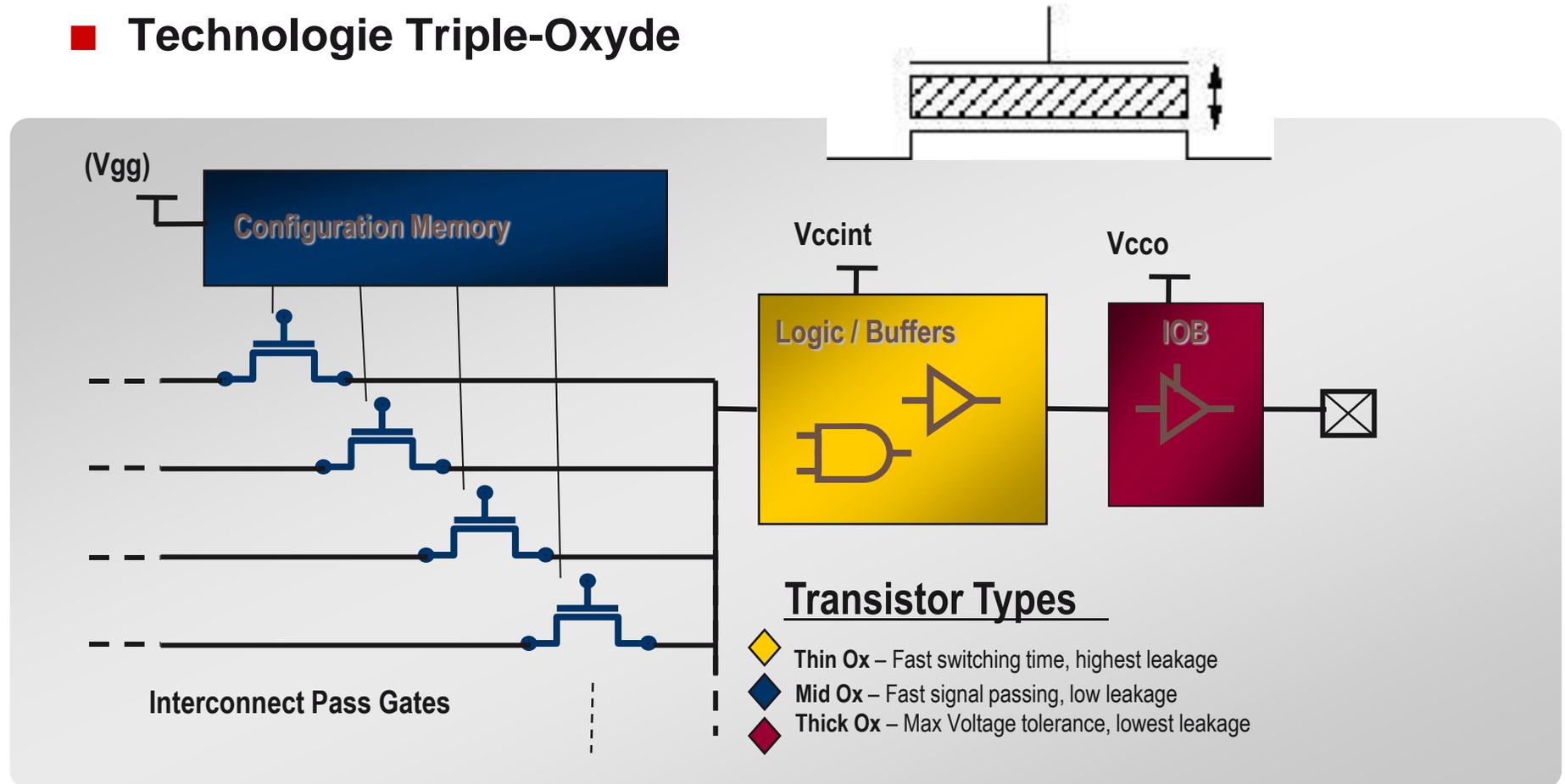
❑ Stratégie de réduction

- Transistors faible consommation
- Gestion pour la mise en veille



Stratégie pour réduire la puissance statique

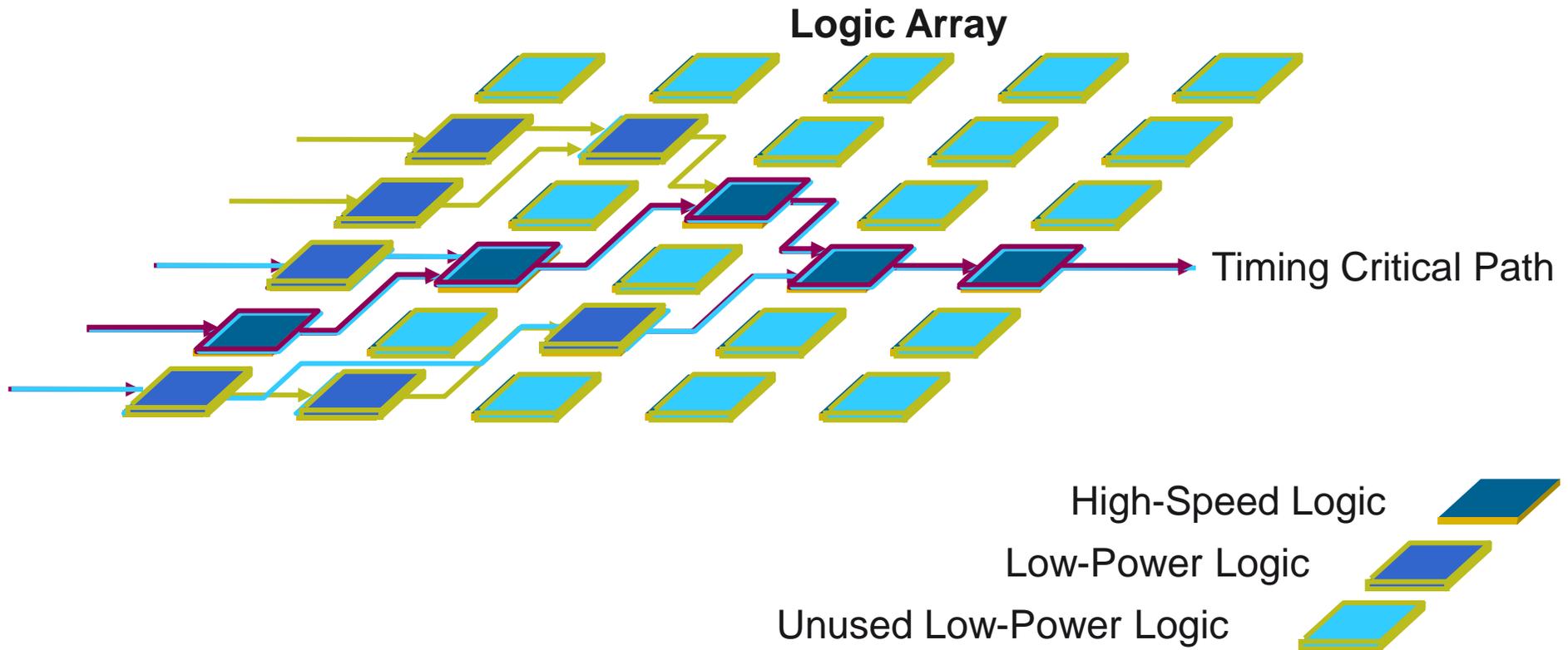
■ Technologie Triple-Oxyde





Stratégie pour réduire la puissance dynamique

Stratix III





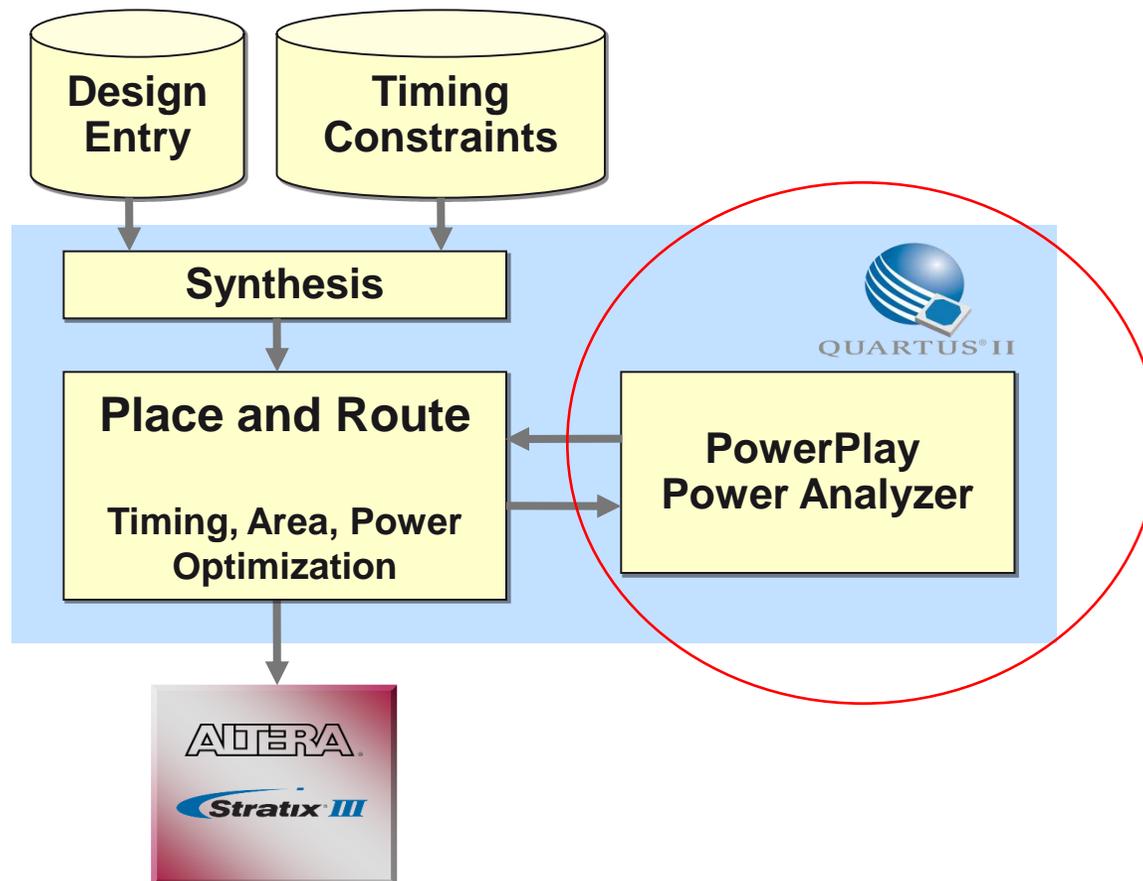
Stratégie pour réduire la puissance dynamique : StratixIII

- **Changement de la tension du coeur**
 - 1.1 V pour la performance maximum
 - 0.9 V pour le minimum de puissance consommée (varie en V_{dd}^2)
- **Tensions des E/S et PLL non affectées**
 - La vitesse est maintenue au maximum sur les E/S

Nominal Voltage	Min. Regulator V_{OUT}	Max. Regulator V_{OUT}	Slow Timing Model	Fast Timing Model	Power Model
1.1 V	1.05 V	1.15 V	✓	✓	✓
0.9 V	0.86 V	0.94 V	✓	✓	✓



StratixIII :Prise en compte au niveau de la conception





Robustesse dans les FPGAS

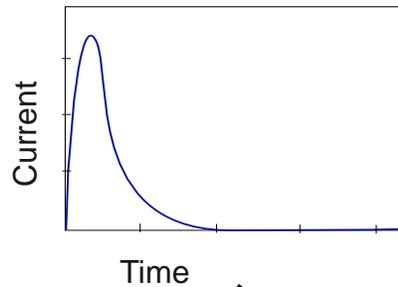
❑ Plusieurs sources de “fautes”

- Rayonnements cosmiques
 - Affecte les mémoires SRAM
 - ✓ Mémoires embarquées
 - ✓ Mémoire de configuration (à part Flash et anti-fusible)
- Vieillesse des technologies
- Bruit interne détériorant l'intégrité du signal
 - Interférences
 - Bruit de masse (Simultaneous Switching Noise)
 - Mauvaises adaptations d'impédance
- Actes malveillants

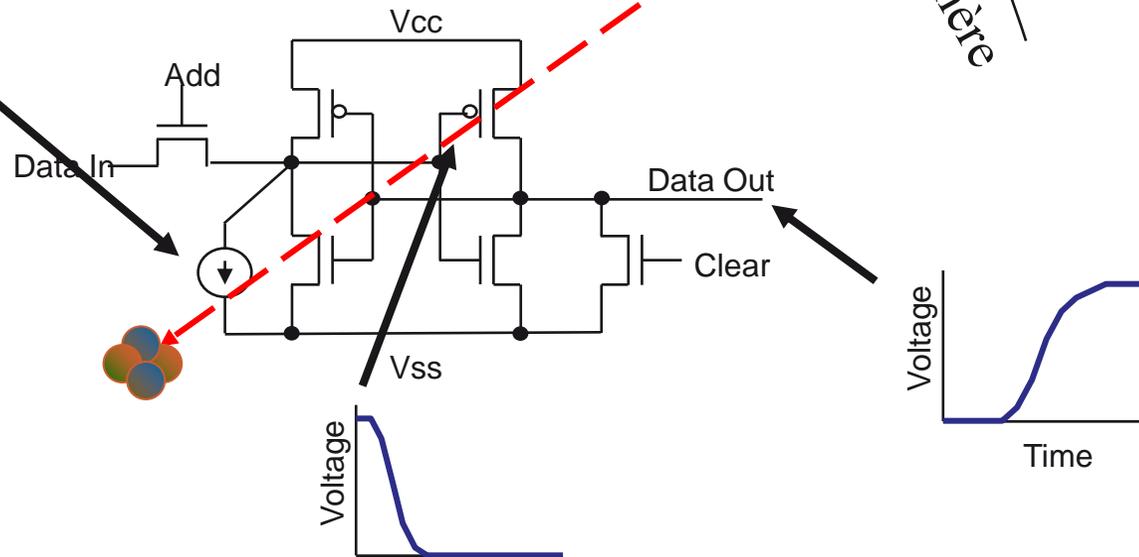


Rayonnement cosmique

■ Erreur SEU "Single Event Upset"



Point mémoire SRAM





Parades au rayonnement cosmique

❑ Mémoire de configuration

- Signature CRC dans le bitstream
- Mesure régulière du CRC (Xilinx) ou utilisation d'un processeur pour mesurer la "criticalité" (Altera)
- Utilisation de technologies robustes (Actel : FLASH, Antifusibles)

❑ Mémoire utilisateur

- Code correcteur d'erreur ECC associé aux mémoires embarquées



Amélioration de l'intégrité du signal

❑ Action au niveau des E/S

- Ajustement du « slew rate »
- Ajustement de la puissance des sorties
- Adaptation d'impédance
- Ajustement du retard

❑ Action au niveau du boîtier

- Respecter le ratio Vdd/Gnd/ E/S (8)
- Mettre des capacités de découplage ou utiliser des boîtiers pré-équipés

■ Nécessité d'un grand nombre d'E/S

*Loi de **Rent**: $N=K.G^\beta$

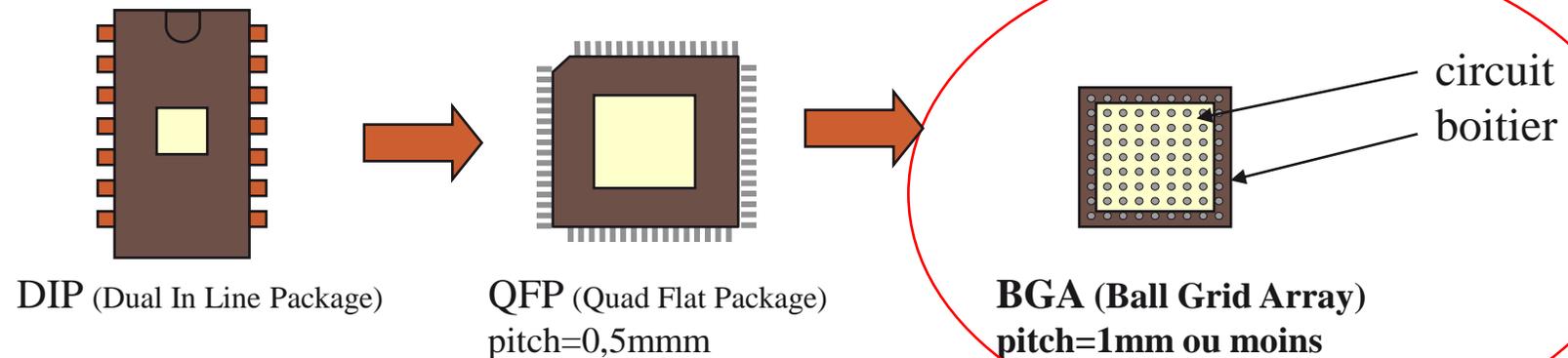
N = nombre d'E/S

K = nombre d'entrées/portes

G = nombre de portes

β = constante de Rent dépendant de l'application $\sim 0,6$

Peut dépasser 1000 => boîtier BGA





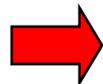
PLAN

■ Qu'est ce qu'un FPGA ?

- Les grands principes, le Marché
- Comparaison avec les circuits ASICs

■ Les principes innovants

- Cellules
- Interconnexion
- Blocs embarqués, I/Os
- Configuration
- Consommation, sûreté



■ Tendances

■ Conception

- Vue d'ensemble
- Synthèse à partir d'un modèle HDL



Offre SoC avec processeurs en « dur »

❑ Existants : processeur en « HDL »

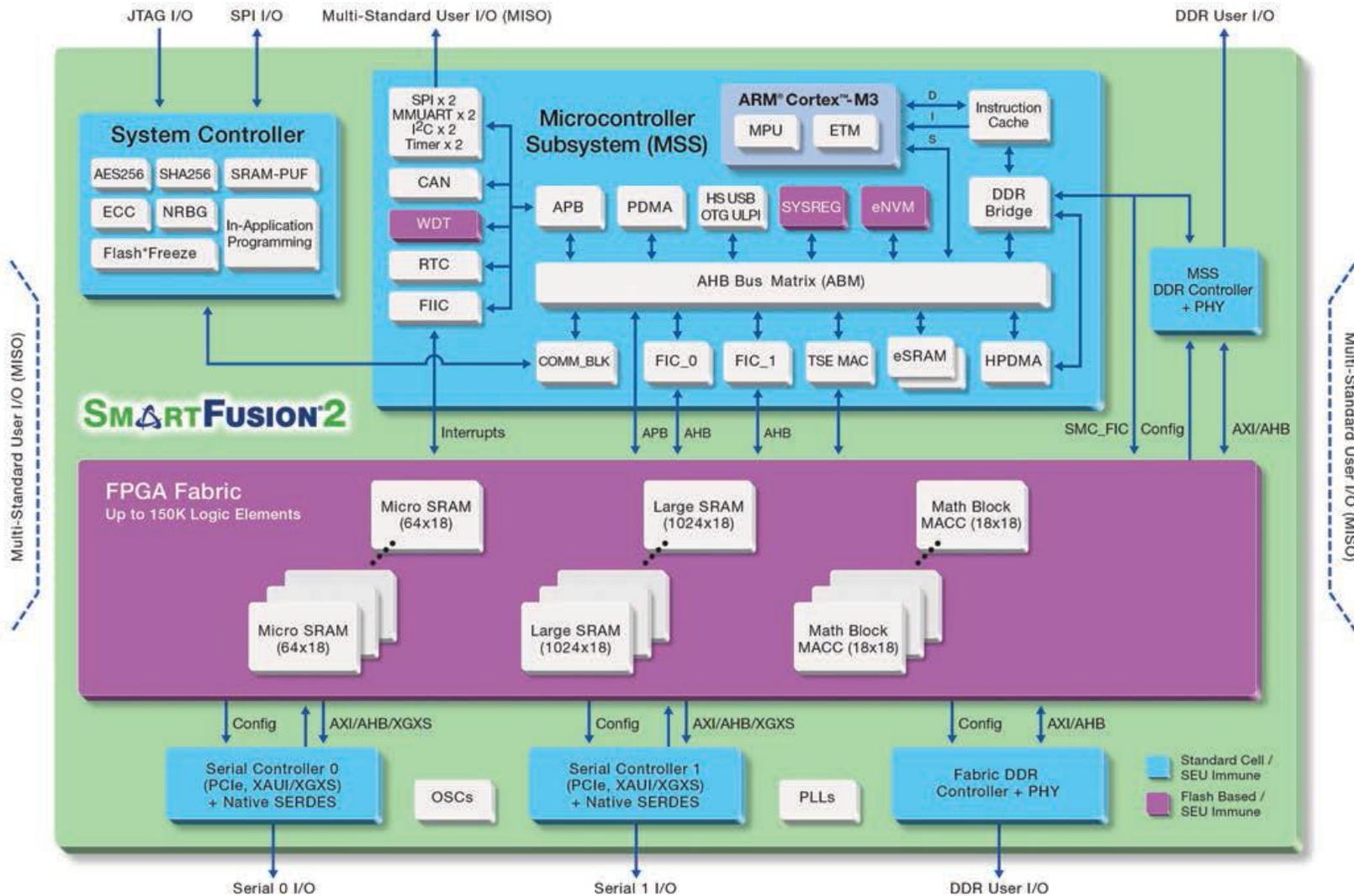
- Processeurs Propriétaires (netlist seulement)
 - XILINX : MicroBlaze 32
 - ALTERA : NIOS2
 - ACTEL Fusion, IGLOO, ProASIC3 : ARM7 cortex-M1
- Processeurs Libres LGPL, GPL
 - Code VHDL ou Verilog
 - LATTICE : MICO 32bits
 - 32 bits RISC :Leon (SPARC 32 bits)

❑ Tendances : processeur en « dur »

- Xilinx Zynq 7000 : Dual core ARM cortex A9
- Altera ARRIA SX : Dual core ARM cortex A9
- Actel Smartfusion(2) cSoc : ARM cortex M3

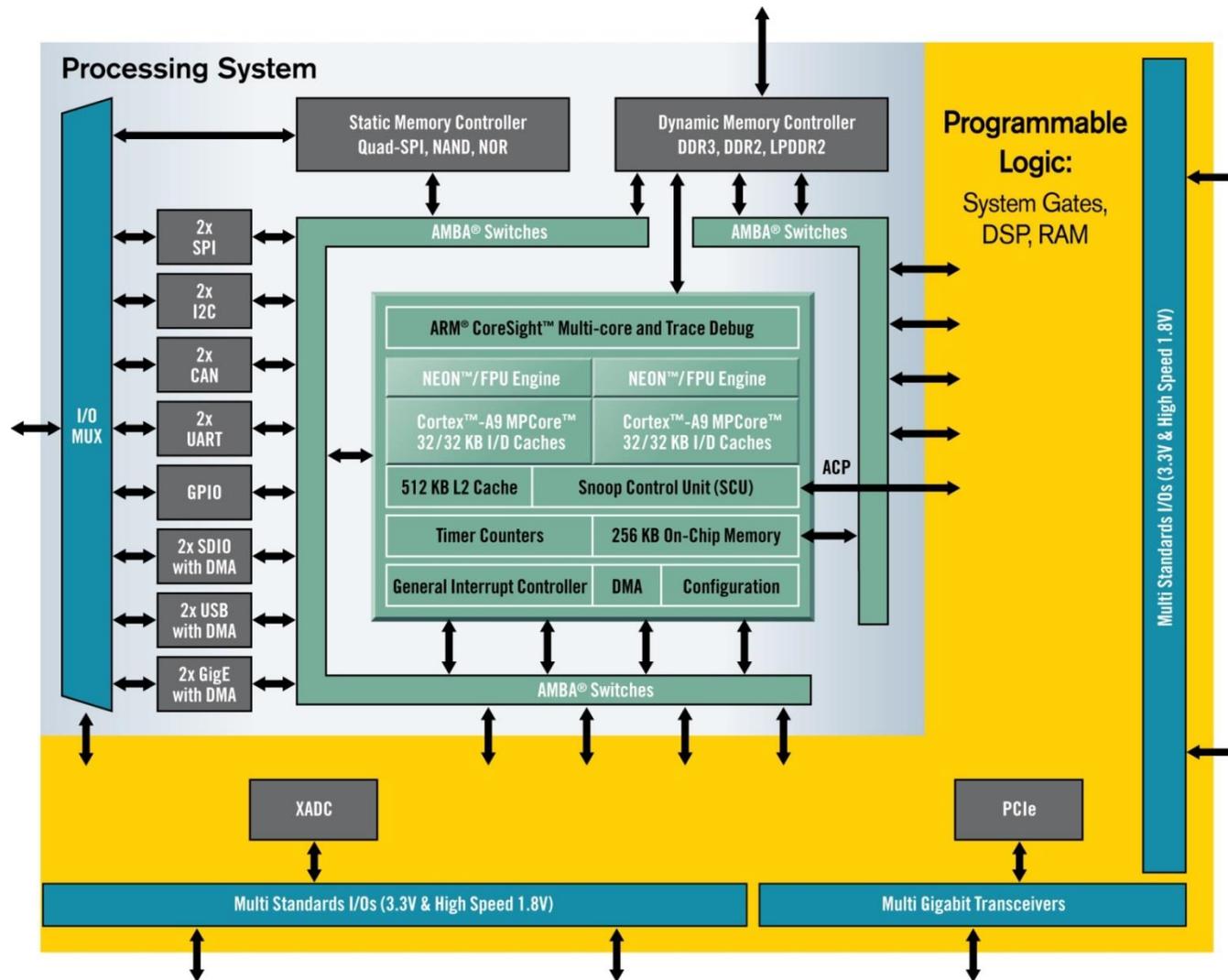


Microsemi SmartFusion 2



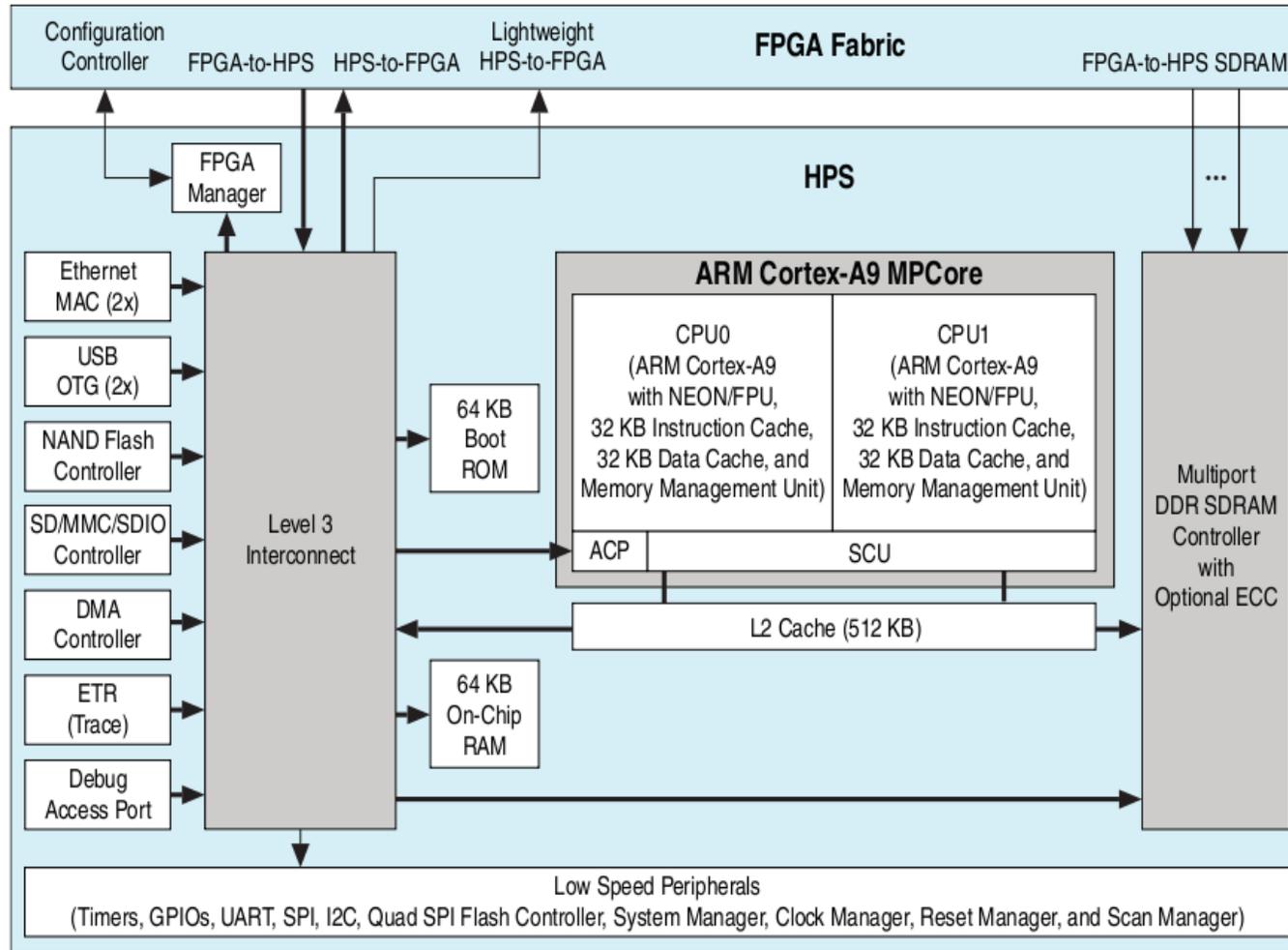


Xilinx Zynq 7000





Altera ARRIA SX





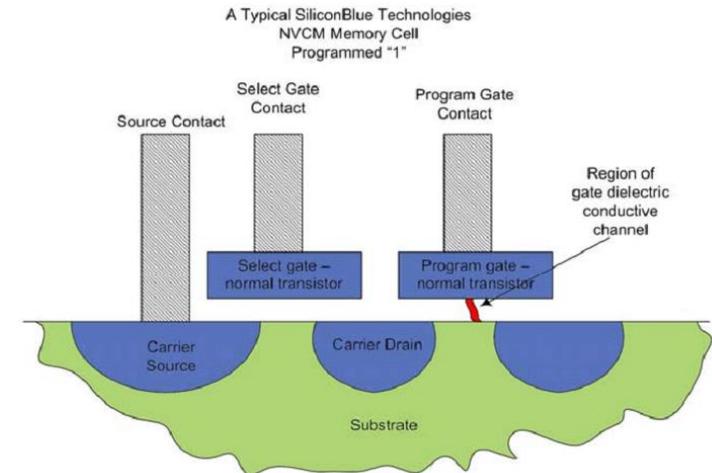
Réduire la consommation

❑ Technologies Low-Power Flash

- Silicon Blue : NVCM
 - Mémoire NV à partir de process CMOS à 2 transistors (technologie Kilopass)
- ACTEL : Famille IGLOO
 - Flash freeze mode : mode veille

❑ Technologies SRAM

- Altera CYCLONE V
- Xilinx ARTIX-7





Augmenter les interfaces et leur rapidité

- ❑ De plus en plus de blocs d'interface durs dans les derniers FPGAs
 - PCI-express, Ethernet/MAC, Transceivers 28Gbps
- ❑ FPGA dédié I/O
 - CSwitch CS90 (configurable switch)
 - Interconnexion et logique au centre de blocs périphériques durs

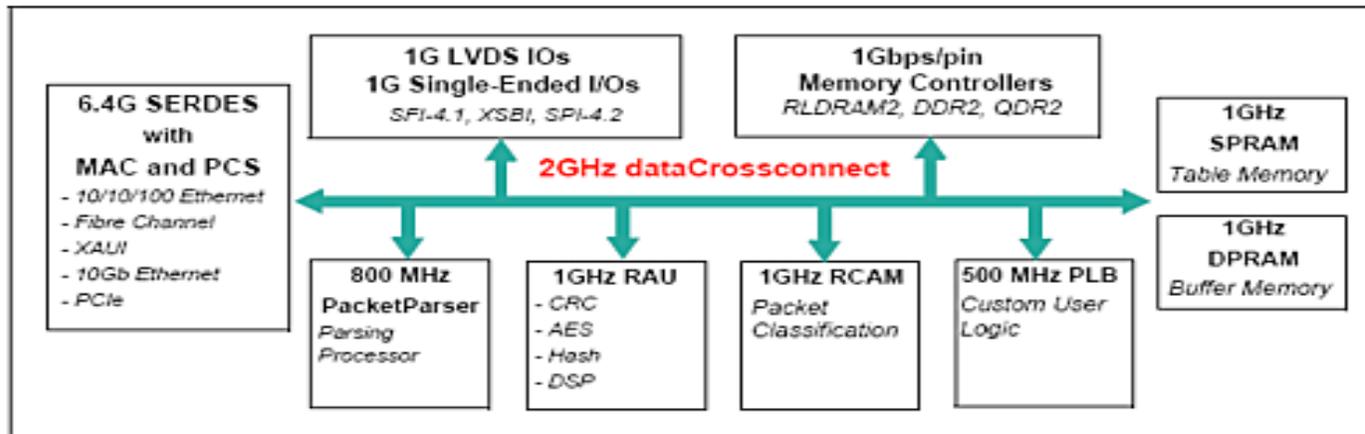
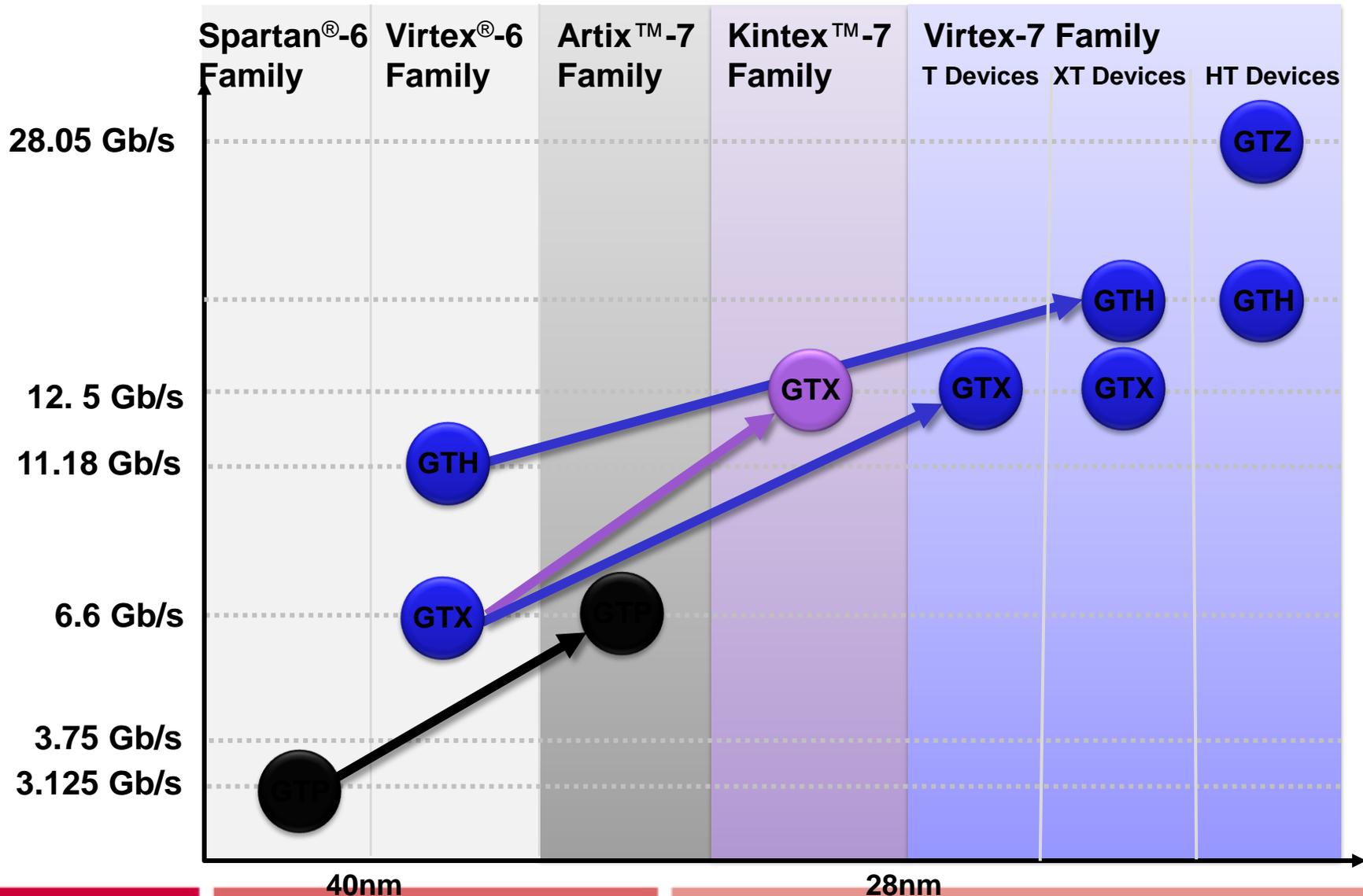


Figure 1 CS90 Configurable Switch Array Dataflow Diagram

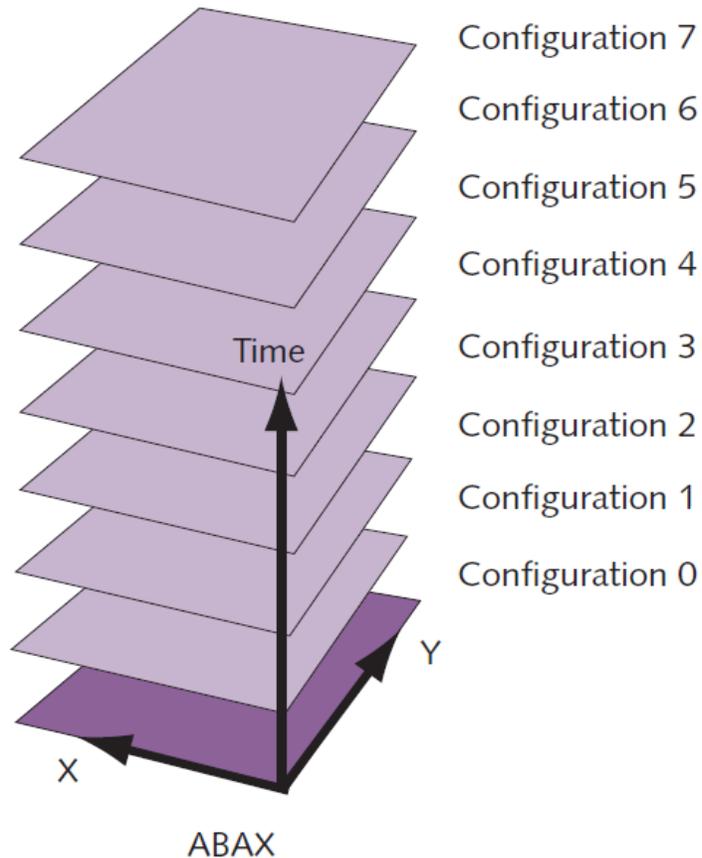


Transceivers Xilinx





ReConfiguration à la volée



■ Start-up Tabula

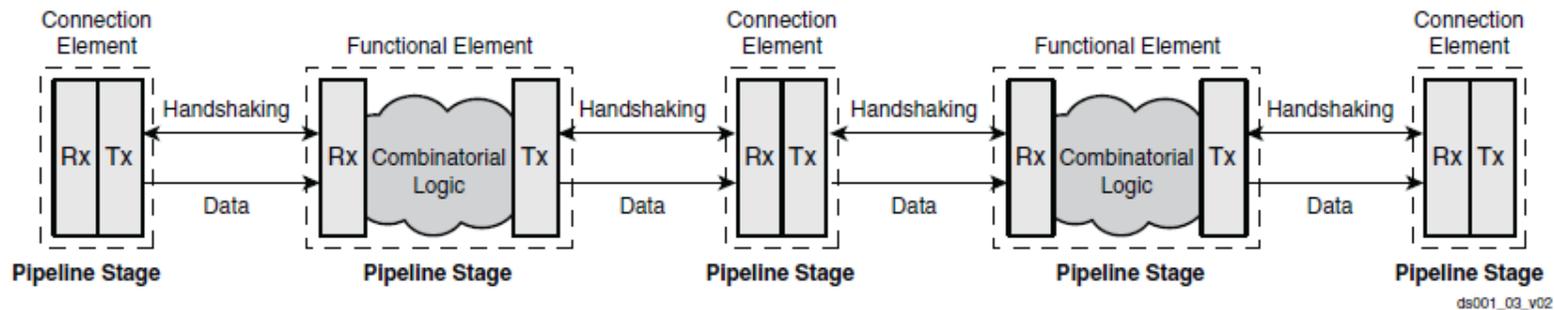
- 2D + Temps
- Reconfigurations permanentes @1.6GHz
- 8 configurations
- Mémoires simple port équivalente à 8 ports 200MHz
- Diminue les ressources de routage



Calcul Asynchrone : plus d'horloge globale

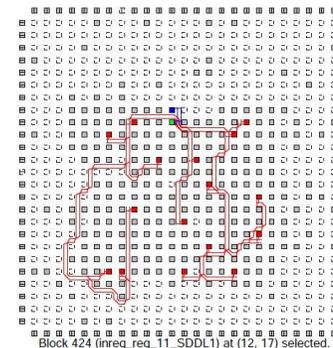
❑ Pour augmenter les Performances

- startup **Achronix** (*techno Intel 22nm transistors 3D*)
 - **Speedster 22i** : Technologie « Picopipe » =>1.5GHz



❑ Pour augmenter la sécurité

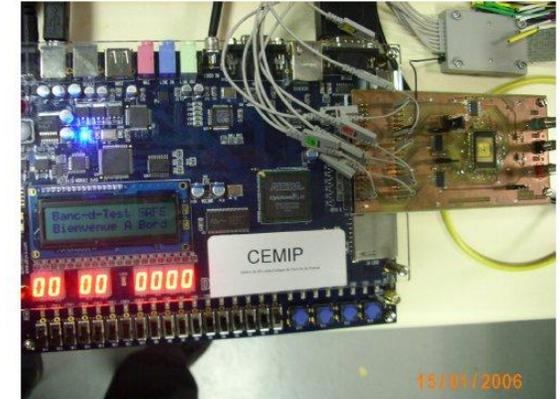
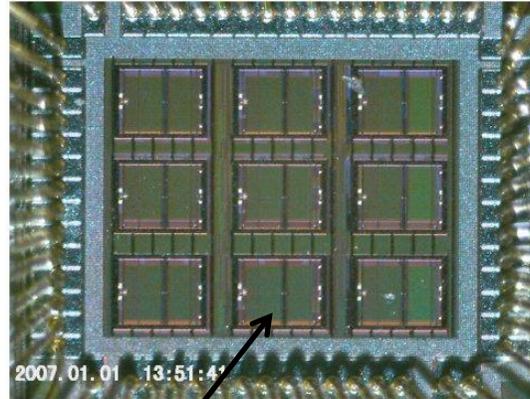
- Projet « SAFE » TIMA + TPT
 - Implante le protocole QDI
 - Routage et calcul dual rail



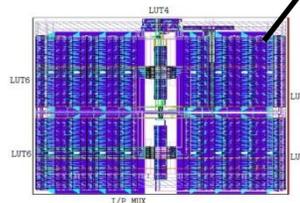
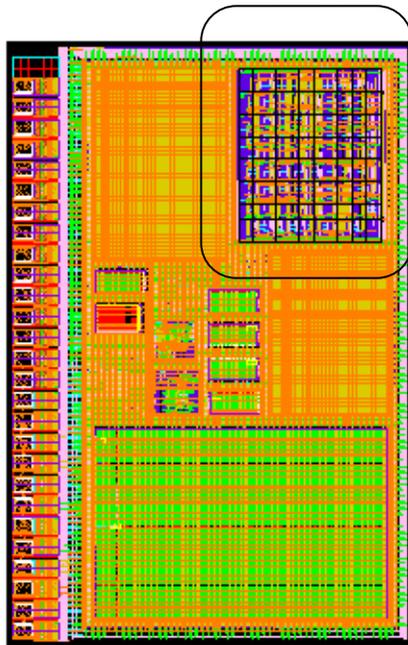


Circuits FPGA « custom » Télécom ParisTech

Projet **SAFE** : 65nm
FPGA asynchrone 3x3



Projet **FASE** : 130nm
FPGA reconfigurable
dynamiquement 8x8



Projet **SeFPGA** : 65nm
FPGA en arbre
2048 cellules

