



Électronique Analogique Intégrée

Traitement et Propagation des Signaux Physiques

Cours

AST1, AST2 et CC1— 2006-2007

Patricia Desgreys

Patrick Loumeau

Jean-François Naviner

Van Tam Nguyen

Hervé Petit

Jean Provost

Direction de la Formation

Département Communications et Électronique

École Nationale Supérieure des Télécommunications

Table des matières

Informations pratiques	5
1 Introduction à l'électronique analogique intégrée	7
2 Du Silicium aux transistors	17
3 Amplification	41
4 Outils de théorie du signal : Transformée de Laplace, Transformée en Z	65
5 Technique des Capacités Commutées	91
6 Filtrage analogique	103
7 Boucle à verrouillage de phase	121
8 La conversion analogique - numérique	133
9 Du système au composant	151

Informations pratiques

Les informations actualisées relatives au module EAI sont disponibles sur l'intranet de l'ENST à l'adresse :

www.comelec.enst.fr/tpsp/eai/.

Les transparents de la plupart des cours sont disponibles sur l'intranet de l'ENST Paris à l'adresse :

www.comelec.enst.fr/tpsp/eai/transparents/.

Remarque

- Le chapitre 2 « Du silicium aux transistors » est traité dans le cadre du module EAI pour les AST2 et dans le cadre du module SC (Semiconducteurs) pour les CC1 et AST1.
- Le chapitre 4 « Outils de théorie du signal : transformée de Laplace, transformée en Z » est l'objet de leçons uniquement pour les CC1 et AST1 dans la mesure où son contenu est supposé déjà acquis par les AST2.
- La section 8.4 « La conversion numérique analogique » du chapitre 8 « La conversion analogique - numérique » n'est pas au programme du module EAI.
- Le chapitre 9 « Du système au composant » est uniquement au programme pour les CC1 et AST1.

Correspondances

Le tableau ci-dessous résume les correspondances de numérotation des chapitres de ce polycopié avec les leçons dispensées.

Chapitre	Intitulé	Leçon CC & AST 1A	Leçon AST 2A
1	Introduction à l'électronique analogique intégrée	1	1
2	Du silicium aux transistors		2
3	Amplification	2	3
4	Outils de théorie du signal : Transformée de Laplace, Transformée en Z	3 & 4	
5	Technique des Capacités Commutées	5	4
6	Filtrage analogique	6	5
7	Boucle à verrouillage de phase	7	6
8	La conversion analogique - numérique	8	7
9	Du système au composant	9	

TAB. 1 – Correspondances de numérotation des chapitres et leçons

Chapitre 1

Introduction à l'électronique analogique intégrée

1.1 Introduction

L'électronique intégrée ou microélectronique est habituellement divisée en de grands domaines partiellement recouvrants et aux limites floues : la fourniture de puissance, la transduction (acquisition ou restitution d'une information extérieure non " électronique ") et le traitement du signal qu'il soit numérique ou analogique. De plus en plus, ces divers aspects de l'électronique sont pris en compte conjointement au sein de systèmes toujours davantage intégrés jusqu'à l'obtention d'une solution monolithique.

Dans ce chapitre, nous nous limiterons à évoquer l'électronique intégrée pour le traitement du signal sous forme analogique ou mixte. La première partie présente le contexte économique général. La seconde partie aborde les considérations technologiques propres à la microélectronique analogique ou mixte. La troisième partie présente succinctement la méthode de conception de systèmes intégrés analogiques ou mixtes. Enfin, un exemple de circuit conclut ce chapitre.

1.2 Contexte de l'électronique analogique intégrée

1.2.1 Contexte économique

Les statistiques économiques de la microélectronique montrent que la part relative des circuits analogiques au sein de la production mondiale est désormais stable depuis quelques années. Les composants analogiques représentent environ 17% du marché total des semi-conducteurs. Le volume de production des circuits intégrés analogiques est en constante augmentation : les estimations (données 2003) indiquent une croissance de 17% pour les composants analogiques en 2003 et 19% en 2004. Pour les mêmes années, le marché total des semi-conducteurs devrait croître de 15% et 12% respectivement. Au sein du marché des composants analogiques, le marché des composants radio-fréquences évolue plus rapidement que celui des composants basse-fréquence. Ceci s'explique notamment par la prééminence actuelle du secteur des télécommunications et par la pénétration croissante de l'électronique dans l'automobile. La Figure 1 illustre la prévision de l'évolution du marché pour les principaux types de composants.

En fait, aujourd'hui, de nombreux circuits intègrent à la fois des parties numériques et des parties analogiques, constituant des systèmes mixtes. L'importance des systèmes mixtes est croissante. Du fait de l'évolution technologique, le traitement analogique ne constitue dans bien des cas qu'une composante de systèmes plus complexes. On parle alors de systèmes sur puce (systems on chip-SoC).

Les circuits analogiques sont classés en trois catégories :

- les circuits standards : amplificateurs, comparateurs, convertisseurs...
- les circuits dédiés à une application : automobile, télécommunications, télévision, radiofréquences...
- les autres : filtres, codec, circuits pour les modems...

Les deux dernières catégories sont les plus vendues. Les applications en télécommunication ont une croissance particulièrement forte.

1.2.2 Rôle de l'électronique analogique intégrée

Les circuits analogiques jouent un rôle important dans tous les systèmes pour lesquels une communication directe avec le monde " réel ", par essence analogique, est nécessaire. Les systèmes analogiques sont irremplaçables pour cette interface avec les systèmes VLSI numériques (FIG. 1.1). Les fonctions nécessaires sont principalement la conversion analogique-numérique et numérique-analogique, l'amplification, le filtrage et la transduction.

Les systèmes de télécommunications font en particulier appel à de nombreuses réalisations

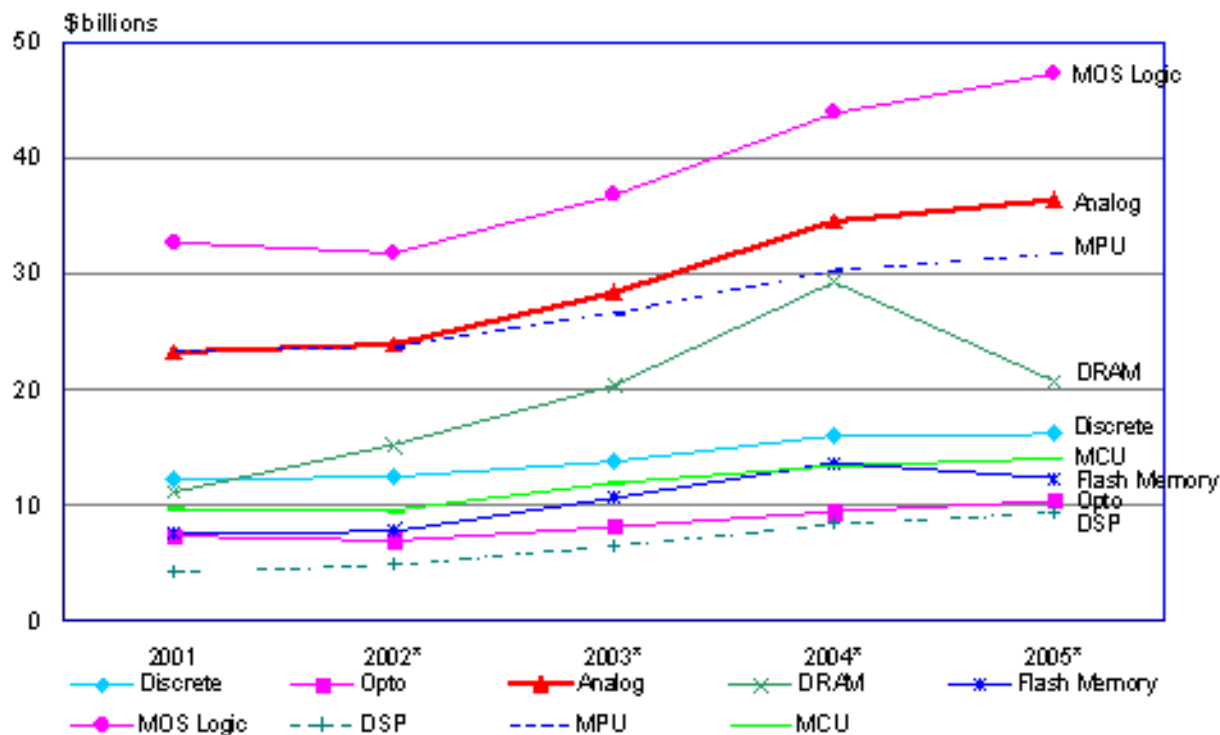


FIG. 1.1 – Evolution du marché des semi-conducteurs (Source : SIA [4])

analogiques chaque fois que le passage entre le monde extérieur analogique et une représentation numérique de l'information est nécessaire.

Le traitement analogique du signal est également préférable à un traitement numérique pour de nombreuses applications pour lesquelles une faible précision est nécessaire (certains réseaux de neurones, par exemple).

Le tableau ci-dessous présente les caractéristiques exigées d'un système de traitement du signal pour quelques exemples d'application.

TAB. 1.1 – : Exemples de performances de systèmes analogiques

radiofréquences	100MHz à 10GHz	8 à 10 bits
stockage magnétique	100 à 500MHz	6 à 8 bits
TV numérique multi-standard	20MHz	8 à 10 bits
TV haute définition	50 à 75MHz	10 bits
traitement des fréquences intermédiaires radio	1 à 50MHz	8 à 10 bits
audio	50Hz à 40KHz	16 bits
métrologie	< 1Hz à 1KHz	16 à 24 bits

1.2.3 Exemples de composants

Voici quelques exemples de composants analogiques utilisés en électronique analogique intégrée :

1. Amplificateur opérationnel,
2. Amplificateurs d'instrumentation,
3. Références de tension,
4. Amplificateurs échantillonneurs-bloqueurs,

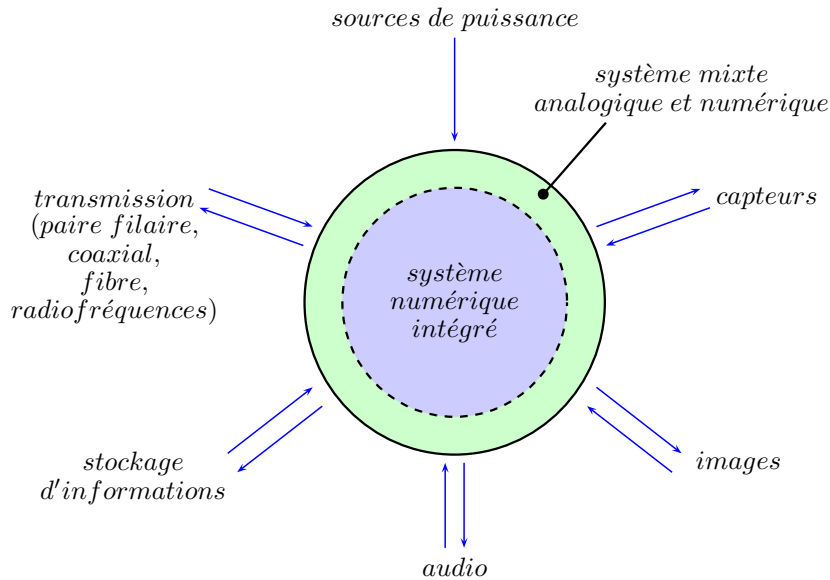


FIG. 1.2 – Rôle des circuits analogiques dans les télécommunications

5. Convertisseurs A-N et N-A,
6. Multiplexeurs analogiques,
7. Boucles à verrouillage de phase,
8. Compérateurs,
9. Amplificateurs de puissance.

1.3 Défis techniques

Comme nous l'avons expliqué précédemment, l'intégration de fonctions de traitement du signal analogique est indispensable pour pouvoir mettre en oeuvre des systèmes interagissant avec l'environnement. Ceci concerne par exemple quasiment tous les systèmes de communications. Les attentes évoluent : des bandes passantes toujours plus larges sont nécessaires, les bandes de fréquences utilisées également du fait de l'encombrement croissant du spectre. Dans le même temps, les informations à émettre, à recevoir, à traiter sont plus hétérogènes et requièrent des puissances de calcul toujours accrues. Pour qu'existe un marché significatif, permettant entre autre à l'industrie électronique de poursuivre son développement, le coût final des produits doit rester abordable et en tout cas en rapport avec le service fourni et l'innovation introduite. Afin de répondre à ces exigences, de nouvelles technologies sont en permanence mises au point. Elles sont presque toujours optimisées en premier lieu pour l'intégration de l'électronique numérique. Cependant, l'intégration de systèmes monochips confère aujourd'hui à l'intégration de fonctions analogiques ou radiofréquences une part croissante dans l'évolution technologique. Pour répondre aux attentes exprimées ci-dessus, les chercheurs et développeurs en électronique analogique doivent relever de nombreux défis dont les principaux sont exposés dans ce qui suit.

1.3.1 Critères de performances

Les critères sont variés. Leur importance relative varie d'une application à une autre. Citons les plus courants : la largeur de bande de fréquences, la consommation d'énergie, la surface de circuit nécessaire à la mise en oeuvre, la linéarité, le rapport signal sur bruit, la dynamique, la fiabilité, les potentialités de programmation ou de reconfiguration. IL est important de noter que ces différents critères sont liés de façon complexe. Gagner sur un critère peut induire de plus grandes difficultés à satisfaire les exigences sur un autre.

1.3.2 Vitesse, bandes de fréquences

Les progrès réalisés en communications numériques ont permis en particulier d'augmenter le débit de transmission pour une même largeur de bande. Cette augmentation n'est pas suffisante pour couvrir avec des bandes de quelques centaines de kHz les besoins liés à de nouveaux usages tels que la visualisation de vidéo (en différentes qualités) sur des terminaux mobiles (réseaux cellulaires ou locaux). L'accroissement des largeurs de bande requiert des composants électroniques adaptés, amplificateurs, filtres, convertisseurs, etc. tout en maintenant les exigences en rapport signal sur bruit, en consommation, en linéarité... Pour y parvenir, la seule innovation technologique n'est pas suffisante. L'innovation en techniques de traitement du signal, en circuiterie et en architecture est indispensable.

1.3.3 Consommation d'énergie

Une fois les spécifications d'un système établies à partir des données de l'application, de l'usage particulier, et des normes considérées, des performances minimales et nominales pour chaque sous-partie du système peuvent être déterminées après choix d'un partitionnement matériel-logiciel puis d'un partitionnement analogique-numérique (voir 9). Le respect de ces performances par le système construit est indispensable pour garantir la fonctionnalité au regard de l'application envisagée. D'autres caractéristiques telles que la consommation n'interviennent pas directement dans la fonctionnalité mais ont un impact direct sur le coût du produit et donc sur sa compétitivité. La consommation peut aussi avoir un impact sur l'encombrement ou l'autonomie du produit et donc sur son ergonomie et sa praticité. Moins consommer d'énergie signifie soit une meilleure autonomie avec un même type de batterie, soit des batteries moins encombrantes ou moins onéreuses pour une même autonomie. Moins consommer d'énergie répond aussi à une préoccupation croissante de nature environnementale et écologique. Là encore, l'innovation technologique contribue à cet objectif à condition d'y associer l'innovation en circuit, en architecture et en gestion de la consommation. Ce dernier point (power management, power-aware system) est devenu une préoccupation systématique au sein de systèmes complexes ([ref]). L'écart entre les prévisions technologiques ([ref]) et les prévisions de performances de systèmes futurs montrent que l'innovation technologique ne pourra suffire à elle seule à répondre aux attentes.

1.3.4 Surface d'un circuit, volume d'un système

Le couple (technologie, surface de puce) joue un rôle très important dans le coût final d'un produit. La réduction de la surface de circuit pour la mise en oeuvre d'une fonction peut cependant engendrer d'autres difficultés comme une énergie dissipée par unité de surface accrue. Des moyens d'évacuation de la chaleur doivent alors être mis en oeuvre. Le choix d'une filière technologique (CMOS, BiCMOS, SiGe, SOI, AsGa, etc.) puis d'une génération technologique influe sur la faisabilité du système, sur la surface de puce nécessaire et donc sur le coût final. Au sein d'une même filière, le CMOS par exemple, il faut encore déterminer si des "options" technologiques sont souhaitables : transistors à faible tension de seuil, matériau fortement résistif, oxyde mince entre couches métalliques pour implantation de capacités, etc. Pour chaque projet, ce choix doit être établi en fonction de la prévision de surface, du coût surfacique de la technologie, du surcoût des options, etc. mais aussi du savoir-faire des concepteurs dans la technologie considérée, de la disponibilité de plusieurs sources de fonderie, de la possibilité de réutiliser pour d'autres projet le travail effectué... Pour une filière donnée, la technologie la plus avancée ne constitue pas toujours le meilleur choix : là encore, une estimation de surface pour le système complet est nécessaire. Les fonctions numériques bénéficient pleinement de l'avancée technologique en terme de densité et de vitesse. Il n'en va pas de même pour les blocs analogiques dont la surface ne diminue que très lentement en fonction de l'évolution technologique. En revanche, le coût du mm^2 de circuit croît très

fortement d'une génération technologique à une autre.

1.3.5 Intégration de systèmes monopuces

L'intégration de systèmes monopuces induit divers défis techniques dont certains déjà cités précédemment. Nous pouvons ajouter à ceux déjà cités précédemment, la nécessaire maîtrise des couplages et interférences sur la puce. Certains composants sont sources de bruit, d'autres composants ou matériaux le transportent et d'autres enfin sont particulièrement sensibles. En particulier, les circuits analogiques sensibles doivent être isolés le plus possibles des circuits numériques, sources de bruit dû aux commutations.

1.3.6 Outils d'aide à la conception

La maîtrise des coûts impose l'emploi d'outils d'aide à la conception afin d'améliorer et de fiabiliser la production. IL s'agit :

- d'outils de synthèse pour affiner une représentation de tout ou partie d'un système jusqu'à la création des masques (représentation bidimensionnelle des différentes couches conductrices et semi-conductrices constituant la structure physique d'un circuit) ;
- d'outils d'analyse et de vérification pour s'assurer que les performances atteintes sont conformes aux spécifications.

Ces outils sont traités plus en détail au Chapitre 9. Il est important de noter que la conception de circuits analogiques ou mixtes est encore en grande partie non automatisée requérant ainsi le savoir-faire de concepteurs spécialisés.

1.4 Exemples de systèmes mixtes

Dans ce qui suit, nous traitons deux exemples de systèmes mixtes appliqués à des domaines distincts. Nous verrons que bien que très différents, ces systèmes ont de nombreux objectifs communs en terme de conception.

1.4.1 Prothèse auditive, implant cochléaire

Définition

Un implant cochléaire est un dispositif électronique conçu pour induire de sensations auditives utiles au patient malentendant par une stimulation électrique des nerfs à l'intérieur de l'oreille interne. Il est important de noter qu'un système d'implant cochléaire est très différent d'un dispositif d'aide auditive. Ce dernier capte, amplifie et restitue le son. L'implant cochléaire a pour objet de compenser des défaillances partielles ou complètes de parties de l'oreille interne. Lorsque l'oreille interne fonctionne normalement, elle convertit le son en stimuli électriques transmis au cerveau. L'implant cochléaire réalise la même fonction même s'il ne fournit pas à l'utilisateur exactement la même sensation. Ce système permet la communication sans toutefois assurer une restitution sonore fidèle.

Description du système

Il existe de nombreux types de prothèses auditives, nous considérons ici un exemple particulier : nous allons analyser la composition de ce système puis relever les caractéristiques représentant des défis techniques.

- La FIG. 1.3 représente un système complet de prothèse auditive. Ce système comprend :
- un microphone pour capter le signal acoustique ;
 - un module de traitement du signal analogique et numérique associé à une chaîne d'émission ;
 - un module de réception et de stimulation ;

- un jeu d'électrodes implantées dans l'oreille interne, relié au module de stimulation par une liaison filaire.

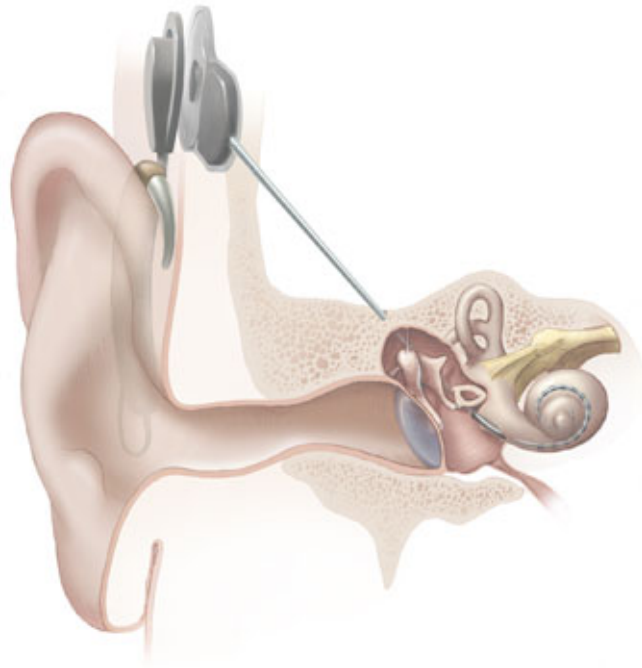


FIG. 1.3 – Système de prothèse auditive à implant cochléaire (source : NIDCD [3])

Particularités du système

Une partie du système est invasive, c'est à dire qu'elle est implantée à l'intérieur du corps humain. Cette partie (les électrodes et le module connecté) doit donc :

- ne pas entraîner de rejet ;
- ne pas provoquer de dommage lors de la mise en place ou lors du fonctionnement ;
- ne pas entraîner de nuisance pour l'utilisateur ;
- disposer d'une autonomie importante ;
- être adaptable aux spécificités de chaque patient ;
- nécessiter une intervention chirurgicale la plus légère possible.

Ces particularités requièrent donc :

- une très grande fiabilité ;
- une très faible consommation et éventuellement la mise en oeuvre de récupération d'énergie ;
- une miniaturisation poussée ;
- des possibilités de réglages et de contrôle.

La partie non implantée doit également :

- être peu encombrante et légère (tenir dans une poche) ;
- disposer d'une autonomie suffisante ;
- être fiable (en particulier, ne pas transmettre à l'implant des signaux perturbants).

1.4.2 Chaîne d'émission-réception radio

Définition

La chaîne d'émission-réception radio est étudiée en détail dans le cadre de la brique ISER (Cycle Optionnel Unifié). Nous nous contentons ici d'une description très générale. La chaîne

d'émission-réception radio est utilisée pour de très nombreuses applications aux contraintes très différentes. Nous nous contentons ici d'évoquer son application en communications cellulaires et plus précisément pour un terminal mobile. La chaîne d'émission réception radio (encore appelé frontal radiofréquences) a pour objet la transmission de signaux radiofréquences entre une station de base et le terminal mobile qui la contient. Elle réalise notamment les fonctions d'amplification, filtrage, translation en fréquences et conversion analogique-numérique ou numérique-analogique. Le frontal RF est une sous partie de l'ensemble complexe que constitue le terminal.

Description du système

Un schéma simplifié d'émetteur-récepteur est représenté sur la FIG. 1.4.

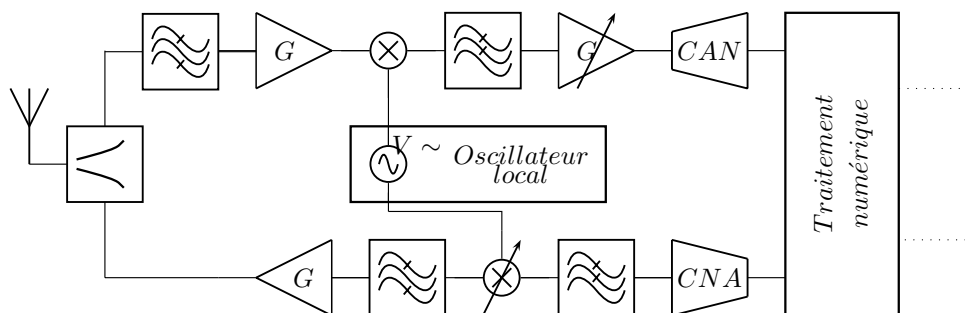


FIG. 1.4 – Schéma simplifié d'un frontal radiofréquence)

Le système contient une chaîne d'émission (partie inférieure du schéma) et une chaîne de réception (partie supérieure du schéma). Ces deux chaînes se rejoignent avant l'antenne via un composant radiofréquences, appelé duplexeur à pour objet la séparation des signaux émis, de forte puissance, et des signaux reçus, de très faible puissance.

La voie de réception contient des filtres, des amplificateurs dont certains à gain variable, des mélangeurs (translatant le signal à des fréquences plus basses et finalement au moins un convertisseur analogique-numérique. Le signal ainsi numérisé est ensuite démodulé, décodé puis exploité pour l'application voulue.

A partir du signal à transmettre encore représenté sous forme numérique, la voie d'émission contient au moins un convertisseur numérique-analogique, des filtres, des mélangeurs et finalement un amplificateur de puissance.

Des fréquences doivent être générées et contrôlées en interne pour le traitement correct des signaux. Des oscillateurs et des boucles à verrouillage de phase sont alors nécessaires.

Particularités du système

Dans le cas d'une chaîne d'émission-réception radio intégrée dans un terminal mobile, le système doit :

- ne pas entraîner de nuisance évidente pour l'utilisateur ou son entourage ;
- disposer d'une autonomie importante ;
- être adaptable aux spécificités de chaque utilisateur ;
- disposer d'une fiabilité élevée ;
- avoir une très faible consommation et éventuellement mettre en oeuvre la récupération d'énergie ;
- offrir une miniaturisation poussée et un faible poids ;
- proposer des possibilités de programmation (customisation).

Ces caractéristiques influent sur l'ensemble des domaines de définition du système et en particulier sur la conception matériel/logiciel d'un tel système.

1.5 Bibliographie

Bibliographie

- [1] MXM. www.mxmlab.com/fr/.
- [2] Australian Academy of Science. www.science.org.au/.
- [3] National Institute on Deafness and National Institutes of Health Other Communication Disorders. www.nidcd.nih.gov/health/.
- [4] W.J. Sanders. S.i.a. fall 2002 forecast, 2002. www.sia-online.org/.

Chapitre 2

Du Silicium aux transistors

2.1 Introduction

2.1.1 Historique

Le transistor MOS est un élément décisif dans l'évolution technologique de l'électronique. Celle-ci permet la réalisation de circuits de traitement d'informations de très grandes performances et de très grande diffusion. Le moteur de cette évolution est la diminution des dimensions du transistor. Nous verrons comment cette diminution géométrique entraîne une vitesse et une puissance de traitement plus grandes pour un coût, au sens général, plus faible.

La technologie (mot qui désigne ici l'ensemble des procédés matériels aboutissant à la fabrication de circuits intégrés) CMOS sur Silicium domine très largement l'industrie de l'électronique. Pourtant le premier transistor (contraction de l'anglais “**transfer resistor**”) construit en 1947 aux Laboratoires Bell Telephone (aux États Unis) par Bardeen, Brattain et Shockley, fut un transistor bipolaire à pointes. Le premier transistor MOS ne fut construit qu'en 1961, au même endroit par Kahng et Atalla, bien que la première publication scientifique décrivant son principe de fonctionnement soit le fait de Lilienfeld en 1928.

Kilby de Texas Instruments en 1958 et Noyce de Fairchild Camera and Instrument en 1959 élaborèrent les premiers circuits intégrés bipolaires. Notons enfin que 2 ingénieurs de Fairchild, Moore et Noyce, fondèrent Intel en 1968 pour y développer les premiers circuits intégrés MOS.

2.1.2 Organisation de la leçon

Nous allons répondre aux questions suivantes :

- Comment fonctionne un circuit élémentaire à un transistor ?
- Quelle fonction électrique doit réaliser un transistor ?
- Quel phénomène physique utiliser pour cela ?
- Comment construire un transistor ?
- Comment modéliser son fonctionnement ?

2.2 Circuit élémentaire

Les systèmes de traitement de l'information utilisent, souvent de manière cachée mais quasi exclusivement, des transistors. De la même façon, l'information est portée par la variation d'un signal électrique. Ce signal peut être un courant, une tension, une quantité de charge, un champ électrique et/ou magnétique... La variable porteuse d'information peut être l'amplitude, la fréquence, ou la phase... Afin de simplifier l'exposé, nous supposons que l'information est portée par l'amplitude de la tension du signal électrique.

Le schéma de la figure 2.1 représente le circuit électronique permettant de réaliser la fonction élémentaire inversion/amplification.

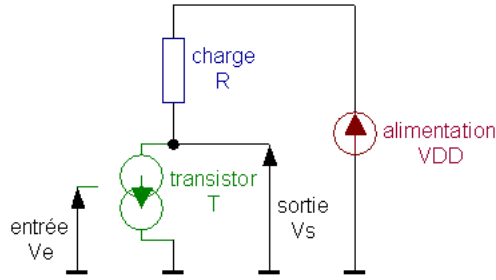


FIG. 2.1 – Circuit élémentaire inverseur

Il est constitué de :

- une alimentation stabilisée, qui délivre une tension continue V_{DD} , quel que soit le courant sortant I_{DD} (source de tension constante idéale),
- une résistance de charge R , aux bornes de laquelle le courant qui la traverse I_R , engendre une tension V_R (loi d'Ohm) : $V_R = R \cdot I_R$,
- un transistor T , dont le modèle est un quadripôle linéaire constitué de :
 - dipôle de sortie : une source de courant dépendante linéairement de la tension d'entrée : $I_T = G_m \cdot V_e$,
 - dipôle d'entrée : un prélèvement de la tension d'entrée V_e .

Ce type de quadripôle est appelé une *transconductance idéale*.

Analysons le fonctionnement de ce circuit :

- en utilisant la loi des mailles, puis la loi d'Ohm, nous pouvons écrire :
 $V_{DD} = V_R + V_s = R \cdot I_R + V_s$
- les seuls éléments connectés sur le nœud de sortie sont la charge R et le dipôle de sortie du transistor T . Ainsi, (loi des nœuds) nous pouvons écrire :
 $I_{DD} = I_R = I_T$
- utilisons la transconductance idéale G_m du transistor :
 $V_{DD} = R \cdot G_m \cdot V_e + V_s$
- nous obtenons la caractéristique de transfert $V_s = f(V_e)$ du circuit :

$$V_s = V_{DD} - R \cdot G_m \cdot V_e$$

Ce circuit est utilisé en électronique analogique pour réaliser, dans certaines conditions, la fonction **amplification**, dont le principal paramètre est le gain en tension :

$$G_v = \frac{\delta V_s}{\delta V_e} = -G_m \cdot R$$

De même il est utilisé en électronique numérique pour réaliser la fonction inversion logique. Dans ce type de traitement l'information est portée par les deux états extrêmes de l'amplitude de tension :

$$\begin{aligned} V_e = V_{DD} = \text{"1"} &\Rightarrow I_T = I_{Tmax} \\ &\Rightarrow V_R = R \cdot I_{Tmax} = -V_{DD} \\ &\Rightarrow V_s = 0V = \text{"0"} \\ V_e = 0V = \text{"0"} &\Rightarrow I_T = 0A \\ &\Rightarrow V_R = 0V \\ &\Rightarrow V_s = V_{DD} = \text{"1"} \end{aligned}$$

Poursuivons l'exemple de l'électronique numérique : le traitement de l'information consiste à faire commuter (dans certaines conditions qui spécifient la fonction logique réalisée) la tension du nœud de sortie de $0V$ à V_{DD} ou de V_{DD} à $0V$. Le principal paramètre de performance du circuit logique est le temps mis pour passer d'un état logique à l'autre (vitesse).

Nous utilisons une modélisation simple du nœud de sortie où les seuls éléments passifs qui y sont connectés sont les capacités parasites des transistors et des connexions. Les équations de constitution du condensateur :

- condensateur idéal : $Q = C \cdot V$,
- courant : $I = \frac{dQ}{dt}$,

nous permettent d'obtenir :

- le temps de commutation : $dt = C \cdot \frac{dV}{i}$

où :

- $dV = \pm VDD$ (suivant la transition "0" \mapsto "1" ou "1" \mapsto "0").
- C = capacité totale équivalente du nœud commutant,
- i = courant traversant le dipôle de sortie du transistor et chargeant C.

Il ne reste plus (!) qu'à identifier et caractériser i et C.

Dans ce chapitre nous allons donc voir comment le transistor MOS peut être réalisé à partir de matériaux semi-conducteurs tels que le Silicium.

Pour cela nous rappellerons quelques propriétés élémentaires des matériaux semi-conducteurs intrinsèques et dopés.

A l'aide de ces notions, nous décrirons la structure et le fonctionnement du transistor MOS de manière à disposer d'un modèle simple et quantifiable de l'intensité du courant de sortie et des capacités parasites du transistor MOS.

2.3 Rappels de physique simplifiée

2.3.1 Notion de courant

Un courant électrique dans un matériau est un déplacement de charges libres. Il nécessite l'existence de :

- charges *libres*, c'est à dire ne participant pas aux liaisons de valence de la structure cristalline, donc libres de s'y déplacer,
- d'une force capable de les entraîner.

Pour simplifier, il existe deux types de courant : le courant de diffusion et celui de conduction.

Diffusion

La force de diffusion est due à un gradient de concentration (densité) de charges. Elle entraîne les porteurs libres vers les régions de moindre concentration, créant ainsi un *courant de diffusion*. C'est celle qui est utilisée dans la jonction PN (voir plus loin) et dans l'effet bipolaire.

Conduction

Le champ électrique E engendre sur un porteur libre une force F :

$$F = q_c \cdot E$$

Compte tenu des frottements et des collisions avec le réseau cristallin, le porteur libre atteint rapidement une vitesse limite v_c :

$$v_c = \mu_c \cdot E$$

La densité du courant de conduction ainsi créé est J :

$$J = \sigma \cdot E = n_c \cdot q_c \cdot \mu_c \cdot E$$

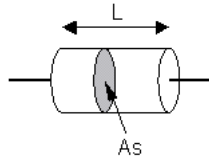


FIG. 2.2 – Résistance d’un tube

- E est le champ électrique en $V \cdot m^{-1}$,
- F est la force d’entraînement en N,
- q_c est la charge du porteur libre en C (Coulomb),
- μ_c est sa mobilité dans ce matériau en $m^2 \cdot V^{-1} \cdot s^{-1}$,
- v_c est sa vitesse en $m \cdot s^{-1}$,
- σ est la conductivité en $\Omega^{-1} \cdot m^{-1}$ ou en $S \cdot m^{-1}$ de ce matériau pour ces charges libres,
- n_c est la densité (concentration par unité de volume) des charges libres en m^{-3} ,
- J est la densité du courant de conduction en $A \cdot m^{-2}$,

Ainsi nous pouvons modéliser un courant en connaissant :

- la technologie du matériau par :
 - la mobilité de ses porteurs libres (μ),
 - leur densité dans la région active (n),
- la charge unitaire de ces porteurs (q_c),
- l’action appliquée : ici le champ électrique (E)

2.3.2 Conducteur, semi-conducteur, dopages

La résistance (en Ohms, Ω) d’un tube de longueur L , dont l’aire de la section est A_S , dans un matériau de conductivité σ est :

$$R = \frac{1}{\sigma} \cdot \frac{L}{A_S}$$

Nous allons expliquer succinctement le mode de conduction à la température ambiante dite normale et calculer la résistance d’un même tube de longueur L , d’aire de section A_S pour 4 types de matériau :

- un conducteur métallique,
- un semi-conducteur pur, le Silicium,
- du Silicium dopé N,
- du Silicium dopé P.

La charge de l’électron est q_e et la charge élémentaire est $q = |q_e|$ (voir la valeur des paramètres communs dans le tableau 2.1).

Dimensions	Charges	Température
$L = 10mm$ $A_S = 1mm^2$	$q = q_{tr} = -q_e = 0,16 aC \quad (a = 10^{-18})$	$T = 300K \quad \text{ou} \quad \theta = 27^\circ C$

TAB. 2.1 – paramètres communs

Conducteur

Supposons que le matériau utilisé soit un métal de densité atomique N_m et dans lequel la mobilité des électrons est μ_m . Supposons que chaque atome métallique fournisse un électron libre, ainsi la densité des électrons libres est $n_m = N_m$ (voir le tableau 2.2).

En résumé, pour un métal conducteur ($T = 300K$) un électron libre par atome métallique : $n_m = N_m$	
Technologie	Résistance
$N_m = 50 \cdot 10^{27} m^{-3}$ $\mu_m = 0,15 m^2 V^{-1} s^{-1}$	$R = \frac{1}{q \cdot n_m \cdot \mu_m} \cdot \frac{L}{A_S} \approx 8 \mu\Omega$

TAB. 2.2 – paramètres du conducteur

Semi-conducteur pur

Le Silicium (Si) à l'état solide est un *semi-conducteur*, il forme un cristal de structure tétraédrique. Il appartient à la colonne IV de la classification périodique des éléments. Chaque atome Si est ainsi relié à ses 4 plus proches voisins par l'intermédiaire des 4 électrons de sa couche périphérique.

Un semi-conducteur est isolant au froid absolu ($T = 0K$) c'est à dire qu'aucun électron n'y est libre. À la *température normale* : $T = 300K, \theta = 27^\circ C$ l'énergie fournie est telle que certains des électrons périphériques sont libres laissant autant d'atomes ionisés Si^+ . À son tour l'ion Si^+ peut capter l'électron d'un atome Si voisin. Le manque d'électron (l'ion Si^+) peut ainsi se déplacer comme l'ion e^- , et il peut être modélisé par un porteur libre : le trou tr^+ .

La densité atomique du Silicium cristallisé est N_{Si} . La densité de paires électrons-trous libres à la température normale est $n_i = p_i$. L'indice i signifie que le Silicium est pur (*intrinsèque*). n_i et p_i varient très fortement avec la température (voir la valeur de ces paramètres dans le tableau 2.3).

Dans un semi-conducteur il existe donc deux types de courant : un *courant d'électrons* et un *courant de trous*. Notons enfin que la charge du trou est égale à l'opposé de celle de l'électron : $q_{tr} = -q_e = q$.

En résumé, pour le Silicium intrinsèque ($T = 300K$) la densité des e^- libres est égale à celle des tr^+ libres : $n_i = p_i$	
Technologie	Résistance
$N_{Si} = 50 \cdot 10^{27} m^{-3}$ $n_i = p_i = 15 \cdot 10^{15} m^{-3}$ $\mu_n = 0,015 m^2 V^{-1} s^{-1}$ $\mu_p = 0,006 m^2 V^{-1} s^{-1}$	$R = \frac{1}{q \cdot n_i \cdot (\mu_n + \mu_p)} \cdot \frac{L}{A_S} \approx 200 M\Omega$

TAB. 2.3 – paramètres du Silicium pur

En utilisant les mêmes dimensions qu'au paragraphe 2.3.2 et les paramètres typiques d'une technologie CMOS $0,5 \mu m$ (voir le tableau 2.3), nous calculons la résistance du tube de Silicium pur.

Semi-conducteur dopé N

Le *dopage N* consiste à remplacer un certain nombre d'atomes de Silicium par des *atomes donneurs* en concentration N_D . Ces atomes possèdent 5 électrons sur leur couche périphérique. Ils appartiennent donc à la *colonne V* de la classification périodique des éléments.

Quatre des cinq électrons périphériques des atomes donneurs participent aux liaisons covalentes avec les 4 atomes de Silicium voisins. Il suffit d'une énergie très faible pour que le 5^e électron se libère. L'atome dopant de type N est ainsi un donneur (D) d'électron libre.

À $0K$ aucun atome du cristal de Silicium dopé n'est ionisé, il n'y a pas de porteur libre. À la température normale :

- certains atomes de Silicium s'ionisent, libérant chacun un électron et un trou libres appelés porteurs intrinsèques (même phénomène thermique que pour le Silicium pur),
- tous les atomes dopants s'ionisent, libérant chacun un électron et laissant chacun un atome fixe chargé positivement.

Le dopage de type N crée ainsi un déséquilibre entre les densités de porteurs libres :

- les porteurs *majotitaires* sont les électrons de densité : $n_N \approx N_D$,
- les porteurs *minotitaires* sont les trous de densité : $p_N \approx \frac{n_i^2}{N_D}$,

La densité de dopage N couramment utilisée pour les sources et les drains est typiquement : $N_D = N_S = 10 \cdot 10^{+24} m^{-3}$.

De même la densité de dopage N des substrats (Bulk, caisson) : $N_B = 150 \cdot 10^{+21} m^{-3}$.

Ceci est à comparer avec la concentration des porteurs intrinsèques : $n_i = p_i = 15 \cdot 10^{+15} m^{-3}$.

Rappelons enfin, la densité atomique du Silicium : $N_{Si} = 50 \cdot 10^{+27} m^{-3}$.

La *neutralité électronique* se vérifie en effectuant le bilan des charges :

- les charges positives sont :
 - les trous libres p_N ,
 - les atomes dopants ionisés fixes N_D .
- charges négatives sont :
 - les électrons libres n_N .

Dans les mêmes conditions qu'au paragraphe précédent nous calculons la résistance du tube de Silicium dopé N (tableau 2.4).

En résumé, pour le Silicium dopé N ($T = 300K$) les e^- sont majoritaires les tr^+ sont minoritaires : $n_N \approx N_D \gg p_N$	
Technologie	Résistance
$N_D = 70 \cdot 10^{21} m^{-3}$ $\mu_N = 0,015 m^2 V^{-1} s^{-1}$	$R \approx \frac{1}{q \cdot N_D \cdot \mu_N} \cdot \frac{L}{A_S} \approx 60 \Omega$

TAB. 2.4 – paramètres du Silicium dopé N

Semi-conducteur dopé P

Le *dopage P* consiste à remplacer un certain nombre d'atomes de Silicium par des *atomes accepteurs* en concentration N_A . Ces atomes possèdent 3 électrons sur leur couche périphérique. Ils appartiennent donc à la *colonne III* de la classification périodique des éléments.

Quatre places sont disponibles pour les liaisons covalentes de la maille élémentaire de Silicium. Les trois électrons périphériques des atomes accepteurs participent à ces liaisons. Il suffit d'une énergie très faible pour qu'un 4^e électron soit "emprunté" à un atome de Silicium voisin, qui se trouve ainsi ionisé Si^+ , c'est à dire transformé en trou libre. L'atome dopant de type P est ainsi un accepteur (A) d'électron, un donneur de trou libre.

À 0K aucun atome du cristal de Silicium dopé n'est ionisé, il n'y a pas de porteur libre. À la température normale :

- certains atomes de Silicium s'ionisent, libérant chacun un électron et un trou libres appelés porteurs intrinsèques (même phénomène thermique que pour le Silicium pur),
- tous les atomes dopants s'ionisent, produisant chacun un trou et laissant chacun un atome fixe chargé négativement.

Le dopage de type P crée ainsi un déséquilibre entre les densités de porteurs libres :

- les porteurs *majoritaires* sont les trous de densité : $p_P \approx N_A$,
- les porteurs *minoritaires* sont les électrons de densité : $n_P \approx \frac{n_i^2}{N_A}$,

Les ordres de grandeur des densités de dopage sont les mêmes que précédemment. La neutralité électronique se vérifie de la même manière que précédemment.

Dans les mêmes conditions qu'au paragraphe 2.3.2 nous calculons la résistance du tube de Silicium dopé P (tableau 2.5).

En résumé, pour le Silicium dopé P ($T = 300K$) les tr^+ sont majoritaires les e^- sont minoritaires : $p_P \approx N_A \gg n_P$	
Technologie	Résistance
$N_A = 70 \cdot 10^{21} m^{-3}$ $\mu_P = 0,006 m^2 V^{-1} s^{-1}$	$R \approx \frac{1}{q \cdot N_A \cdot \mu_P} \cdot \frac{L}{A_S} \approx 150 \Omega$

TAB. 2.5 – paramètres du Silicium dopé P

Notons que les deux dernières résistances sont dans le rapport inverse des mobilités.

Première conclusion : nous pouvons faire varier la résistance d'un matériau en y faisant varier la densité des porteurs libres. À la construction du matériau, et une fois pour toute, ceci est obtenu en ajustant la densité de dopage.

2.3.3 La jonction PN

L'interface entre deux zones semi-conductrices, l'une dopée N et l'autre dopée P, est appelée *jonction PN diode*. L'anode (A) correspond à la zone dopée P, la cathode (K) à la zone dopée N.

Mode de fonctionnement

Polarisation directe : si V_{PN} est **positive** la diode est **polarisée en direct** elle est **passante**, car un courant important la traverse (voir le modèle du courant).

Polarisation inverse : si V_{PN} est **négative** la diode est **polarisée en inverse** ou **bloquée**, car un courant extrêmement faible la traverse (voir le modèle du courant).

Modèle du courant

C'est le modèle de Shockley basé sur la modélisation du courant de diffusion :

$$I_j = A_j \cdot J_s \cdot \left(e^{\frac{V_{PN}}{u_{th}}} - 1 \right) \quad (2.1)$$

- l'aire de la jonction PN (l'interface P-N) : A_j
- la densité du courant de saturation inverse, caractéristique de la technologie :
 $J_s \approx 1 \text{ aA} \cdot \mu m^{-2}$
- le potentiel thermodynamique à $T = 300K$: $u_{th} \approx 26mV$

Rappelons l'équation : $J_s = q \cdot \left(\frac{D_n}{L_n} \frac{n_i^2}{N_A} + \frac{D_p}{L_p} \frac{n_i^2}{N_D} \right)$

- Charge élémentaire : $q = |q_{e^-}| \approx 0,16 \text{ aC}$
- Densité de paires $e^- tr^+$ dans le Si intrinsèque (pur) à 300 K : $n_i \approx 14,5 \cdot 10^{15} \text{ m}^{-3}$
- Densité de dopage N (donneurs, valeur typique) : $N_D = 10 \cdot 10^{21} \text{ m}^{-3}$
- Densité de dopage P (accepteurs, valeur typique) : $N_A = 10 \cdot 10^{24} \text{ m}^{-3}$
- Constante de diffusion des électrons dans le SiP : $D_n = \mu_n \cdot u_{th}$
- Constante de diffusion des trous dans le SiN : $D_p = \mu_p \cdot u_{th}$
- Longueur de diffusion (Debye) des électrons dans le SiP : L_n
- Longueur de diffusion (Debye) des trous dans le SiN : L_p
- Constante de Boltzmann : $k = 13,8 \cdot 10^{-24} \text{ J} \cdot \text{K}^{-1}$
- Température ambiante : $T \approx 300\text{K}$

Notons que :

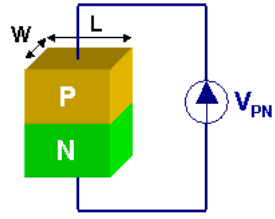
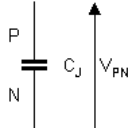
- en direct avec $V_{PN} \gg u_{th}$, le courant varie exponentiellement et nous obtenons un décuplement de l'intensité tout les 60mV : $I_{j(V_{PN}+60mV)} = 10 \cdot I_{j(V_{PN})}$,
- en inverse l'intensité est extrêmement faible et quasiment constante : $I_j \approx -A_j \cdot J_s$.

Seconde conclusion : la diode est bien un élément "actif", c'est à dire qui se comporte comme un interrupteur commandé et dont la caractéristique en courant, quand il existe, n'est pas simplement ohmique (résistive), mais ce n'est pas une transconductance, car le dipôle de commande est confondu au dipôle de sortie.

Modèle capacitif

Le modèle capacitif de la jonction ne sera ici présenté que pour la polarisation inverse car le transistor MOS est constitué de jonctions toutes polarisées à $V_{PN} \leq 0$ en mode de fonctionnement normal.

En polarisation inverse, il se forme autour de l'interface des deux zones dopées une région, appelée zone déserte, où la densité de porteurs libres est quasiment nulle. Elle se comporte comme un isolant qui constitue le diélectrique de la capacité équivalente C_j . L'épaisseur de la zone déserte $x_D = f(V_{PN})$ dépend de V_{PN} . Sa valeur est minimale pour $V_{PN} = 0V$ alors la valeur de la capacité est maximale.

En résumé, la jonction PN en inverse $V_{PN} \leq 0$		
Coupe technologique		Schéma équivalent
		
Dimensions	Technologie	Modèle
$A_j = W \cdot L$	$C'_{j0} = 0,8 fF \cdot \mu m^{-2}$	$C_j = A_j \cdot C'_{j0}$

TAB. 2.6 – paramètres d'une jonction PN en technologie CMOS 0,5 μm

Rappelons l'expression de la capacité surfacique à $V_{PN} = 0 \text{ V}$: $C'_{j0} = \sqrt{\frac{q \cdot \kappa_s \cdot \epsilon_0}{2 \cdot \Psi_0} \frac{1}{\frac{1}{N_A} + \frac{1}{N_D}}}$

- Constante diélectrique (permittivité relative) du silicium : $\kappa_s \approx 11,8$
- Permittivité du vide : $\epsilon_0 \approx 8,85 \text{ pF} \cdot \text{m}^{-1}$
- Potentiel interne d'une jonction PN : $\Psi_0 = u_{th} \cdot \ln \frac{N_A \cdot N_D}{n_i^2}$
valeur typique : $\Psi_0 \approx +0,9 \text{ V}$

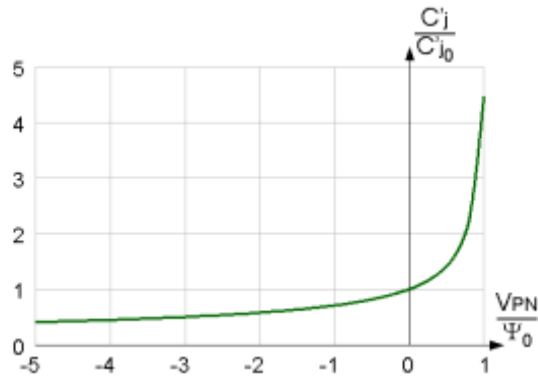


FIG. 2.3 – variation de la capacité en fonction de la polarisation

Rappelons l'expression de la capacité surfacique pour $V_{PN} < \Psi_0$: $Cj' = \frac{Cj_0'}{\sqrt{1 - \frac{V_{PN}}{\Psi_0}}}$

Cette équation est représentée par la courbe de la figure 2.3

2.4 Composants MOS

Les matériaux étudiés au paragraphe 2.3.2 nous permettent de créer des dipôles de résistance fixe une fois choisie leur technologie et déterminées leurs dimensions. Si un potentiel est appliqué à leurs bornes et qu'il ne produit pas un champ électrique trop élevé (environ $5MV \cdot m^{-1}$, soit $5V \cdot \mu m^{-1}$) la loi d'Ohm, $V = R \cdot I$, peut s'appliquer et permettre de calculer le courant traversant le dipôle c'est la première solution décrite ci dessous.

2.4.1 Première étape : la résistance

Dans un barreau de Silicium faiblement dopé N (Si N-), le *suBstrat B* (bulk en anglais), disposons deux prises de contact de Silicium fortement dopées N (Si N+) : la *source (S)* et le *drain (D)* (voir figure 2.4).

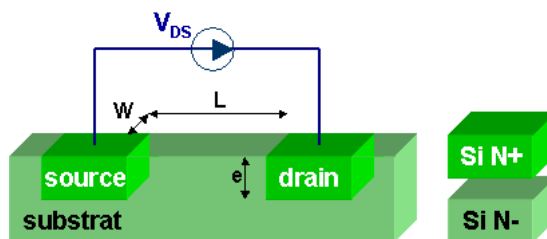


FIG. 2.4 – Résistance en technologie MOS

Ces 3 zones sont dopées de même type. Nous pouvons y faire circuler un courant formé majoritairement d'électrons qui s'écoulent de la source vers le drain, par conduction due au champ électrique longitudinal engendré par V_{DS} .

Les *dimensions* (la largeur W , la longueur L et l'épaisseur e) de la partie du substrat située entre D et S , et les paramètres technologiques du matériau dont est fait le substrat, déterminent la résistance équivalente R_{DS} ainsi que nous l'avons fait au paragraphe 2.3.2, et nous obtenons : $V_{DS} = R_{DS}I_{DS}$.

Nous n'avons pas de moyen externe au dipôle DS de commander l'intensité I_{DS} .

2.4.2 Seconde étape : la diode

Utilisons maintenant un substrat de Silicium faiblement dopé P (Si P-). Appliquons la même polarisation que précédemment (voir figure 2.5). Les deux diodes DS et DB sont respectivement polarisées l'une à 0V l'autre en inverse, aucun courant ne peut traverser ces dipôles.

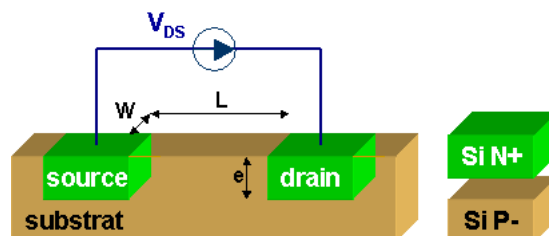


FIG. 2.5 – Diodes en technologie MOS

2.4.3 Troisième étape : le transistor bipolaire

Sur la structure précédemment décrite, où momentanément, nous appellerons la Source “Émetteur” (E), et le Drain “Collecteur” (C), créons une troisième connexion la “Base” (B), pour polariser en direct la jonction BE. Nous venons de construire un transistor bipolaire où la zone P la Base (B) : voir figure 2.6 commande le courant.

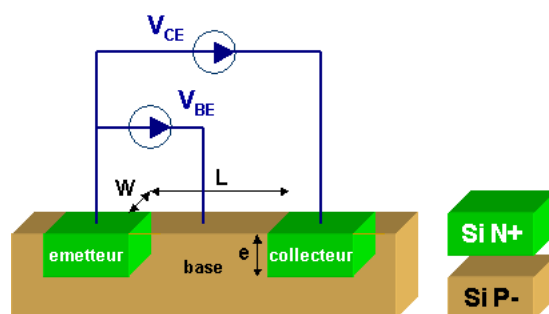


FIG. 2.6 – Transistor bipolaire en technologie MOS

La tension V_{BE} (quelques dixièmes de Volts) commande le courant de la jonction BE (en direct). Des électrons sont injectés massivement dans la Base où ils sont minoritaires. La tension V_{CE} (de quelques Volts à quelques dizaines de volts) est telle que la jonction BC est fortement polarisée en inverse, ce qui “détourne” les électrons du courant I_{BE} injectés dans la Base, vers le Collecteur et crée un courant I_{CE} entre Collecteur et Émetteur.

Nous avons réalisé un dispositif modulant le courant de sortie I_{CE} , par la tension d’entrée V_{BE} . Il s’agit bien d’une transconductance, malheureusement il existe un courant parasite (les trous de I_{BE}) en l’entrée (la base). L’étape suivante consiste à isoler cette entrée afin d’annuler l’intensité du courant parasite d’entrée.

2.5 Le transistor MOS

Quatrième étape : le transistor MOS

La quatrième étape consiste à faire croître, au-dessus de la partie du substrat (du Semi conducteur Si faiblement dopé P) comprise entre Source et Drain, une couche fine d’isolant : de la silice (Oxyde de Silicium, SiO_2). Sur cet isolant déposons une couche conductrice : du

Métal, comme dans le temps, ou du Silicium très fortement dopé donc poly-cristallin, appelé *polysilicium* (poly) tel que cela est fait maintenant. Appelons grille (G) la couche conductrice de polysilicium, et notons les initiales de ces 3 matériaux : MOS (voir figure 2.7).

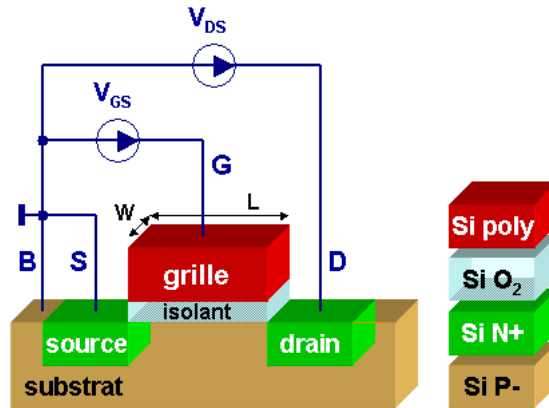


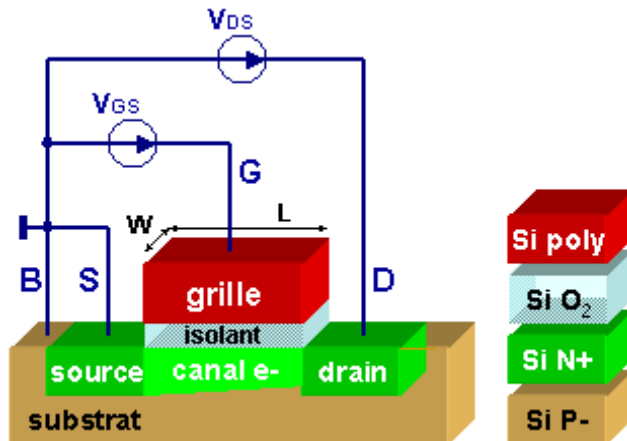
FIG. 2.7 – le transistor MOS

La structure grille-isolant-substrat est une *capacité MOS* formée de :

- un isolant :
 - d'épaisseur : t_{ox} ,
 - de permittivité relative : $\kappa_{ox} = 3,9$
 - de capacité surfacique : $C'_{ox} = \frac{\kappa_{ox} \cdot \epsilon_0}{t_{ox}}$
 - où la permittivité du vide est : $\epsilon_0 = 8,854 pF \cdot m^{-1}$
- entre deux plaques conductrices (armatures) : la Grille et le suBstrat.

2.5.1 Le fonctionnement des transistors CMOS

Le transistor MOS à canal N

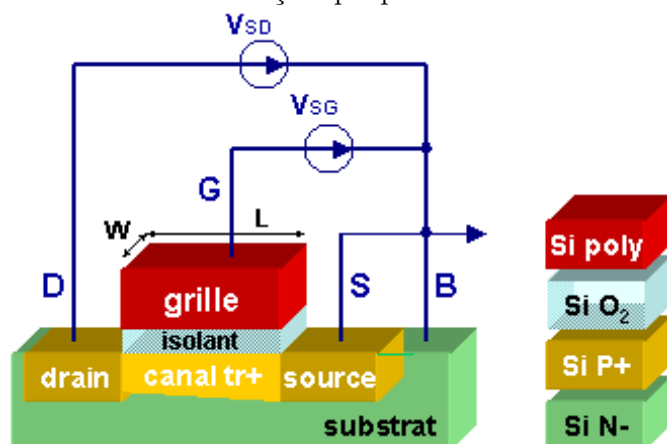


- V_{TN} est la *tension de seuil* du NMOS. Elle est caractéristique de la technologie dans laquelle le transistor est construit. Typiquement : $+0,2V < V_{TN} < +2V$
- Si $V_{GS} > V_{TN}$, le canal existe, le NMOS est passant.
- Si $V_{GS} \leq V_{TN}$, le canal n'existe pas, le NMOS est bloqué.

L'application d'une tension V_{GB} supérieure à V_{TN} aux bornes du condensateur C_{GB} entraîne l'apparition de charges positives sur la Grille et de charges de signe opposé (e^-) dans le substrat P. Une zone de type N, la *canal (zone d'inversion)*, apparaît ainsi dans le substrat P. Une pseudo continuité N existe entre la Source et le Drain. Les électrons du canal se déplacent de la Source vers le Drain par la conduction engendrée par le champ électrique longitudinal lui-même créé par V_{DS} . Il s'agit d'un transistor NMOS, c'est à dire un transistor MOS à canal N (canal d'électrons).

Le transistor MOS à canal P

Construisons le dual du transistor NMOS le transistor PMOS. Le substrat est faiblement dopé N (Si N-). Source et Drain sont fortement dopées P (Si P+). Isolant et Grille sont construits de la même façon que pour le NMOS.



- V_{TP} est la *tension de seuil* du PMOS. Elle est caractéristique de la technologie dans laquelle il est construit. Typiquement : $-2V < V_{TP} < -0,2V$
- Si $V_{GS} < V_{TP}$, le canal existe, le PMOS est passant.
- Si $V_{GS} \geq V_{TP}$, le canal n'existe pas, le PMOS est bloqué.

L'application d'une tension V_{GB} inférieure à V_{TN} aux bornes du condensateur C_{GB} entraîne l'apparition de charges négatives sur la Grille et de charges de signe opposé (tr^+) dans le substrat N. Une zone de type P, le *canal (zone d'inversion)*, apparaît ainsi dans le substrat N. Une pseudo continuité P existe entre la Source et le Drain. Les trous du canal se déplacent de la Source vers le Drain par la conduction engendrée par le champ électrique longitudinal lui même créé par V_{DS} . Il s'agit d'un transistor PMOS, c'est à dire un transistor MOS à canal P (canal de trous).

La technologie CMOS

Le C de CMOS veut dire Complémentaire. Une technologie CMOS est un procédé qui permet d'obtenir, dans un même monocristal (sur une même puce de Silicium), des transistors NMOS et des transistors PMOS. Le substrat d'une technologie CMOS est faiblement dopé P (nous pouvons y graver directement des NMOS). Le substrat N (pour graver les PMOS) est une zone faiblement dopée N (Si N-) : le caisson, dans le substrat (Si P-).

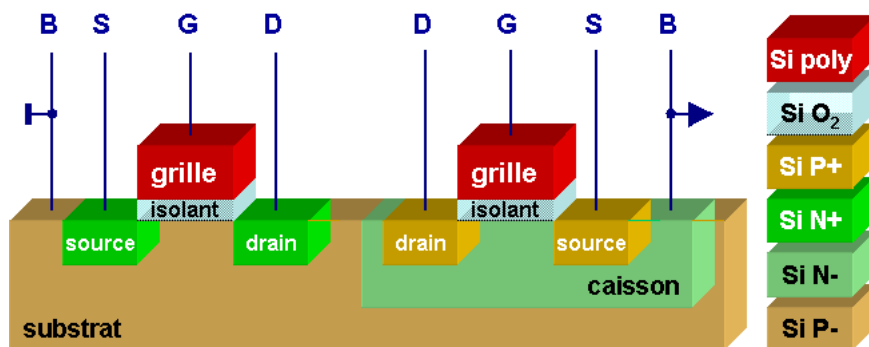
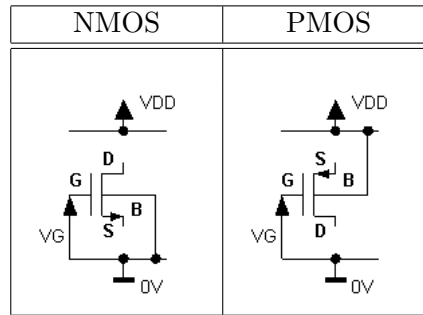


FIG. 2.8 – Coupe simplifiée d'une technologie CMOS

Troisième conclusion :

2.5.2 Connexions des transistors

- Le caisson dopé N- (le substrat B) des PMOS leurs est commun. Il est polarisé à la tension la plus positive du circuit : V_{DD} ,



TAB. 2.7 – Connexions des transistors CMOS

- Le substrat (B) dopé P- des NMOS leurs est commun. Il est polarisé à la tension la plus négative du circuit : $V_{SS} = 0V$ parfois $V_{SS} = -V_{DD}$,
- Le Drain (D) des transistors NMOS est toujours polarisé à une tension supérieure à celle de leur Source (S),
- Le Drain (D) des transistors PMOS est toujours polarisé à une tension inférieure à celle de leur Source (S).

2.6 Modèle électrique

Dans ce qui suit, nous nous efforcerons d'expliquer les phénomènes mis en jeu pour le cas du transistor NMOS. Nous n'élaborerons pas les équations, pour cela nous pouvons nous référer aux Leçons des modules SC ou PST, aux TD du module SC, ou à la bibliographie (voir 2.8). Pour le transistor PMOS nous nous contenterons de présenter les modèles.

2.6.1 Les jonctions

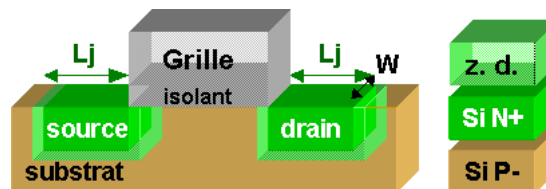


FIG. 2.9 – Jonctions DB et SB isolées

Les jonctions source-substrat (SB) et drain-substrat (DB) sont des diodes à polarisation nulle ou inverse. Il se développe donc de part et d'autre de l'interface N-P, une zone déserte (z. d.) qui les isole du reste du substrat.

Cependant un courant de fuite extrêmement faible mais non nul, circule au travers de ces jonctions. Ce courant peut-être non négligeable dans certaines applications comme le point mémoire d'une DRAM.

2.6.2 Formation du canal : la capacité MOS C_{GB}

Pour comprendre le phénomène de formation du canal d' e^- dans le substrat P entre source et drain, considérons la capacité MOS Grille-suBstrat C_{GB} évoquée au paragraphe 2.5. La grille et le substrat jouent le rôle des armatures conductrices du condensateur et l'isolant de grille celui du diélectrique. Nous allons étudier son comportement statique, c'est à dire pour des variations lentes de V_{GB} . Attention le modèle utilisé ici ne peut s'appliquer que pour le cas de la formation du canal.

La capacité surfacique de l'isolant est $C'_{ox} = \frac{\epsilon_0 \cdot \kappa_{ox}}{t_{ox}}$, où :

Coupe technologique		Modèle
Dimensions	Technologie	Capacité maximale
W	épaisseur de l'isolant de grille : $t_{ox} = 10nm$	$C_{GB} = W \cdot L \cdot C'_{ox}$
L	capacité surfacique de l'isolant de grille : $C'_{ox} = 3,5fF \cdot \mu m^{-2}$	

TAB. 2.8 – La capacité MOS C_{GB}

- constantes physiques :
 - permittivité du vide : $\epsilon_0 = 8,854pF \cdot m^{-1}$,
 - permittivité relative de l'isolant de grille (oxyde de silicium : SiO_2) : $\kappa_{ox} = 3,9$.
- paramètre technologique (CMOS $0,5\mu m$) :
 - épaisseur de l'isolant de grille : $t_{ox} = 10nm$.

L'application d'une tension V_{GB} sur les armatures du condensateur C_{GB} engendre l'apparition de charges en quantités de valeurs absolues égales :

- positives sur l'armature connectée au pôle + du générateur V_{GB} ,
- négatives sur l'armature opposée, connectée au pôle - du générateur. V_{GB}

Notons les valeurs particulières de V_{GB} caractéristiques de la technologie :

- V_{FB} typiquement : $-0,5V < V_{FB} < +0,5V$, la tension de "bande plate".
- V_{TN} typiquement : $+0,2V < V_{TN} < +2V$, la tension de seuil.

Étudions maintenant l'action de V_{GB} sur C_{GB} et sur la présence de porteurs libres.

Transistor bloqué : voir tableau 2.9

Désertion : $V_{FB} < V_{GB} \leq V_{TN}$	Inversion : $V_{GB} > V_{TN}$

TAB. 2.9 – Régimes de la capacité MOS

Une quantité Q_g de charges libres positives est injectée sur la grille. Une quantité Q_d

de charges négatives apparaît sur l'autre armature du condensateur C_{GB} dans le substrat Si P-. Ces dernières proviennent de la désertion des tr^+ majoritaires du substrat (charges libres positives) qui ont laissé les atomes accepteurs ionisés (A^-) fixes dans le monocristal. À cet endroit la densité de porteurs libres est donc nulle, c'est une zone déserte (z. d.). Nous disons que la couche de substrat sous l'isolant est en *régime de désertion*. Aucune continuité électrique n'est possible entre la source et le drain. Le transistor est bloqué.

Transistor passant (Canal créé) : voir tableau 2.9

Au-delà de V_{TN} , la tension V_{GB} injecte sur la grille une quantité Q_g de charges libres positives qui dans le substrat est compensée par :

- Q_d la *charge d'espace* (des atomes accepteurs ionisés A^- fixes) de la zone déserte,
- Q_i la *charge d'inversion* du canal (les électrons libres situés sous l'isolant de grille, dans la zone désertée par les trous).

Le canal est considéré comme formé, les électrons sont devenus majoritaires, et nous disons que la couche sous l'isolant est en *régime d'inversion*.

Modèle capacitif de C_{GB} : Nous obtenons entre Grille et suBstrat deux capacités en série : C_{GC} (entre Grille et Canal) et C_{CB} (entre canal et suBstrat). C_{GC} est une capacité dite "géométrique" de valeur fixe ($C_{GC} = C'_{ox} \cdot W \cdot L$). C_{CB} est une capacité dite "électrique" car sa valeur dépend de V_{GB} . La mesure du rapport $C_{GB}/C_{GC} = f(V_{GB})$ permet d'extraire les paramètres technologiques V_T et V_{FB} .

2.6.3 Le courant drain-source ($V_{GB} > V_{TN}$)

Le canal quand il existe, est un ensemble de charges libres mais statiques. Encore faut-il les entraîner par l'action du champ électrique longitudinal entre drain et source (produit par V_{DS}), pour obtenir un courant I_{DS} .

2.6.4 Le condensateur élémentaire

Le canal existe, et le courant drain-source I_{DS} est un courant de conduction formé par :

- les charges libres injectées par l'effet capacitif du condensateur C_{GB} polarisé par la tension V_{GB} ,
- le champ électrique E le long du canal et créé par V_{DS} (pour le canal NMOS : $V_D > V_S$).

Nous nous contenterons ici, de modéliser la quantité élémentaire de charges libres le long du canal, afin d'identifier les principaux régimes de conduction du transistor.

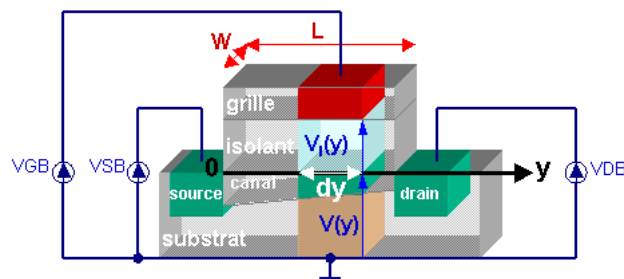


FIG. 2.10 – Condensateur élémentaire c_{gb}

2.6.5 Calcul de I_{DS}

Choisissons un axe $0y$ le long du canal partant de la source (où $y = 0$) vers le drain (où $y = L$). Considérons un condensateur élémentaire c_{gb} de dimensions $W \cdot dy$, situé à la distance y de la source.

L'armature supérieure du condensateur élémentaire est constituée d'une portion équivalente de la grille et l'armature inférieure d'une portion équivalente du canal. L'application de la tension V_{GB} engendre une différence de potentiel $V_I(y)$ aux bornes de l'isolant de grille. Rappelons que la couche d'inversion (le canal) est créée ($V_{GB} > V_{T_N}$), et que le bilan des densités de charges du condensateur élémentaire c_{gb} est :

- charges positives sur la grille élémentaire : dQ_g ,
- charges négatives dans le substrat :
 - ions dopants fixes (charge d'espace dans la zone déserte) : dQ_d ,
 - électrons libres du canal : dQ_i .
- $dQ_g = -dQ_d - dQ_i$

Calculons $dQ_i(y)$ la densité des charges d'inversion :

$$dQ_i(y) = -C'_{ox} \cdot W \cdot dy \cdot V_I(y).$$

Pour $V_{DS} \geq 0V$, $V_I(y)$ n'est pas constante le long du canal. En effet, si le potentiel est le même sur toute la surface de grille (l'armature supérieure de C_{GB}) la différence de potentiel V_{DS} le long du canal entre drain et source (l'armature inférieure) n'est pas nulle. Le canal n'est pas un conducteur, ce qui court-circuiterait drain et source, et en ferait un parfait interrupteur fermé.

Soit $V(y)$ le potentiel du substrat juste sous l'isolant, à la distance y de la source :

$$V_{GB} = V_I(y) + V(y).$$

$V(y)$ augmente au fur et à mesure que l'on se déplace de la source vers le drain. Soient V_{SB} le potentiel de la source et V_{DB} celui du drain :

- $V(y = 0) = V_{SB}$ près de la source,
- $V(y = L) = V_{DB}$ près du drain.

Ainsi la densité des électrons libres injectés dans le canal ($V_{GB} > V_{T_N}$) est elle :

- $dQ_i(y) = -C'_{ox} \cdot W \cdot dy \cdot [V_{GB} - V_{T_N} - V(y)]$ en y entre source et drain ($0 < y < L$),
- $dQ_i(y = 0) = -C'_{ox} \cdot W \cdot dy \cdot [V_{GB} - V_{T_N} - V_{SB}]$ près de la source ($y=0$),
- $dQ_i(y = L) = -C'_{ox} \cdot W \cdot dy \cdot [V_{GB} - V_{T_N} - V_{DB}]$ près du drain ($y=L$).

Lorsque y croît de 0 à L , $V(y)$ croît de V_{SB} à V_{DB} . Le facteur $[V_{GB} - V_{T_N} - V(y)]$ décroît, de même que $|dQ_i(y)|$.

Supposons que la densité des porteurs libres soit constante dans la couche d'inversion (le canal). La décroissance de $|dQ_i(y)|$ signifie que l'épaisseur du canal diminue de la source vers le drain.

Maintenant pour simplifier, nous imposons $V_S = 0V$. Alors $V_{GB} = V_{GS}$. La charge élémentaire d'inversion s'écrit :

$$\bullet \quad dQ_i(y) = -C'_{ox} \cdot W \cdot dy \cdot [V_{GS} - V_{T_N} - V(y)]$$

y varie de 0 à L et $V(y)$ varie de $0V$ à V_{DS} . $|dQ_i(y)|$ diminue bien de la source vers le drain.

Positionnons nous près du drain où $V(y = L) = V_{DS}$. Pour chaque V_{GS} il existe une valeur V_{DSsat} de V_{DS} telle que $dQ_i(y = L)$ s'annule, c'est à dire pour laquelle l'épaisseur du canal est nulle (pincement du canal) :

$$\bullet \quad dQ_i(y = L) = -C'_{ox} \cdot W \cdot dy \cdot (V_{GS} - V_{T_N} - V_{DSsat}) = 0 \Rightarrow V_{DSsat} = V_{GS} - V_{T_N}$$

$$\left. \begin{array}{l} dQ_i(y = L) = -C'_{ox} \cdot W \cdot dy \cdot (V_{GS} - V_{T_N} - V_{DSsat}) \\ dQ_i(y = L) = 0 \end{array} \right\} \Rightarrow V_{DSsat} = V_{GS} - V_{T_N} \quad (2.2)$$

V_{DSsat} est la *tension de pincement* ou *tension de saturation*, elle dépend de V_{GS} .

Régime quadratique : $V_{DS} < V_{GS} - V_{TN}$

Soient :

- $q = |q_e|$ la charge élémentaire (en C Coulomb),
- μ_{0N} la mobilité des électrons dans le canal (en $m^2 \cdot V^{-1} \cdot s^{-1}$),
- n la densité (constante) des électrons dans le canal (en m^{-3}),
- I_{DS} l'intensité (constante) du courant dans le canal (en A),
- $s(y)$ l'aire de la section du canal en y (en m^2),
- $J(y)$ la densité du courant dans le canal en y (en $A \cdot m^{-2}$),
- $E(y)$ le champ électrique longitudinal en y , du à $V(y)$ (en $V \cdot m^{-1}$).

Nous pouvons ainsi écrire :

- relation entre l'intensité et la densité de courant : $I_{DS} = s(y) \cdot J(y)$
- définition de la densité du courant de conduction : $J(y) = -n \cdot q \cdot \mu_{0N} \cdot E(y)$
- définition du champ électrique : $E(y) = -\frac{dV(y)}{dy}$
- report dans l'expression de I_{DS} : $I_{DS} = +n \cdot q \cdot \mu_{0N} \cdot s(y) \frac{dV(y)}{dy}$
- enfin : $I_{DS} \cdot dy = +n \cdot q \cdot \mu_{0N} \cdot s(y) \cdot dV(y)$

Explicitons la charge élémentaire d'inversion $dQ_i(y)$ en fonction des grandeurs définies plus haut :

- $dQ_i(y) = -n \cdot q \cdot s(y) \cdot dy = -C'_{ox} \cdot W \cdot dy [V_{GS} - V_{TN} - V(y)]$
- $\Rightarrow n \cdot q \cdot s(y) = C'_{ox} \cdot W \cdot [V_{GS} - V_{TN} - V(y)]$

Pour trouver I_{DS} nous intégrons le long du canal, c'est à dire pour y variant de 0 à L et pour $V(y)$ variant de 0V à V_{DS} :

- $I_{DS} \cdot dy = \mu_{0N} \cdot C'_{ox} \cdot W \cdot [V_{GS} - V_{TN} - V(y)] \cdot dV(y)$

Ce qui donne :

$$I_{DS} = \mu_{0N} \cdot C'_{ox} \cdot \frac{W}{L} \cdot \left(V_{GS} - V_{TN} - \frac{V_{DS}}{2} \right) \cdot V_{DS} \quad (2.3)$$

D'autre part, à l'aide de la tangente à l'origine de la caractéristique $I_{DS} = f(V_{DD}, V_{DS})$, pour $V_{GS} = V_{DD}$, nous définissons la résistance R_{DS0N} , qui nous sera utile dans le module ENI (voir le tableau 2.10).

Dans les tableaux suivant, nous utilisons les paramètres et les valeurs typiques d'une technologie CMOS 0,5 μm sur Silicium :

- le facteur de transconductance NMOS (propre à la technologie) : $k_n = \mu_{0N} \cdot C'_{ox}$
- le coefficient de conduction (propre au transistor) : $K_n = \frac{k_n W}{2 L} = \frac{\mu_{0N} \cdot C'_{ox} W}{2 L}$
- le coefficient de modulation de longueur de canal (transistor) : $\lambda \approx \frac{1}{V_E \cdot L}$ en V^{-1}
- la tension d'Early (technologie) : $V_E \approx 5MV \cdot m^{-1}$
- ainsi : $\frac{\Delta L}{L} = \lambda (V_{DS} - V_{DSsat})$ ou $\Delta L = \frac{V_{DS} - V_{DSsat}}{V_E}$
- la capacité surfacique de l'isolant de grille (technologie) : $C'_{ox} \approx 3,5fF \cdot \mu m^{-2}$
- la mobilité en surface des électrons (technologie) : $\mu_{0N} \approx 14,3 \cdot 10^{-3} m^{+2} V^{-1} s^{-1}$
- la tension de seuil (technologie) : $V_{TN} = +0,7V$

Régime de pincement : $V_{DS} = V_{DSsat} = V_{GS} - V_{TN}$

Lorsque $V_{DS} = V_{DSsat}$, l'épaisseur du canal est nulle au droit du drain (le point de pincement est en $y = L$). V_{DSsat} est la tension de saturation. Ce qui donne (tableau 2.11) :

$$I_{DS} = I_{DSsat} = \frac{\mu_{0N} \cdot C'_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TN})^2 \quad (2.4)$$

Coupe technologique	Caractéristique de sortie
Modèle	
$I_{DS} = \mu_{0N} \cdot C'_{ox} \cdot \frac{W}{L} \left(V_{GS} - V_{TN} - \frac{V_{DS}}{2} \right) V_{DS}$	
$R_{DS_{0N}} = \left[\frac{\partial I_{DS}}{\partial V_{DS}} \right]_{V_{GS}=V_{DD}, V_{DS} \rightarrow 0}^{-1} = \frac{L}{\mu_{0N} \cdot C'_{ox} \cdot W \cdot (V_{DD} - V_{TN})}$	

TAB. 2.10 – Transistor NMOS en régime quadratique

Coupe technologique	Caractéristique de sortie
Modèle	
$I_{DS_{sat}} = \frac{\mu_{0N} \cdot C'_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TN})^2$	

TAB. 2.11 – Transistor NMOS au pincement (point de saturation)

Régime de saturation : $V_{DS} > V_{DS_{sat}} = V_{GS} - V_{TN}$

Lorsque $V_{DS} > V_{GS} - V_{TN}$, le point de pincement se situe entre la source et le drain. Le transistor est saturé. Tous les électrons du canal sont happés par le fort champ électrique qui règne, le courant est à son maximum pour un V_{GS} donné, et n'augmente plus que faiblement avec V_{DS} (droites obliques en traits fins sur le graphe du tableau 2.12).

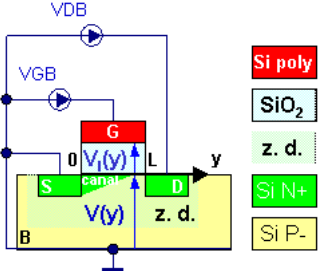
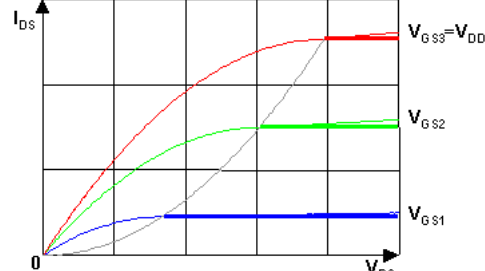
L'augmentation vient du fait que le canal est plus court :

- longueur du canal en régime quadratique ou au point de saturation : L
- longueur du canal en régime saturé : $L - \Delta L$
- ainsi le facteur W/L devient il : $\frac{W}{L} = \frac{W}{L - \Delta L} = \frac{W}{L} \frac{1}{1 - \frac{\Delta L}{L}} \approx \frac{W}{L} \left(1 + \frac{\Delta L}{L} \right)$

Nous supposons qu'entre le point de pincement et le drain, il n'y a aucune perte de porteur libre puisque la zone est déserte et qu'il n'y a ainsi aucune recombinaison.

Nous utiliserons deux modèles pour le régime saturé :

- modèle simple (non prise en compte de l'effet Early) : $I_{DS} = I_{DS_{sat}}$ (droites horizontales en traits gras sur le graphe du tableau 2.12)
- prise en compte de l'effet *Early* (droites obliques en traits fins sur le graphe du tableau 2.12)

Coupe technologique	Caractéristique de sortie
	
Modèle	
$I_{DS} = I_{DS_{sat}} = K_n \cdot (V_{GS} - V_{T_N})^2$ $I_{DS} = I_{DS_{sat}} (1 + \lambda (V_{DS} - V_{DS_{sat}}))$	

TAB. 2.12 – Transistor NMOS en régime saturé

2.6.6 Le courant I_{DS} en résumé

NMOS : voir la table 2.13. PMOS : voir la table 2.14. Attention la tension de seuil du transistor PMOS V_{T_P} est négative! (voir paragraphe 2.5.1).

Conditions	Régime	Courant
$V_{GS} \leq V_{T_N}$	$\forall V_{DS}$	bloqué $I_{DS} = 0$
$V_{GS} > V_{T_N}$	$V_{DS} < V_{DS_{sat}}$ $V_{DS_{sat}} = V_{GS} - V_{T_N}$	quadratique $I_{DS} = +2K_n \left(V_{GS} - V_{T_N} - \frac{V_{DS}}{2} \right) V_{DS}$
	$V_{DS} = V_{DS_{sat}}$	pincement $I_{DS_{sat}} = +K_n \cdot (V_{GS} - V_{T_N})^2$
	$V_{DS} > V_{DS_{sat}}$	saturé $I_{DS} = I_{DS_{sat}} (1 + \lambda_n (V_{DS} - V_{DS_{sat}}))$
$V_{GS} = V_{DD}$	$V_{DS} \approx 0$	Résistance équivalente $R_{DS_{0N}} = \frac{1}{2K_n \cdot (V_{DD} - V_{T_N})}$

TAB. 2.13 – Courant et résistance équivalente du NMOS

Conditions		Régime	Courant
$V_{GS} \geq V_{TP}$	$\forall V_{DS}$	bloqué	$I_{DS} = 0$
$V_{GS} < V_{TP}$	$V_{DS} > V_{DS_{sat}}$ $V_{DS_{sat}} = V_{GS} - V_{TP}$	quadratique	$I_{DS} = -2K_p \left(V_{GS} - V_{TP} - \frac{V_{DS}}{2} \right) V_{DS}$
	$V_{DS} = V_{DS_{sat}}$	pincement	$I_{DS_{sat}} = -K_p \cdot (V_{GS} - V_{TP})^2$
	$V_{DS} < V_{DS_{sat}}$	saturé	$I_{DS} = I_{DS_{sat}} \left(1 + \lambda_p (V_{DS} - V_{DS_{sat}}) \right)$
$V_{GS} = -V_{DD}$	$V_{DS} \approx 0$	Résistance équivalente	$R_{DS_{0P}} = \frac{1}{2K_p \cdot (-V_{DD} - V_{TP})}$

TAB. 2.14 – Courant et résistance équivalente du PMOS

2.6.7 La tension de seuil

La tension de seuil d'un transistor MOS est une donnée technologique pour $V_{SB} = 0V$, elle est notée V_{T0} . La tension de seuil augmente lorsque V_{SB} augmente. Si $V_{SB} > 0V$ la tension de seuil est notée V_T .

Soient les grandeurs suivantes :

- la densité de dopage du substrat : N_B (paramètre technologique en m^{-3}),
- la capacité surfacique de l'isolant de grille : C'_{ox} (paramètre technologique en $F \cdot m^{-2}$),
- la tension de bande plate : V_{FB} (paramètre technologique en V),
- la densité de paires électrons-trous libres dans le Silicium intrinsèque à $T = 300K$: n_i (constante physique du Si en m^{-3}),
- la permittivité du Silicium : ε_{Si} (constante physique du Si en $F \cdot m^{-1}$),
- le potentiel thermodynamique à $T = 300K$: $u_{th} = \frac{kT}{q}$ (constante physique en V),
- la charge élémentaire : q (constante physique en C Coulomb),
- le potentiel interne du substrat à l'inversion : $\Psi_B = 2 u_{th} \cdot \ln \frac{N_B}{n_i}$
(constante technologique en V , si le substrat n'était pas dopé, c'est à dire s'il était fait de Silicium intrinsèque, nous aurions : $N_B = n_i$ et $u_{th} \cdot \ln \frac{N_B}{n_i} = 0V$)
- le coefficient d'effet de substrat : $\gamma = \frac{\sqrt{2q \cdot N_B \cdot \varepsilon_{Si}}}{C'_{ox}}$ (constante technologique en \sqrt{V}),

Nous avons alors :

$$V_{T0} = V_{FB} + \Psi_B + \gamma \sqrt{\Psi_B} \quad (2.5)$$

$$V_T = V_{T0} + \gamma (\sqrt{\Psi_B - V_{BS}} - \sqrt{\Psi_B}) \quad (2.6)$$

Le plus souvent nous nous bornerons à utiliser le modèle graphique de la variation de V_T en fonction de V_{SB} , selon la courbe 2.11 obtenue pour les paramètres d'une technologie CMOS 0,5 μm . L'ordonnée à l'origine est V_{T0} .

Ce qui précède s'entend pour le transistor NMOS. En résumé l'évolution de la tension de seuil pour les 2 types de transistors est la suivante :

- transistor NMOS :
 - $V_{T0_N} > 0V$
 - $V_{BS_N} = 0V \Rightarrow V_{T_N} = V_{T0_N}$
 - $V_{BS_N} < 0V \Rightarrow V_{T_N} > V_{T0_N}$

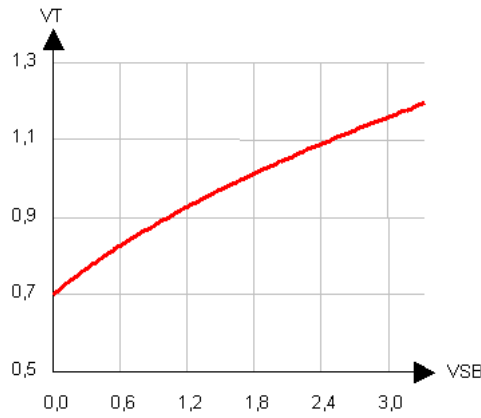


FIG. 2.11 – L'effet de substrat : $V_T = V_{T0} + f(V_{SB})$

- transistor PMOS :
 - $V_{T0P} < 0V$
 - $V_{BS_P} = 0V \Rightarrow V_{T_P} = V_{T0P}$
 - $V_{BS_P} > 0V \Rightarrow V_{T_P} < V_{T0P}$

2.6.8 Conclusion sur le courant I_{DS}

Le modèle du courant de sortie du transistor MOS que nous venons d'élaborer, est un ensemble de 3 équations correspondant à 3 régimes de fonctionnement. Lorsque le transistor est passant les équations dépendent de 3 variables électriques, les trois tensions aux bornes du transistor dont nous avons pris la Source comme référence : $I_{DS} = f(V_{GS}, V_{BS}, V_{DS})$

2.6.9 Modélisation des capacités

Les jonctions

Les *jonctions* source-substrat (SB) et drain-substrat (DB) sont des diodes à polarisation nulle ou inverse. Il se développe donc de part et d'autre de l'interface N-P une zone déserte qui les isole du reste du substrat. Cette zone joue le rôle du diélectrique d'un condensateur (voir paragraphe 2.3.3. Ce diélectrique est du silicium déserté, dont la capacité surfacique maximale est C'_{j0} (paramètre technologique).

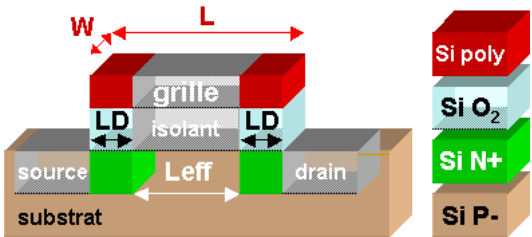
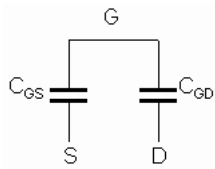
Coupe technologique		schéma équivalent
Dimensions	Technologie	Modèle
W L_j	$C'_{j0} = 0,8 fF \cdot \mu m^{-2}$	$C_{jS} = C_{jD} = W \cdot L_j \cdot C'_{j0}$

TAB. 2.15 – Capacités des jonctions du NMOS

Les capacités de débordement (recouvrement)

Les zones de source et de drain sont obtenues par implantation ionique des dopants dans le substrat. Sous l'effet de la température du recuit, qui a pour objectif de réorganiser la maille cristalline, les atomes dopants ont tendance à migrer sous la grille, qui leur préexiste. Ainsi les zones conductrices de source et de drain, débordent-elles sous l'isolant de grille, constituant l'armature inférieure de deux capacités d'oxyde dont l'armature supérieure, commune, est le polysilicium de grille (voir figure 2.16).

La longueur de débordement LD est une caractéristique de la technologie, elle est de l'ordre de quelques dizaines de nm.

Coupe technologique		schéma équivalent
		
Dimensions	Technologie	Modèle
W L_D	$C'_{ox} = 3,5 fF \cdot \mu m^{-2}$ $L_D = 60 nm$	$C_{GSr} = C_{GD r} = W \cdot L_D \cdot C'_{ox}$

TAB. 2.16 – Capacités des jonctions du NMOS

La capacité grille-substrat

Au paragraphe 2.6.2, nous avons utilisé un modèle statique simple de C_{GB} propre à la formation du canal. Le comportement de la capacité MOS, du fait des différents régimes de concentration de porteurs libres sous l'isolant, et de leur non-équirépartition le long du canal, est plus complexe. Le tableau 2.17 fait le bilan d'un modèle comportemental.

Suivant le régime de fonctionnement du transistor, la capacité C_{GB} existe, ou se trouve "reportée" en deux capacités, l'une grille-source et l'autre grille-drain. Celles-ci se retrouvent alors en parallèle avec les capacités de recouvrement, C_{GSr} et $C_{GD r}$, que nous avons étudiées précédemment. Ci-dessous nous appelons C_G la valeur maximale de C_{GB} qui est égale à $C_G = W \cdot L \cdot C'_{ox}$.

Régime	C_{GB}	C_{GS}	C_{GD}
bloqué	C_G	C_{GSr}	$C_{GD r}$
quadratique	0	$\frac{C_G}{2} + C_{GSr}$	$\frac{C_G}{2} + C_{GD r}$
saturé	0	$\frac{2 \cdot C_G}{3} + C_{GSr}$	$C_{GD r}$

TAB. 2.17 – Bilan des capacités de grille du NMOS

2.6.10 Schéma du modèle

Dans la figure 2.12

- en rouge les capacités dont le diélectrique est de l'oxyde de silicium et dont la capacité surfacique est C'_{ox} ,
- en vert les capacités dont le diélectrique est la zone déserte de l'interface NP d'une jonction (diode) et dont la capacité surfacique est C'_{j0} ,

- en noir la capacité C_{GB} qui est la mise en série de deux capacités de types différents (voir la conclusion du paragraphe 2.6.2).

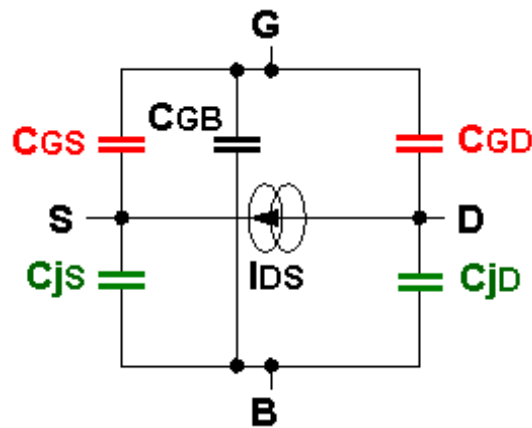


FIG. 2.12 – Schéma du modèle

2.7 Caractéristiques de la technologie CMOS

2.7.1 Intégrabilité

Les premiers circuits intégrés (numériques et analogiques) utilisaient des technologies bipolaires. Ce type de transistor est plus efficace en terme de transconductance et de vitesse. La technologie CMOS a pourtant très vite envahi l'électronique intégrée à cause des faibles dimensions de ces transistors et de la simplicité de sa technologie. Nous allons l'illustrer par deux observations.

- À polarisation normale toutes les jonctions PN dont nous avons déjà parlé : substrat-caisson, source-substrat et drain-substrat, sont en inverse. Il se développe donc une zone déserte isolante autour de l'interface PN. D'autre part, la tension V_{FB} est ajustée par le technologue, pour qu'à $V_{GS} = 0$, la zone sous l'isolant de grille soit déserte. Ainsi une zone isolante entoure-t-elle normalement les transistors dans leur substrat. Cette auto-isolation électrique évite, la plupart du temps, au technologue d'avoir à construire une isolation matérielle autour des transistors.
- Le canal est un phénomène de surface et non de volume (la mobilité des porteurs μ_0 , utilisée ici, est la mobilité en surface). La construction du MOS proprement dit, se fait, en "un étage" diffusion dans le substrat des dopants de source et de drain, et dépôt de l'isolant de grille (épaisseur 10nm). Les "étages supérieurs" séparés par l'isolant de champ (épaisseur 500nm) sont réservés aux interconnexions.

2.7.2 Diminution des géométries "scaling down"

Lorsque nous parlons d'une technologie CMOS $0,5\mu m$, cela veut dire que la plus petite longueur de grille possible dans cette technologie est $L_{min} = 0,5\mu m$. De même sont spécifiées par le technologue (le fondeur) la largeur minimale de la grille $W_{min} = 1,5\mu m$, (c'est aussi la largeur des jonctions SB et DB) et la longueur minimale de jonction $L_{jmin} = 1,5\mu m$. W_{min} et L_{jmin} sont souvent plus grandes que L_{min} car les contacts S et D se prennent au dessus des jonctions et c'est l'encombrement des contacts qui devient critique.

Le concepteur de circuits au niveau transistor, est libre de choisir ces 3 dimensions (W , L et L_j) à conditions de respecter les valeurs minimales. Ce sont des paramètres de conception.

En électronique numérique, dans la grande majorité des cas, le concepteur laisse L et L_j aux dimensions minimales et ne joue, pour obtenir les performances spécifiées, que sur la valeur de W .

L'épaisseur de l'isolant de grille t_{ox} est aussi une donnée technologique dimensionnelle de même que la longueur de débordement L_D . Ce sont toutes ces dimensions (L_{min} , W_{min} , $L_{j_{min}}$, L_D , t_{ox}) que le technologue essaie de diminuer afin d'améliorer à la fois la densité d'intégration, mais aussi les performances de sa technologie.

Notons enfin que le technologue doit diminuer, dans les mêmes proportions que précédemment, la valeur des tensions d'alimentation afin de ne pas dépasser le champ électrique critique applicable aux isolants.

Un bon exercice de compréhension consiste à exprimer, en fonction du coefficient de diminution géométrique ($k_w > 1$), pour une technologie CMOS $L\mu m$ et une technologie CMOS $\frac{L\mu m}{k_w}$:

- la résistance équivalente du transistor "fermé" (R_{DS_0}),
- la somme des capacités connectées sur le drain (C_s),
- la somme des capacités connectées sur la grille (C_e),
- la constante de temps ($\tau = R_{DS_0} \cdot (C_s + C_e)$),
- la consommation dynamique due à une charge (de 0 à V_{DD}) ou à une décharge (de V_{DD} à 0) de la capacité $C_t = C_s + C_e$ au travers d'un transistor.

2.8 Bibliographie

- Yuhua CHENG and Chenming HU, *MosFet modeling and Bsim3 user's guide*, Kluwer Academic Publishers, 1999.
- Ross Bassett *New technology, new people, new organization : the rise of the MOS transistor, 1945-1975*, Ph.D. dissertation, North Carolina State University, 1998.
- Jan RABAEY *Digital Integrated Circuits, a design perspective*, Prentice Hall International Editions, 1996.
- Yannis TSIVIDIS *Operation and modeling of the MOS transistor*, Mac Graw Hill Book Company, 1987.
- André VAPAILLE and René CASTAGNÉ *Dispositifs et Circuits Intégrés Semiconducteurs*, Éditions Dunod, 1987.
- Neil WESTE and Kanrar ESHRAGHIAN *Principles of CMOS VLSI Design*, Addison Wesley Publishing, 1985.
- S. M. SZE *Physics of Semiconductors Devices*, Wiley Interscience Publication, 1981.

Chapitre 3

Amplification

3.1 Introduction

La fonction amplification analogique a souvent été la première fonction réalisée en électronique quelques soient les technologies utilisées (tube, transistor bipolaire, circuit intégré).

Cette fonction élémentaire constitue souvent le circuit d'entrée de nombreux traitements de signal plus globaux, qu'ils soient analogiques ou numériques (filtrage, modulation, démodulation, conversion analogique numérique, communication radio...). En effet l'amplification permet d'adapter le signal entrant souvent de très faible puissance, aux caractéristiques des circuits en aval.

Aujourd'hui la réalisation de l'amplification analogique est :

- soit intégrée aux circuits mixtes de traitement (mixte = analogique et numérique dans un même circuit),
- soit sous forme d'un composant amplificateur opérationnel discret standard.

L'amplificateur est souvent dédié à une grande classe de signaux électriques caractérisés (par exemple) par la fréquence :

- instrumentation ($f =$ quelques dizaines de Hz),
- audio ($f =$ quelques dizaines de kHz),
- vidéo ($f =$ quelques dizaines de MHz),
- radio ($f =$ quelques dizaines de GHz),

... et/ou par l'amplitude de la tension du signal à traiter :

- amplificateur faible signal faible bruit ($|V_e| \approx$ quelques μV),
- préamplificateur ($|V_e| \approx$ quelques mV),
- amplificateur de puissance ($|V_e| \approx$ quelques dizaines de V).

Les caractéristiques du circuit d'amplification sont optimisées pour chaque type de performances, chaque type d'implantation, chaque type de coût, de consommation...

3.2 Organisation de la leçon

Nous allons répondre aux questions suivantes :

- Quel type de traitement d'information est l'amplification linéaire ?
- Comment fonctionne l'amplificateur élémentaire ?
- Quels problèmes pose l'utilisation d'un transistor réel : le MOS ?
- Par quels types d'analyse allons nous modéliser ces problèmes ?
- De quels types d'amplificateurs et de quels montages avons nous besoin ?
- Comment est construit un amplificateur standard ?
- Comment construire chacun de ces étages avec des transistors MOS ?
 - Étage intermédiaire : amplificateur source commune,
 - Étage intermédiaire : amplificateur miroir de courant,
 - Étage d'entrée : amplificateur différentiel (hors programme).

3.3 Signal et information

Dans la très grande majorité des systèmes de traitement, l'information est portée par la variation d'un signal électrique. Ce signal peut être un courant, une tension, une quantité de charge, un champ électrique ou magnétique. . . La variable porteuse d'information peut être l'amplitude, la fréquence, ou la phase. . .

Afin de simplifier l'exposé, nous supposons que l'information est portée par la variation de l'amplitude de la tension du signal électrique. L'objectif de l'amplification est donc, dans ce cas, d'augmenter l'amplitude de la tension du signal sans la déformer.

3.4 Amplificateur élémentaire

Comment augmenter l'amplitude de la tension d'un signal ? La technique utilisée est de moduler, à l'aide d'un transistor, l'intensité du courant délivré par une alimentation continue et de faire circuler ce courant dans une résistance afin de récupérer une modulation de tension (circuit de la figure 3.1).

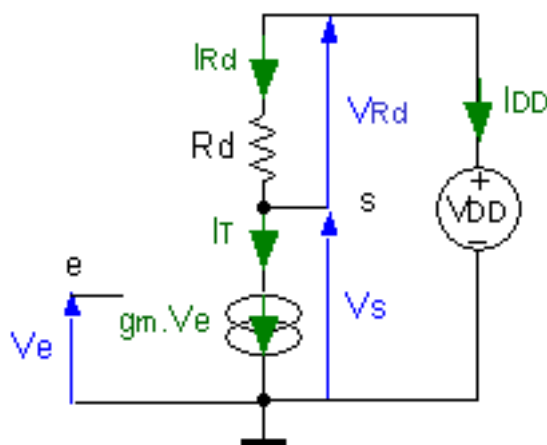


FIG. 3.1 – Amplificateur élémentaire

3.4.1 Modélisation

Identifions les éléments du circuit et leur modèle :

- Alimentation continue V_{DD} : $\frac{\partial V_{DD}}{\partial t} = 0 \quad \forall I_{DD}$
- Résistance Rd (loi d'Ohm) : $V_{Rd} = Rd \cdot I_{Rd}$
- Transistor : $I_T = g_m \cdot V_e \quad \forall I_{DD}, \forall V_s, \forall V_e$

Le modèle du transistor est un quadripôle linéaire constitué de :

- dipôle de sortie : source de courant dépendante linéairement de la tension d'entrée V_e ,
- dipôle d'entrée : prélèvement de la tension d'entrée V_e .

Ce type de quadripôle est appelé une transconductance idéale.

Les 2 lois de Kirschhoff nous permettent d'écrire :

- $I_T = I_{Rd} = -I_{DD}$
- $V_{DD} = Rd \cdot I_{Rd} + V_s$

Ainsi :

$$V_{DD} = Rd \cdot I_T + V_s = g_m \cdot Rd \cdot V_e + V_s \quad (3.1)$$

3.4.2 Fonction de transfert : $V_s = f(V_e)$

À partir de l'équation 3.1, il vient :

$$V_s = V_{DD} - g_m \cdot R_d \cdot V_e \quad (3.2)$$

3.4.3 Excursion maximale

Attention :

$$\begin{aligned} V_e \geq V_{e_{max}} = \frac{V_{DD}}{g_m \cdot R_d} &\Rightarrow I_{T_{max}} = \frac{V_{DD}}{R_d} \Rightarrow V_s = V_{s_{min}} = 0 \\ V_e \leq V_{e_{min}} = 0 &\Rightarrow I_{T_{min}} = 0 \Rightarrow V_s = V_{s_{max}} = V_{DD} \end{aligned} \quad (3.3)$$

Nous venons ainsi de définir l'excursion maximale de V_e et de V_s .

3.4.4 Graphe de ces fonctions

Dans le plan $I_T = f(V_s)$ à partir de l'équation 3.2 nous calculons la caractéristique de sortie du circuit :

$$I_T = \frac{V_{DD}}{R_d} - \frac{V_s}{R_d} \quad (3.4)$$

L'expression 3.4 est l'équation de la "droite de charge" :

- Ordonnée à l'origine, pour $V_s = V_{s_{min}} = 0V$: $I_{T_{max}} = \frac{V_{DD}}{R_d}$
- Abscisse à l'origine, pour $I_T = I_{T_{min}} = 0$: $V_{s_{max}} = V_{DD}$

Sur le même graphe (figure 3.2) nous traçons la transconductance du transistor : $I_T = f(V_e)$.

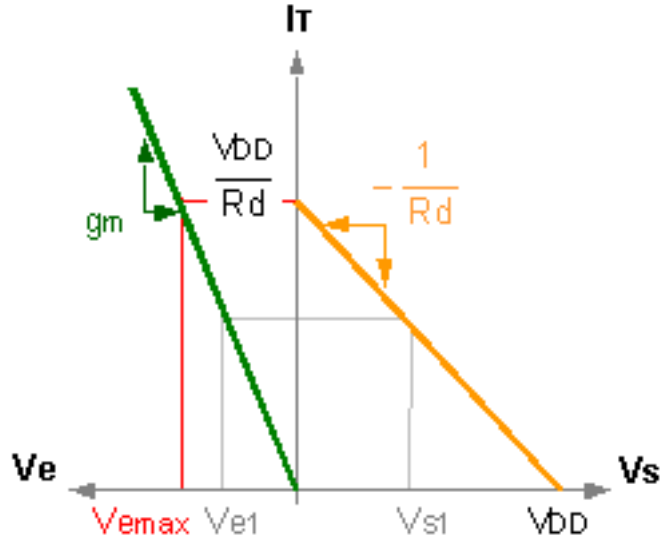


FIG. 3.2 – transconductance idéale et droite de charge

Ainsi pour toute tension d'entrée V_{e1} , nous pouvons, par projection sur la droite de transconductance idéale, en déduire le courant I_{T1} , puis, par projection sur la droite de charge, la tension de sortie V_{s1} . C'est une méthode graphique pour retrouver la fonction de transfert 3.2.

Dans le plan $V_s = f(V_e)$ (figure 3.3) à partir des équations 3.1 et 3.2 nous traçons la fonction de transfert.

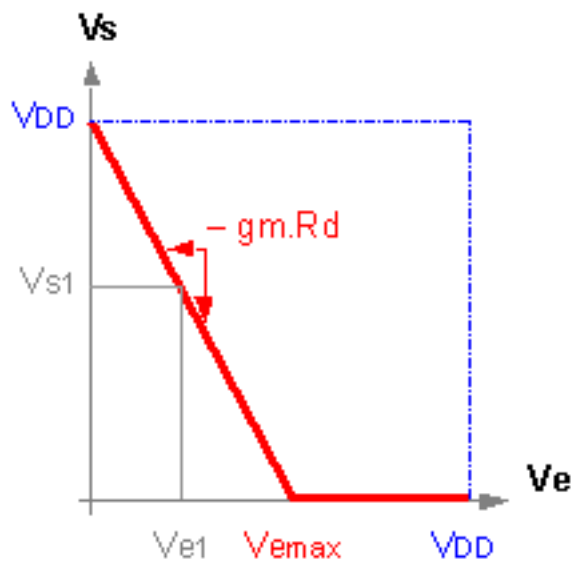


FIG. 3.3 – Fonction de transfert

3.4.5 Amplification et gain en tension

Nous définissons le gain en tension en ne nous intéressant qu'aux variations (modulations) :

- $G = \frac{\partial V_s}{\partial V_e} = -g_m \cdot R_d$

Ce qui est la pente du graphe de la fonction de transfert à l'intérieur de l'excursion permise (voir la figure 3.3).

3.4.6 Classe A

Le problème du circuit précédent est qu'il lui est impossible d'amplifier les 2 alternances d'un signal variable de type :

- $V_e = v_e \cdot \sin(\omega t)$

En effet, ainsi que montré au paragraphe 3.4.3 :

- $V_e \leq 0 \Rightarrow V_s = V_{DD}$

Pour amplifier les 2 alternances de V_e il faut superposer une composante continue à la composante variable telle qu'en entrée nous ayons :

- $V_e = V_{E0} + v_e \cdot \sin(\omega t)$

De manière à avoir en sortie :

- $V_s = V_{S0} - v_s \cdot \sin(\omega t)$ avec $V_{S0} = \frac{1}{2}V_{DD}$ et $I_{T0} = \frac{V_{DD}}{2R_d}$

Ce type de polarisation et d'amplification s'appelle la Classe A. Son inconvénient majeur est sa consommation statique (sans signal variable en entrée donc sans signal variable en sortie) : $P_0 = V_{DD} \cdot I_{T0}$.

3.4.7 Premières conclusions

L'analyse électrique du montage élémentaire idéal montre que :

- la valeur minimale de la tension de sortie est limitée à la tension du pôle négatif de l'alimentation (souvent la masse : $V_{SS} = 0V$),

- la valeur maximale de la tension de sortie est limitée à la tension du pôle positif de l'alimentation ($V_{DD} > 0V$),
- l'excursion de la tension d'entrée $[V_{e_{min}}, V_{e_{max}}]$ garantissant une amplification linéaire (sans déformation) est d'autant plus faible que le gain est fort,
- l'amplification identique des alternances positive et négative d'un signal variable, nécessite une polarisation en classe A.

3.5 Utilisation d'un transistor MOS

L'utilisation d'un transistor MOS impose que celui-ci soit en régime passant et saturé, régime dans lequel ses caractéristiques ressemblent le plus à celles d'une transconductance idéale. Or même dans ce régime, la caractéristique du courant I_{ds} du MOS :

- Possède un seuil : V_T
- N'est pas linéaire : $I_{ds} = K \cdot (V_{gs} - V_T)^2$
- Ne dépend pas que de V_{gs} mais aussi de :
 - V_{ds} : $I_{ds} = K(V_{gs} - V_T)^2(1 + \lambda(V_{ds} - V_{ds_{sat}}))$
 - V_{bs} : $V_T = V_{T0} + f(V_{bs})$

Toutes ces caractéristiques vont influencer sur la linéarité, l'excursion d'entrée et de sortie (analyse grand signal), le gain (analyse linéaire)...

Le coefficient de conduction K , propre au transistor, contient ses dimensions : $K = \frac{k}{2} \frac{W}{L}$. Ainsi les caractéristiques telles le gain (analyse linéaire), les coordonnées du point M_0 de fonctionnement (analyse statique), sont elles dépendantes du choix de ses dimensions.

Enfin le transistor MOS possède des capacités parasites dépendantes des ses dimensions et qui vont influencer sur la réponse en fréquence (analyse harmonique).

3.5.1 Quels types d'analyse ?

Chacun des 4 types d'analyse a pour objectif d'identifier, de modéliser et de quantifier des paramètres de performance.

Analyse grand signal

Les paramètres à identifier sont :

- fonction de transfert,
- excursion maximale d'entrée et de sortie,
- taux de distorsion harmonique (linéarité),
- M_0 : point de fonctionnement (polarisation en classe A et MOS en régime saturé).

Analyse statique (continue, polarisation, repos)

Les paramètres à identifier sont les coordonnées du point M_0 : tensions ($V_{GS0}, V_{DS0}, V_{BS0}$), courant (I_{DS0}).

Analyse linéaire (petit signal)

Dans le plan du graphe de la fonction à linéariser, la démarche consiste en (figure 3.4) :

- la transposition des axes de l'origine (xOy) au point M_0 ($x'M_0y'$) définit plus haut,
- la linéarisation locale du graphe en ce même point : pour une faible variation Δx autour de x_0 , nous assimilons la portion de courbe décrite au segment de tangente à la courbe au point M_0 .

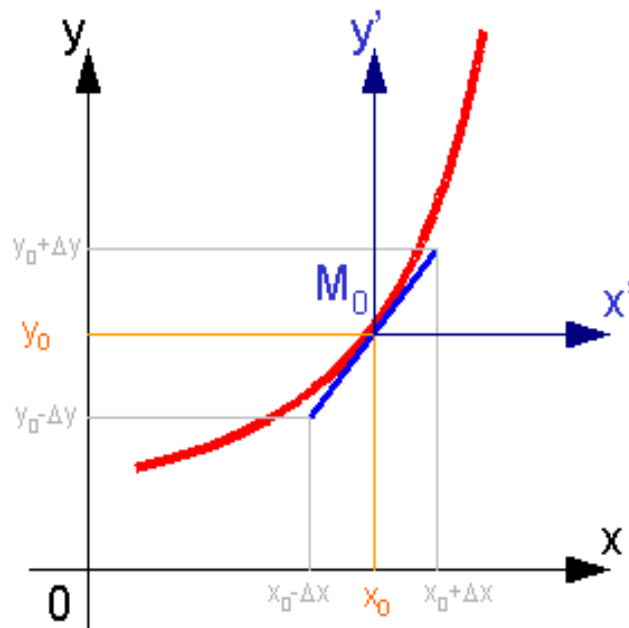


FIG. 3.4 – linéarisation locale

Ainsi, à partir de l'équation du courant I_{DS} nous calculons la valeur des paramètres linéaires du transistor MOS (voir en annexe 3.15.1).

L'objectif de l'analyse linéaire est d'obtenir un modèle de l'amplificateur sous forme d'un quadripôle linéaire unilatéral selon le schéma de la figure 3.5.

- Le dipôle d'entrée est constitué du prélèvement de la tension V_e sous une résistance R_e .
- Le dipôle de sortie est constitué d'un dipôle de type Thévenin avec une résistance de sortie R_s et une tension de sortie à vide $G \cdot V_e$.

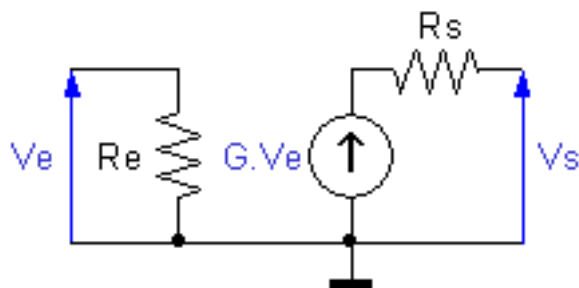


FIG. 3.5 – modèle linéaire de l'amplificateur

Les paramètres linéaires de l'amplificateur :

- la gain en tension à vide : G
- la résistance d'entrée : R_e
- la résistance de sortie : R_s .

Analyse harmonique

La démarche consiste à faire une analyse linéaire avec prise en compte des impédances complexes (essentiellement les capacités).

Les paramètres obtenus sont :

- module et phase de la fonction de transfert complexe (gain en tension complexe),
- fréquences de coupure,
- bande passante
- fréquence de transition.

Analyses grand signal et harmonique permettent d'évaluer les limites du modèle linéaire.

3.6 Types d'amplificateur

Avant d'aller plus loin dans l'analyse de circuits CMOS d'amplification, nous allons voir de quels types d'amplificateurs nous avons besoins et quelles doivent être leurs caractéristiques principales.

Nous rencontrerons principalement 2 types d'amplificateur opérationnel :

- amplificateur tension-tension ou amplificateur opérationnel : AO :
 $V_s = G_0 \cdot V_e$,
- amplificateur tension-courant ou amplificateur de transconductance opérationnel : OTA :
 $I_s = Gm_0 \cdot V_e$.

Ils sont réalisés soit sous forme de composant isolé (composant discret) soit à l'intérieur d'un circuit intégré réalisant une fonction plus complexe.

3.7 L'amplificateur opérationnel

Dans cet exemple l'amplificateur opérationnel est "alimenté en symétrique" : $+V_{DD}$, $-V_{DD}$, avec un point milieu à la masse (voir la figure 3.6).

La différence de tension entre l'entrée + et l'entrée - est appelée la tension différentielle d'entrée : $ed = V_{e+} - V_{e-}$. La tension de sortie est s .

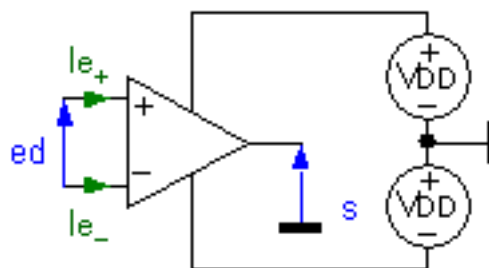


FIG. 3.6 – amplificateur opérationnel

3.7.1 Courants d'entrée

Idéalement, et ceci est quasiment vrai avec des AO dont les transistors d'entrée sont des MOS : $I_{e+} = I_{e-} = 0$

3.7.2 Gain différentiel en tension, excursion

La tension de sortie ne peut excéder les tensions d'alimentation. Ainsi nous identifions 3 zones de fonctionnement :

$$\begin{aligned} -\frac{V_{DD}}{G_0} < e_d < +\frac{V_{DD}}{G_0} &\Rightarrow s = G_0 \cdot e_d \\ e_d \leq -\frac{V_{DD}}{G_0} &\Rightarrow s = -V_{DD} \\ e_d \geq +\frac{V_{DD}}{G_0} &\Rightarrow s = +V_{DD} \end{aligned}$$

Pour être en régime linéaire :

- l'excursion d'entrée doit donc être : $-\frac{V_{DD}}{G_0} < e_d < +\frac{V_{DD}}{G_0}$
- et nous obtenons l'excursion de sortie : $-V_{DD} < s < +V_{DD}$

3.7.3 Fonction de transfert

La fonction de transfert, $s = f(ed)$ typique d'un amplificateur opérationnel de tension présente l'allure de la figure 3.7.

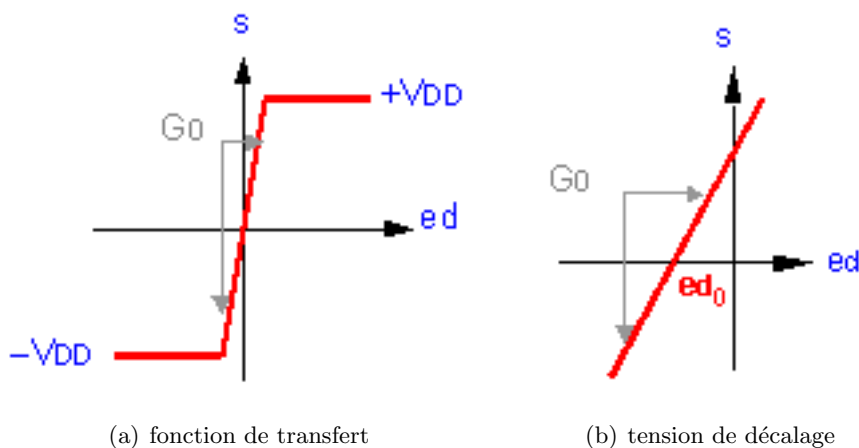


FIG. 3.7 – fonction de transfert de l'AO

3.7.4 Tension de décalage

La tension de décalage ed_0 est un défaut de l'amplificateur, c'est la tension qu'il faut appliquer en entrée pour obtenir une tension de sortie nulle (figure 3.7).

$$ed = ed_0 \Rightarrow s = 0 \quad (3.5)$$

3.8 La contre réaction

Le but de la contre réaction est :

- l'amélioration de la linéarité,
- l'augmentation de la bande passante,
- la diminution de la dispersion des performances.

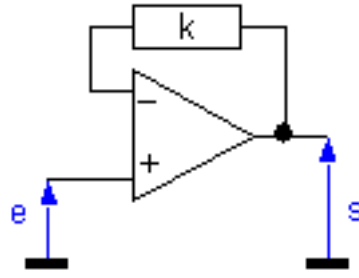


FIG. 3.8 – schéma de principe de la contre réaction

3.8.1 Principe

La figure 3.8 présente le schéma de principe de la contre réaction avec :

- L'AO seul, ou circuit en "boucle ouverte" (BO) : $s = G_0 \cdot e_d$
- Le circuit en "boucle fermée" (BF) : $e_d = e - k \cdot s$
- Ainsi : $\frac{s}{e} = \frac{G_0}{1 + k \cdot G_0}$
- et : $\left[\frac{s}{e} \right]_{G_0 \rightarrow \infty} \rightarrow \frac{1}{k}$

En général le coefficient k est obtenu par un circuit passif, sa valeur est précise et peu sujette aux dispersions des valeurs des paramètres de conception.

3.8.2 Stabilité

Le problème du montage en boucle fermée est le risque d'auto oscillation lorsqu'une partie de la tension de sortie est appliquée à l'entrée négative avec une amplitude trop importante et une phase trop proche de l'opposition avec celle appliquée à l'entrée positive. C'est l'instabilité. Il existe une solution c'est la compensation en fréquence de l'amplificateur.

3.8.3 Compensation en fréquence

Un critère simplifié de stabilité, quel que soit le gain en boucle fermée (c'est-à-dire jusqu'à un gain BF de 1), est que la réponse en fréquence (analyse harmonique) de l'amplificateur en boucle ouverte, soit de type Passe Bas du 1^{er} ordre jusqu'à la fréquence de transition f_T (voir la figure 3.9).

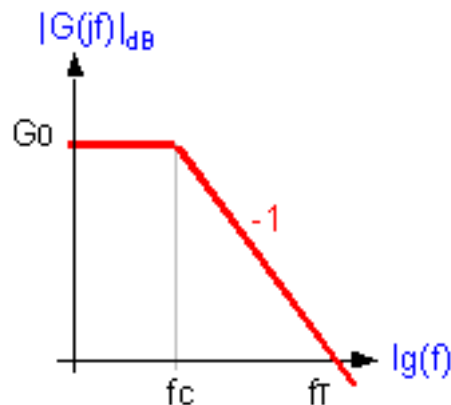


FIG. 3.9 – diagramme asymptotique du module du gain

La figure 3.9 présente le graphe asymptotique du module du gain en tension en dB en fonction de la fréquence (axe gradué en logarithme de la fréquence) d'un amplificateur opérationnel compensé avec :

- G_0 le gain statique
- f_c la fréquence de coupure : $|G(j \cdot f_c)| = G_{0dB} - 3dB = \frac{G_0}{\sqrt{2}}$
- f_T la fréquence de transition : $|G(j \cdot f_T)| = 0dB = 1$
- la pente dans la bande atténuée est -1 : $-6dB \cdot oct^{-1}$ ou $-20dB \cdot dec^{-1}$.

3.9 Principaux montages à amplificateurs opérationnels

Les figures 3.10 et 3.11 présentent trois montages utilisant un amplificateur opérationnel idéal : $G_0 \rightarrow \infty$. En reprenant la méthode du 3.8.1 nous calculons chacune des fonctions de transfert des montages présentés.

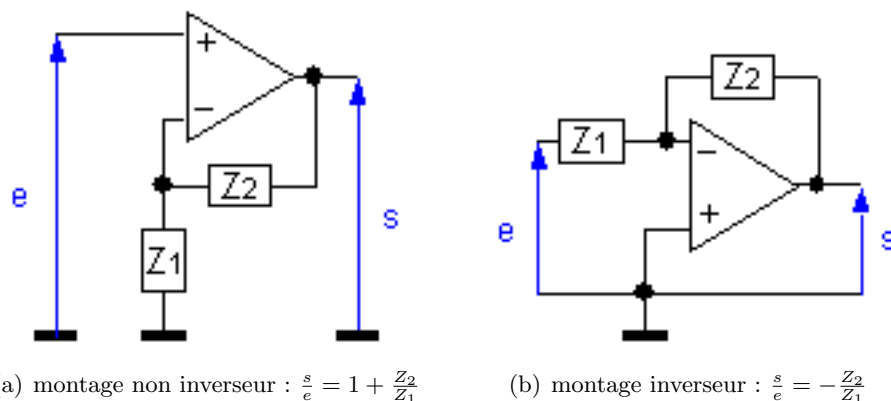


FIG. 3.10 – montages à AO

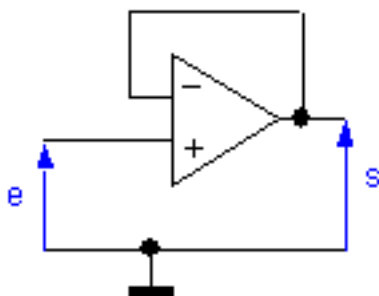


FIG. 3.11 – montage suiveur : $\frac{s}{e} = +1$

3.10 Structure d'un amplificateur opérationnel

La figure 3.12 présente la structure simplifiée d'un amplificateur opérationnel de tension en 3 étages :

- étage différentiel d'entrée de gain : A_d ,
- étage intermédiaire à fort gain : $-A_2$,
- et son circuit de compensation en fréquence : ici une simple "capacité Miller" (entre entrée et sortie) : C_{cmp} ,

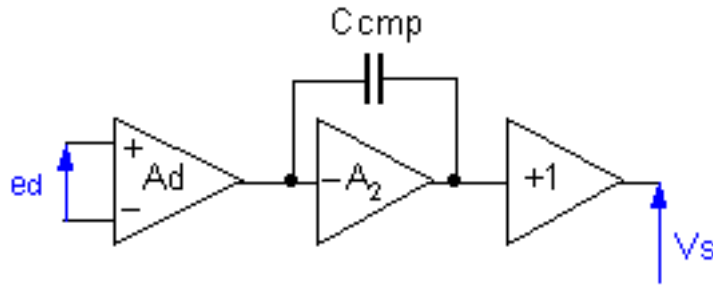


FIG. 3.12 – amplificateur à 3 étages

- voire un dernier étage adaptateur, de gain unité.

Nous allons étudier maintenant comment concevoir de tels étages amplificateurs.

3.11 Étage intermédiaire : Montage Source Commune + Résistance

Le circuit de la figure 3.13 est appelé source commune car la source du transistor NMOS N_1 est commune à son dipôle d'entrée (GS) et à son dipôle de sortie (DS). Le substrat B n'est pas représenté il est au potentiel le plus négatif du circuit ici la masse. La caractéristique principale de ce circuit est d'obtenir une forte amplification (gain en tension).

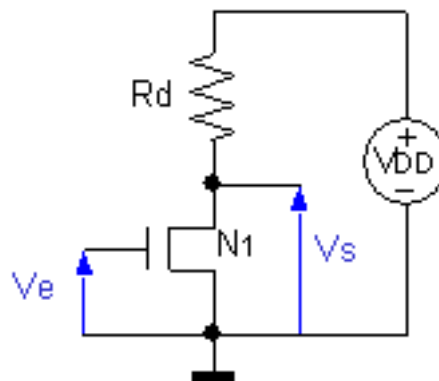


FIG. 3.13 – NMOS source commune + R

3.11.1 Analyse Grand Signal : la fonction de transfert

Résolution Graphique

La loi des mailles nous permet d'écrire :

- $V_{DD} = R_d \cdot I_{Rd} + V_{ds} = R_d \cdot I_{ds} + V_{ds}$

Traçons le graphe de la droite de charge dans le plan $I_{ds} = f(V_{ds})$ (figure 3.14) :

- $I_{ds} = \frac{V_{DD}}{R_d} - \frac{V_{ds}}{R_d}$

Il s'agit de l'équation de la droite de charge du circuit :

- de pente : $\frac{dI_{ds}}{dV_{ds}} = -\frac{1}{R_d}$

- d'ordonnée à l'origine : $I_{ds_{max}} = \frac{V_{DD}}{R_d}$ pour $V_{ds} = 0$

- d'abscisse à l'origine : $V_{ds_{max}} = V_{DD}$ pour $I_{ds} = 0$
- Sur la figure 3.14 :
- le graphe de la caractéristique de sortie : $I_{ds} = f(V_{ds})$,
 - la parabole : $I_{ds} = K \cdot V_{ds_{sat}}^2$ qui joint les points de pincement pour différentes valeurs de V_{gs} ,
 - le graphe de la droite de charge.

Le graphe de la fonction de transfert : $V_s = f(V_e)$ est obtenu par la transcription, dans le plan de V_s/V_e , des points d'intersection entre la droite de charge et la caractéristique de sortie $I_{ds} = f(V_{ds})$ pour les V_{gs} (V_e) donnés (figure 3.14).

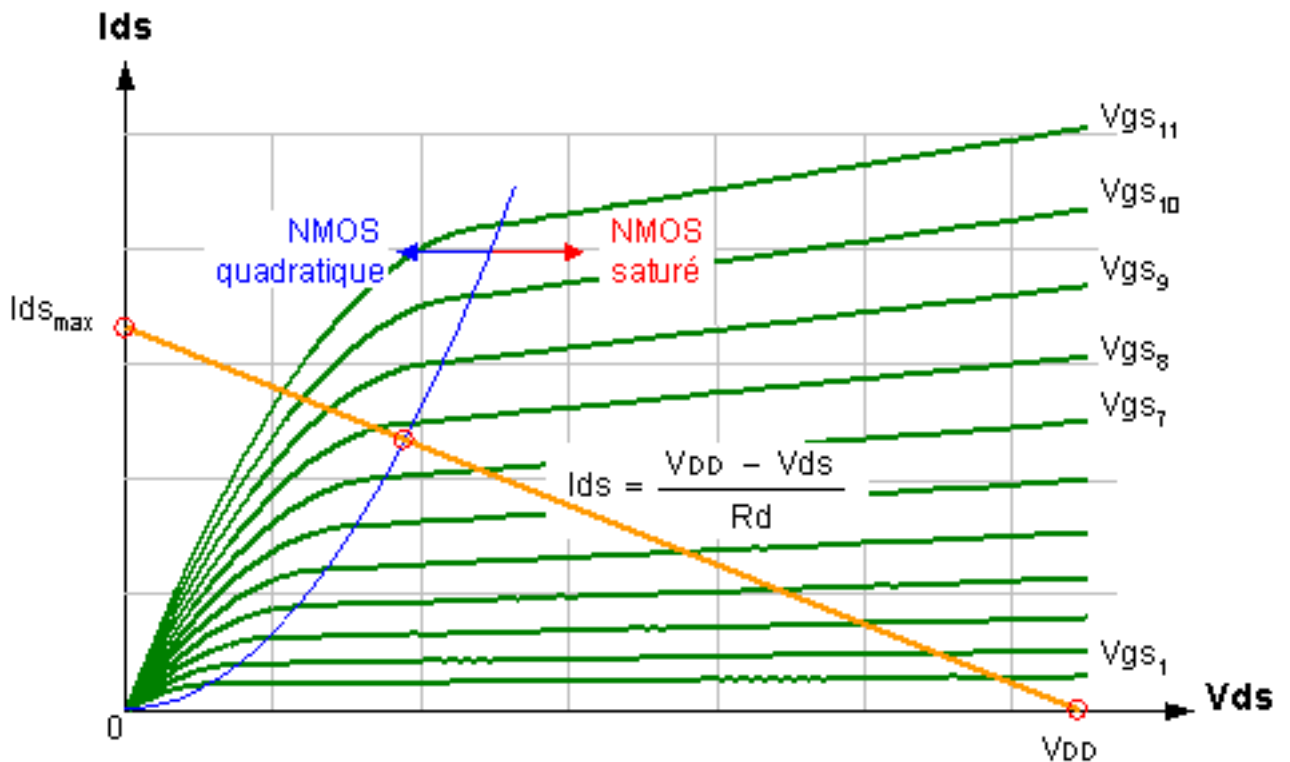


FIG. 3.14 – droite de charge

Résolution analytique

Remarque : $V_e = V_{gs}$ et $V_s = V_{ds}$. Nous négligeons l'effet Early. À partir de la loi des mailles nous pouvons écrire :

- $V_{DD} = R_d \cdot I_{Rd} + V_{ds} = R_d \cdot I_{ds} + V_s \Rightarrow V_s = V_{DD} - R_d \cdot I_{ds}$

Puis nous remplaçons I_{ds} par sa valeur en fonction du régime du transistor :

- MOS bloqué :

$$V_e \leq V_{T0n} \Rightarrow I_{ds} = 0 \Rightarrow V_s = V_{DD}$$

- MOS passant :

$$V_e > V_{T0n} \Rightarrow I_{ds} \neq 0 :$$

- MOS en régime quadratique :

$$V_s < V_{ds_{sat}} = V_e - V_{T0n} \Rightarrow V_s = V_{DD} - 2R_d \cdot K(V_e - V_{T0n} - \frac{1}{2}V_s)V_s$$

- MOS en régime saturé :

$$V_s = V_{ds_{sat}} = V_e - V_{T0n} \Rightarrow V_s = V_{DD} - R_d \cdot K(V_e - V_{T0n})^2$$

Cette dernière expression est l'équation de la parabole de sommet B (V_{T0N} , V_{DD}) sur le graphe de la figure 3.15.

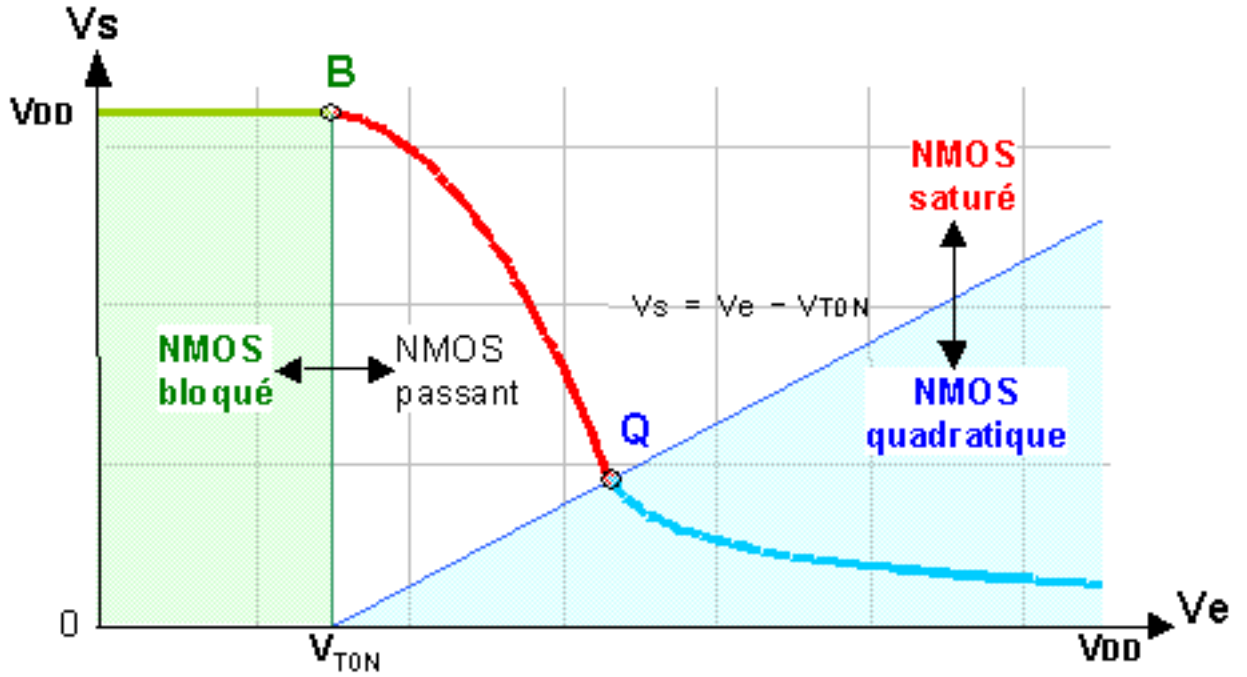


FIG. 3.15 – fonction de transfert l'amplificateur

3.11.2 Analyse grand signal : l'excursion

Il s'agit de calculer les coordonnées des points :

- B, limite entre les régimes bloqué et saturé :
- Q, limite entre les régimes quadratique et saturé :

Le point Q est l'intersection entre la parabole correspondant à la fonction de transfert en régime saturé, est la droite limitant les régimes saturé et quadratique :

$$\begin{aligned}
 - V_{ds} &= V_{gs} - V_{T0n} = V_{EG} = V_{DD} - R_d \cdot K (V_{gs} - V_{T0n})^2 = V_{DD} - R_d \cdot K \cdot V_{EG}^2 \\
 - \text{Soit : } R_d \cdot K \cdot V_{EG}^2 + V_{EG} - V_{DD} &= 0
 \end{aligned}$$

Nous trouvons enfin :

$$\begin{aligned}
 - V_{gs} &= V_{EG} + V_{T0n} = V_{T0n} + \frac{-1 + \sqrt{1 + 4 \cdot R_d \cdot K \cdot V_{DD}}}{2 \cdot R_d \cdot K} \\
 - V_{ds} &= V_{EG} = V_{gs} - V_{T0n} = \frac{-1 + \sqrt{1 + 4 \cdot R_d \cdot K \cdot V_{DD}}}{2 \cdot R_d \cdot K}
 \end{aligned}$$

3.11.3 Analyse grand signal : classe A

Le signal variable d'entrée doit être situé dans une zone où ses 2 alternances seront amplifiées. Une solution simplifiée est de choisir le point M_0 de polarisation tel que :

- $V_{GS0} \Rightarrow V_{DS0} = \frac{1}{2} V_{DD}$
- $V_{DS0} = \frac{1}{2} V_{DD} = V_{DD} - R_d \cdot K \cdot V_{EG0}^2$

Ainsi :

$$\bullet V_{EG0} = V_{GS0} - V_{T0n} = \sqrt{\frac{V_{DD}}{2 \cdot R_d \cdot K}}$$

Conclusions

Nous venons d'identifier le segment de graphe de la fonction de transfert propice à une amplification "linéaire". Nous allons maintenant calculer le taux de distorsion qu'engendre l'amplificateur ainsi polarisé.

3.11.4 Analyse grand signal : taux de distorsion harmonique

Nous appliquons en entrée un signal sinusoïdal avec une composante continue correspondant à la polarisation en classe A :

- $V_e = V_{E0} + a \cdot \sin(\omega t)$

avec :

- $V_{E0} = V_{EG0} + V_{T0n}$

- $v_e = a \cdot \sin(\omega t)$

Le transistor est supposé être saturé, et la fréquence du signal ($f = \frac{\omega}{2\pi}$) telle que nous puissions négliger les effets capacitifs.

Un signal périodique peut s'exprimer sous la forme de somme de sinusoïdes de fréquences multiples de la fréquence fondamentale :

- $s(t) = \sum_{n=-\infty}^{n=+\infty} C_n \cdot \exp(jn\omega t)$

Le taux de distorsion harmonique est défini par :

- $TDH = \frac{\sqrt{\sum_{n=+2}^{n=+\infty} C_n^2}}{|C_1|}$

Nous remplaçons V_e par sa valeur dans l'expression de la fonction de transfert :

- $V_s = V_{DD} - Rd \cdot K (V_{E0} + a \cdot \sin(\omega t) - V_{T0n})^2 = V_{DD} - Rd \cdot K (V_{EG0} + a \cdot \sin(\omega t))^2$

Nous allons obtenir une expression du type :

- $V_s = C_0 + C_1 \cdot \sin(\omega t) + C_2 \cdot \cos(2\omega t)$

Avec :

- C_0 le coefficient de la composante continue,
- C_1 celui de la fréquence fondamentale et
- C_2 celui de l'harmonique 2.

Après calcul nous obtenons :

- $V_s = V_{DD} - Rd \cdot K \cdot \left(V_{EG0}^2 + \frac{a^2}{2} \right) - 2Rd \cdot K \cdot V_{EG0} \cdot a \cdot \sin(\omega t) + \frac{Rd}{2} \cdot K \cdot a^2 \cdot \cos(2\omega t)$

- $TDH = \frac{|C_2|}{|C_1|} = \frac{a}{4 \cdot V_{EG0}}$

Le taux de distorsion harmonique est donc d'autant meilleur que l'amplitude du signal d'entrée est faible (petit signal) et que le point de polarisation se rapproche du point Q . Ce dernier critère correspond au fait que la caractéristique de transfert est une parabole, et que plus nous nous éloignons du sommet, plus la courbe réelle se rapproche de sa tangente.

3.11.5 Analyse grand signal : transistor saturé

Il faut vérifier que le point de polarisation choisi vérifie la condition de saturation ($V_{DS0} > V_{EG0} = V_{GS0} - V_{T0n}$). Ici il faut connaître la valeur de Rd , K et de V_{DD} .

3.11.6 Analyse statique

L'objectif est de calculer les paramètres du point M_0 : I_{DS0} , V_{GS0} , V_{DS0} et V_{BS0} :

- $I_{DS0} = \frac{V_{DD}}{2 \cdot Rd}$

- $V_{GS0} = V_{T0n} + \sqrt{\frac{V_{DD}}{2 \cdot Rd \cdot K}}$

- $V_{DS0} = \frac{V_{DD}}{2}$

- $V_{BS0} = 0V$

3.11.7 Analyse linéaire : le transistor

Nous calculons la valeur des éléments du modèle linéaire (voir en annexe 3.15.1) du transistor (saturé) au point M_0 .

- $g_m = \frac{2 \cdot I_{DS0}}{V_{EG0}} = \sqrt{\frac{2 \cdot V_{DD} \cdot K}{Rd}}$
- $g_{ds} = \frac{I_{DS0}}{L \cdot V_E} = \frac{1}{2 \cdot Rd} \frac{V_{DD}}{L \cdot V_E}$
- $g_{mb} = g_m \cdot \chi$

3.11.8 Analyse linéaire : l'amplificateur

Nous remplaçons toutes les tensions purement continues par des courts circuits et tous les courants continus par des circuits ouverts.

Nous remplaçons le transistor par son modèle linéaire en remarquant que :

- $v_{bs} = 0$, donc le dipôle $g_{mb} \cdot v_{bs}$ est remplacé par un circuit ouvert.

À partir du circuit de la figure 3.13 en remarquant que :

- $Gd = \frac{1}{Rd}$
- $V_e = V_{gs}$
- $V_s = V_{ds}$

Nous obtenons le schéma de la figure 3.16 :

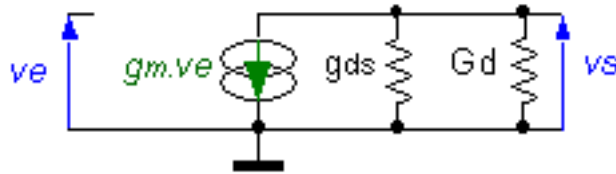


FIG. 3.16 – modèle linéaire de l'amplificateur

La loi des nœuds nous permet d'écrire :

- $g_m \cdot v_e = -(g_{ds} + Gd) v_s$

Ainsi le gain en tension linéaire (aussi appelé gain statique) :

- $G_0 = -\frac{g_m}{g_{ds} + Gd}$

Le dipôle d'entrée étant ouvert (prélèvement de tension idéal) la résistance d'entrée est :

- $R_e = \infty$

La résistance de sortie s'obtient en :

- injectant (par la pensée) un courant linéaire de sortie i_s ,
- éteignant les sources indépendantes, ici : $v_e = 0$,
- est en mesurant $R_s = \frac{v_s}{i_s}$.

Nous obtenons la résistance de sortie :

- $R_s = \frac{1}{g_{ds} + Gd}$

3.11.9 Analyse harmonique

À l'aide du modèle harmonique du transistor NMOS fourni en annexe 3.15.1, nous obtenons le modèle de l'amplificateur (figure 3.17) :

Écrivons la loi des nœuds en A :

- $i_c + i_d + g_m \cdot v_e = 0$

Avec :

- $i_c = j\omega Cgd(v_s - v_e)$
- $i_d = v_s(g_{ds} + Gd + j\omega Cdb)$

Ainsi :

- $v_e(g_m - j\omega Cgd) + v_s(j\omega(Cgd + Cdb) + g_{ds} + Gd) = 0$

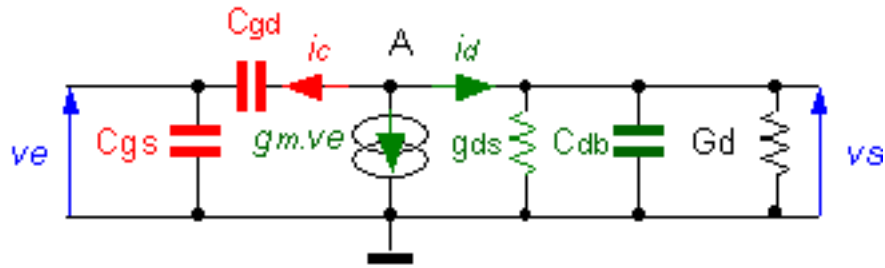


FIG. 3.17 – modèle harmonique de l'amplificateur

D'où le gain complexe :

- $G(j\omega) = -\frac{g_m - j\omega C_{gd}}{g_{ds} + G_d + j\omega (C_{gd} + C_{db})}$

Avec :

- $G_0 = -\frac{g_m}{g_{ds} + G_d}$
- $\omega = 2\pi f$

Nous obtenons :

- $G(jf) = G_0 \frac{1 - j \frac{f}{\frac{g_m}{2\pi C_{gd}}}}{1 + j \frac{f}{\frac{g_{ds} + G_d}{2\pi (C_{gd} + C_{db})}}} = G_0 \frac{1 - j \frac{f}{f_z}}{1 + j \frac{f}{f_p}}$

Où :

- la fréquence du zéro : $f_z = \frac{g_m}{2\pi C_{gd}}$
- la fréquence du pôle : $f_p = \frac{g_{ds} + G_d}{2\pi (C_{gd} + C_{db})}$

3.12 Étage intermédiaire : Miroir de courant

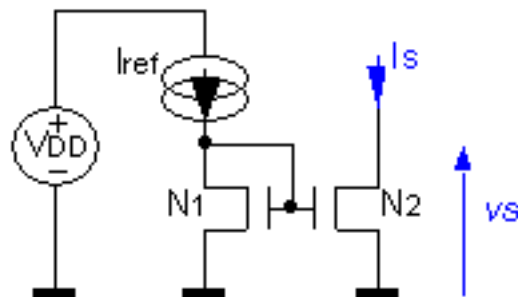


FIG. 3.18 – miroir de courant NMOS

Les transistors N_1 et N_2 de la figure 3.18 sont construits dans la même technologie, ainsi sont égaux :

- les facteurs de transconductance : $k_1 = k_2 = k = \mu_0 \cdot C'_{ox}$
- les tensions de seuil à $V_{SB} = 0$: $V_{T01} = V_{T02} = V_{T0}$
- les tensions d'Early : $V_{E1} = V_{E2} = V_E$

Nous imposons qu'ils aient les mêmes longueurs de grille, ainsi :

- $L_1 = L_2 = L$
- $\lambda_1 = \lambda_2 = \lambda$

Nous remarquons d'après le schéma de la figure 3.18 :

- $V_{SB1} = V_{SB2} = 0 \Rightarrow$ pas d'effet de substrat : $V_{T1} = V_{T2} = V_{T0}$
- I_{ref} est une intensité continue
- N_1 est toujours saturé car :
 - $I_{ref} \neq 0$ donc N_1 est passant,
 - $V_{D1} = V_{G1}$ ainsi $V_{DS1} = V_{GS1}$ et $V_{DS1} > V_{GS1} - V_{T0}$
- $V_{GS01} = V_{DS01} = V_{GS02} = V_{GS0}$
- $V_{DSsat1} = V_{DSsat2} = V_{GS0} - V_{T0} = V_{EG0}$

3.12.1 Analyse statique

Nous supposons que V_s est telle que N_2 est saturé et nous négligeons l'effet Early :

- $I_{ref} = \frac{k}{2} \frac{W_1}{L} (V_{GS} - V_{T0})^2$
- $I_s = \frac{k}{2} \frac{W_2}{L} (V_{GS} - V_{T0})^2$
- $\frac{I_s}{I_{ref}} = \frac{W_2}{W_1}$

Avec l'effet Early :

- $\frac{I_s}{I_{ref}} = \frac{W_2}{W_1} \frac{1+\lambda(V_s-V_{EG0})}{1+\lambda V_{T0}}$

3.12.2 Analyse linéaire

Si I_s comporte une composante linéaire (petit signal) le modèle du miroir de courant s'obtient en calculant :

- $g_{ds} = \frac{\partial I_s}{\partial V_s} = \frac{W_2}{W_1} \frac{\lambda}{1+\lambda V_{T0}} I_{ref}$

Les autres variables $V_{DS01} = V_{GS01} = V_{GS02}$ et I_{ref} sont statiques.

3.13 Étage intermédiaire : Montage Source Commune + charge active PMOS

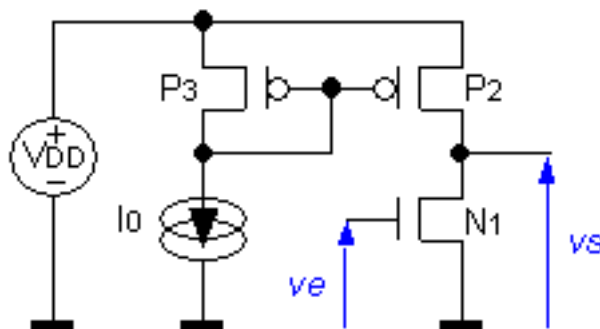


FIG. 3.19 – amplificateur CMOS

Le circuit de la figure 3.19 sera étudié en TD.

3.14 Étage d'entrée : Paire différentielle NMOS (hors programme)

3.14.1 Analyse grand signal

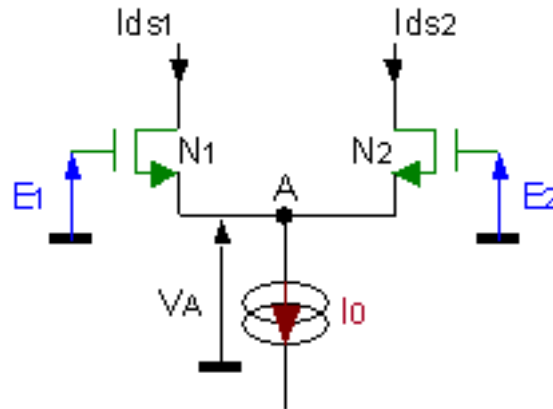


FIG. 3.20 – la paire différentielle NMOS

Les transistors N_1 et N_2 de la figure 3.20 sont construits dans la même technologie, ainsi :

- $k_1 = k_2 = k = \mu_0 \cdot C'_{ox}$
- $V_{T0_1} = V_{T0_2} = V_T$
- $V_{E_1} = V_{E_2} = V_E$

Les transistors N_1 et N_2 sont identiques et saturés :

- $W_1 = W_2 = W$
- $L_1 = L_2 = L$
- $I_{ds_1} = K(V_{gs_1} - V_T)^2$
- $I_{ds_2} = K(V_{gs_2} - V_T)^2$

Où :

- $K = \frac{k}{2} \frac{W}{L}$

Ainsi, pour chacun des transistors :

$$V_{gs} = V_T + \sqrt{\frac{I_{ds}}{K}} \quad (3.6)$$

Le courant I_0 est constant, la loi des nœuds en A nous permet d'écrire :

$$I_{ds_1} + I_{ds_2} = I_0 \quad (3.7)$$

Au repos :

- $E_1 = E_2 = 0$
- $V_{EG0_1} = V_{EG0_2} = V_{EG0} = V_{GS0} - V_T$
- $I_{DS0_1} = I_{DS0_2} = I_{DS0} = K \cdot V_{EG0}^2$
- $I_0 = I_{DS0_1} + I_{DS0_2} = 2 \cdot K \cdot V_{EG0}^2$

Nous obtenons pour le point de repos :

$$V_{EG0} = \sqrt{\frac{I_0}{2 \cdot K}} \quad (3.8)$$

Nous définissons le courant et la tension d'entrée différentiels :

$$Id = I_{ds1} - I_{ds2} \quad (3.9)$$

$$Ed = E_1 - E_2 \quad (3.10)$$

Nous désirons calculer la transconductance différentielle $Id = f(Ed, K, I_0)$.

Nous commençons par relier Ed aux V_{gs} puis aux courants I_{ds} des 2 transistors :

- $E_1 = V_{gs1} + V_A$
- $E_2 = V_{gs2} + V_A$

Puis nous utilisons 3.6 pour écrire :

$$Ed = E_1 - E_2 = V_{gs1} - V_{gs2} = \sqrt{\frac{I_{ds1}}{K}} - \sqrt{\frac{I_{ds2}}{K}} \quad (3.11)$$

Exprimons les courants des transistors en fonction de I_0 et de Id à partir de 3.7 et de 3.9 :

- $I_{ds1} = \frac{I_0}{2} \left(1 + \frac{Id}{I_0} \right)$
- $I_{ds2} = \frac{I_0}{2} \left(1 - \frac{Id}{I_0} \right)$

L'excursion de Id étant bornée :

- $-I_0 \leq Id \leq +I_0$

Reportons dans 3.11 :

- $Ed = \sqrt{\frac{I_0}{2 \cdot K}} \left(\sqrt{1 + \frac{Id}{I_0}} - \sqrt{1 - \frac{Id}{I_0}} \right)$

L'excursion de Ed étant bornée :

- $-\sqrt{\frac{I_0}{K}} \leq Ed \leq +\sqrt{\frac{I_0}{K}}$

Avec 3.8 il vient :

- $\frac{Ed}{V_{EG0}} = \sqrt{1 + \frac{Id}{I_0}} - \sqrt{1 - \frac{Id}{I_0}}$

L'excursion de Ed devenant :

- $-\sqrt{2} V_{EG0} \leq Ed \leq +\sqrt{2} V_{EG0}$

En utilisant :

- $x = \sqrt{1+y} - \sqrt{1-y} \Rightarrow y = x \sqrt{1 - \left(\frac{x}{2}\right)^2}$

Nous obtenons :

$$\begin{aligned} -\sqrt{2} V_{EG0} \leq Ed \leq +\sqrt{2} V_{EG0} &\Rightarrow \frac{Id}{I_0} = \frac{Ed}{V_{EG0}} \sqrt{1 - \left(\frac{Ed}{2 \cdot V_{EG0}}\right)^2} \\ Ed < -\sqrt{2} V_{EG0} &\Rightarrow \frac{Id}{I_0} = -1 \\ Ed > +\sqrt{2} V_{EG0} &\Rightarrow \frac{Id}{I_0} = +1 \end{aligned}$$

Nous obtenons le graphe de la figure 3.21 avec la transconductance différentielle linéaire :

$$g_{md} = \left[\frac{\partial Id}{\partial Ed} \right]_{Ed \rightarrow 0} = \frac{I_0}{V_{EG0}} = \frac{2 \cdot I_{DS0}}{V_{EG0}} = g_m \quad (3.12)$$

3.14.2 Analyses statique et linéaire

L'étude du circuit de la figure 3.22 est hors programme, elle figure cependant dans le texte du TD.

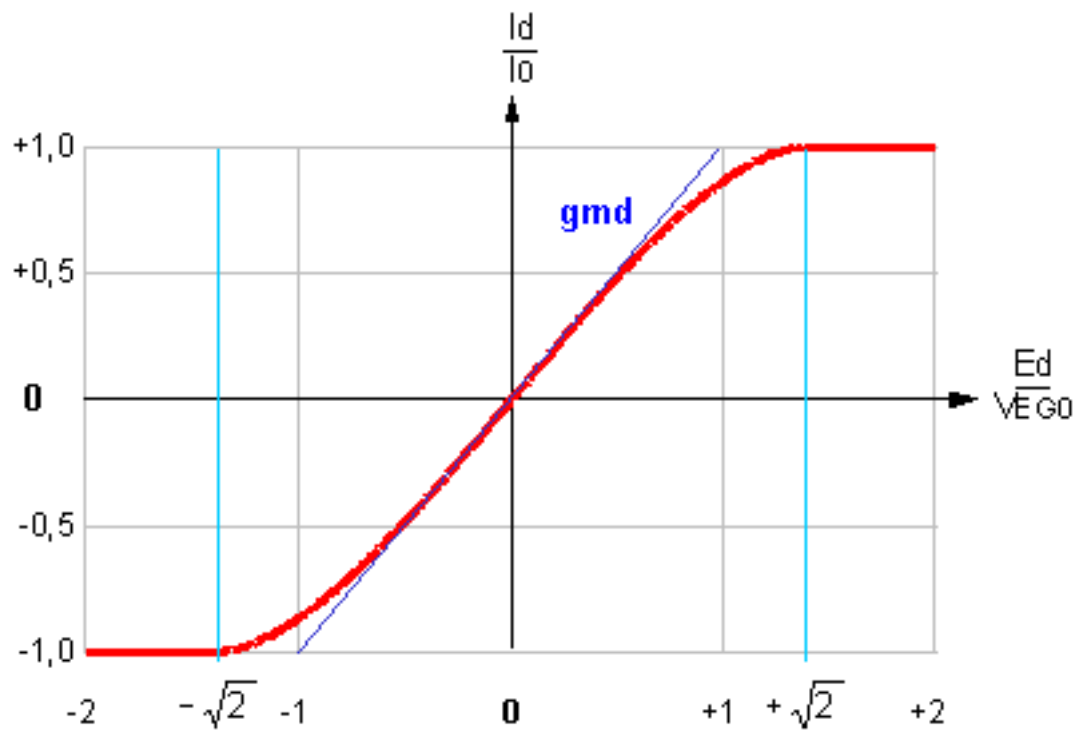


FIG. 3.21 – transconductance de la paire différentielle NMOS

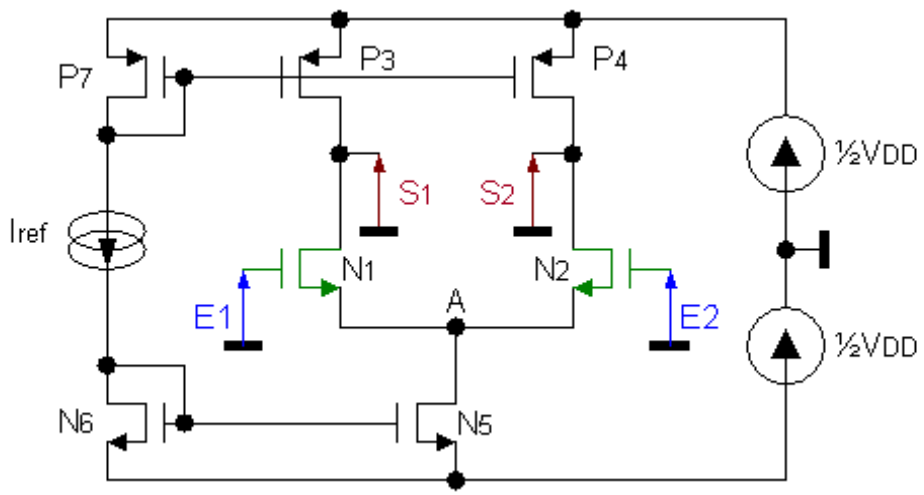


FIG. 3.22 – amplificateur différentiel

3.15 Annexe : éléments de modélisation

3.15.1 Modélisation du transistor MOS

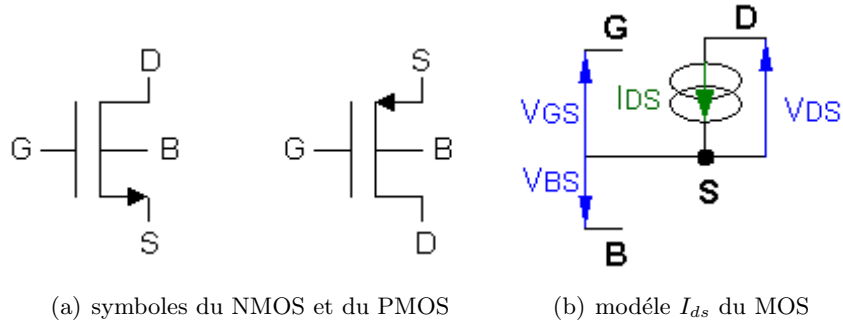


FIG. 3.23 – transistors CMOS

Définitions

- facteur de transconductance : $k = \mu_0 \cdot C'_{ox}$
 - capacité surfacique de l'isolant de grille (commune aux NMOS et PMOS), : $C'_{ox} = \frac{\epsilon_0 \cdot \kappa_{ox}}{t_{ox}} \approx 4mF \cdot m^{-2} = 4fF \cdot \mu m^{-2}$
 - épaisseur de l'isolant de grille (NMOS et PMOS), typiquement : $t_{ox} \approx 8nm$
 - permittivité du vide : $\epsilon_0 \approx 8,85pF \cdot m^{-1}$
 - permittivité relative (constante diélectrique) de l'isolant de grille : $\kappa_{ox} \approx 3,9$
 - facteur de transconductance des NMOS, typiquement : $k_n \approx 100\mu A \cdot V^{-2}$
 - facteur de transconductance des PMOS, typiquement : $k_p \approx 40\mu A \cdot V^{-2}$
- coefficient de conduction : $K = \frac{\mu_0 \cdot C'_{ox}}{2} \cdot \frac{W}{L} = \frac{k}{2} \cdot \frac{W}{L}$
- tension de saturation : $V_{ds_{sat}} = V_{GS} - V_T = V_{EG}$
- coefficient de modulation de longueur de canal : $\lambda = \frac{1}{V_E \cdot L}$
 - tension d'Early des NMOS, typiquement : $V_{En} \approx 8MV \cdot m^{-1}$
 - tension d'Early des PMOS, typiquement : $V_{Ep} \approx 12MV \cdot m^{-1}$
- tension statique effective de grille : $V_{EG0} = V_{GS0} - V_T$

Modèles statique et grand signal

Voir le schéma du modè sur la figure :3.23

régime	conditions		courant I_{ds}
bloqué	$V_{gs} \leq V_{Tn}$		$I_{ds} = 0$
ohmique	$V_{gs} > V_{Tn}$	$V_{ds} \rightarrow 0$	$I_{ds} = 2Kn(V_{gs} - V_{Tn})V_{ds}$
quadratique		$V_{ds} < V_{ds_{sat}}$	$I_{ds} = 2Kn\left(V_{gs} - V_{Tn} - \frac{V_{ds}}{2}\right)V_{ds}$
pincement		$V_{ds} = V_{ds_{sat}}$	$I_{ds_{sat}} = Kn(V_{gs} - V_{Tn})^2$
saturation		$V_{ds} > V_{ds_{sat}}$	$I_{ds} = I_{ds_{sat}}(1 + \lambda_n(V_{ds} - V_{ds_{sat}}))$
effet de substrat		$V_{bs} < 0$	$V_{Tn} = V_{T0n} + \gamma(\sqrt{\Psi_B - V_{bs}} - \sqrt{\Psi_B})$

TAB. 3.1 – transistor NMOS

régime	conditions		courant I_{ds}
bloqué	$V_{gs} \geq V_{Tp}$		$I_{ds} = 0$
ohmique	$V_{gs} < V_{Tp}$	$V_{ds} \rightarrow 0$	$I_{ds} = -2 Kp (V_{gs} - V_{Tp}) V_{ds}$
quadratique		$V_{ds} > V_{dsat}$	$I_{ds} = -2 Kp \left(V_{gs} - V_{Tp} - \frac{V_{ds}}{2} \right) V_{ds}$
pincement		$V_{ds} = V_{dsat}$	$I_{dsat} = -Kp (V_{gs} - V_{Tp})^2$
saturation		$V_{ds} < V_{dsat}$	$I_{ds} = I_{dsat} (1 - \lambda_p (V_{ds} - V_{dsat}))$
effet de substrat		$V_{bs} > 0$	$V_{Tp} = V_{Tp0} - \gamma (\sqrt{\Psi_B + V_{bs}} - \sqrt{\Psi_B})$

TAB. 3.2 – transistor PMOS

Avec :

- potentiel interne du substrat à l'inversion : $\Psi_B = 2 \cdot u_{th} \cdot \ln \frac{N_B}{n_i}$
(Si le substrat n'était pas dopé, c'est à dire s'il était fait de Silicium intrinsèque, nous aurions : $N_B = n_i$ et $u_{th} \cdot \ln \frac{N_B}{n_i} = 0V$)
 - potentiel thermodynamique à 300K : $u_{th} = \frac{k \cdot T}{q} \approx 26 mV$
 - ici k est la constante de Boltzmann : $k \approx 13,8 \cdot 10^{-24} J \cdot K^{-1}$
 - température ambiante : $T \approx 300 K$
 - charge élémentaire : $q = |q_{e-}| \approx 0,16 aC$
 - densité du dopage du substrat, typiquement : $N_B \approx 0,1 \cdot 10^{24} m^{-3}$
 - densité des paires e^-tr^+ dans le Si pur à 300K : $n_i \approx 14,5 \cdot 10^{15} m^{-3}$
- coefficient d'effet de substrat : $\gamma = \frac{\sqrt{2 \cdot q \cdot N_B \cdot \epsilon_{Si}}}{C'_{ox}}$
 - permittivité du Si : $\epsilon_{Si} = \epsilon_0 \cdot \kappa_{Si}$
 - permittivité relative (constante diélectrique) du Si : $\kappa_{Si} \approx 11,8$

Souvent la variation de V_T nous est donnée graphiquement comme sur la figure 3.24.

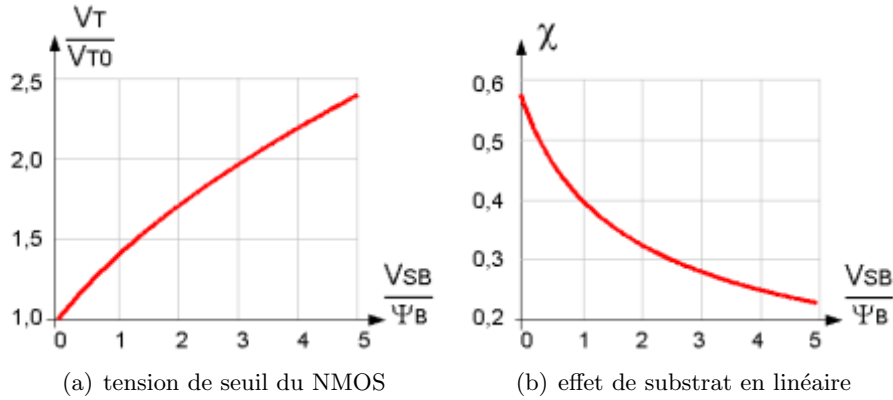


FIG. 3.24 – effet de substrat

Modèle linéaire

- Condition : régime saturé, faibles signaux
- la transconductance : $g_m = \frac{2 \cdot I_{DS0}}{V_{EG0}} = 2\sqrt{K \cdot I_{DS0}} = 2 \cdot K \cdot V_{EG0}$
- la conductance de sortie : $g_{ds} = \frac{\lambda \cdot I_{DS0}}{1 + \lambda \cdot (V_{DS0} - V_{EG0})} \approx \lambda \cdot I_{DS0} \approx \frac{I_{DS0}}{L \cdot V_E}$
- la transconductance d'effet de substrat : $g_{mb} = g_m \cdot \chi$
avec $\chi = \frac{\gamma}{2\sqrt{\Psi_B - V_{BS0}}}$ voir figure 3.24
- le gain en tension intrinsèque : $av = \frac{g_m}{g_{ds}} \approx \frac{2 \cdot L \cdot V_E}{V_{EG0}}$

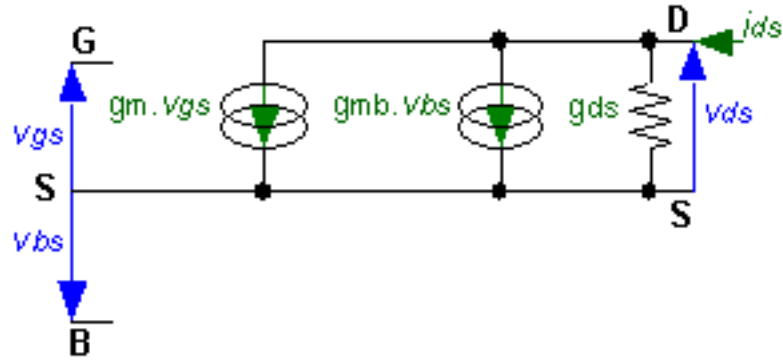


FIG. 3.25 – modèle linéaire du NMOS

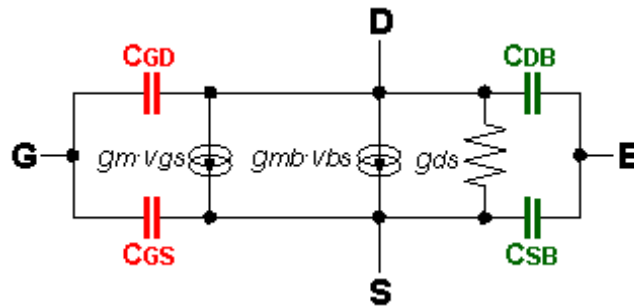


FIG. 3.26 – modèle harmonique du NMOS

Modèle harmonique

- Condition : régime saturé, faibles signaux
- les capacités de jonctions :
 - $C_{SB} = C_{DB} = C_j = C'_{j0} \cdot W \cdot (L_j + L_D) \approx C'_{j0} \cdot W \cdot L_j$ avec $L_D \ll L_j$
- les capacités de débordement :
 - $C_{GSr} = C_{GDr} = C'_{ox} \cdot W \cdot L_D$
- capacités dues au canal :
 - $C_{GSc} = \frac{2}{3} \cdot C'_{ox} \cdot W \cdot (L - 2 \cdot L_D) \approx \frac{2}{3} \cdot C'_{ox} \cdot W \cdot L$ avec $L_D \ll L$
 - $C_{GDc} = 0$
- les capacités ramenées aux nœuds :
 - $C_{GD} = C_{GDr} = C'_{ox} \cdot W \cdot L_D$
 - $C_{GS} = C_{GSc} + C_{GSr} = C'_{ox} \cdot W \cdot (\frac{2}{3} \cdot L - \frac{1}{3} \cdot L_D) \approx \frac{2}{3} \cdot C'_{ox} \cdot W \cdot L$

3.15.2 La jonction PN

Intensité du courant dans la jonction (modèle de Shockley)

$$I_D = A_S \cdot J_S \cdot \exp\left(\frac{V_{PN}}{u_{th}} - 1\right),$$

avec :

- Aire de la jonction PN : A_S
- Densité du courant de saturation inverse : $J_S = q \cdot \left(\frac{D_n}{L_n} \frac{n_i^2}{N_A} + \frac{D_p}{L_p} \frac{n_i^2}{N_D} \right)$
valeur typique : $J_S \approx 1 \text{ aA} \cdot \mu\text{m}^{-2}$
- avec :

- Charge élémentaire : $q = |q_{e^-}| \approx 0,16 \text{ aC}$
- Densité de paires $e^- tr^+$ dans le Si intrinsèque (pur) à 300 K : $n_i \approx 14,5 \cdot 10^{15} \text{ m}^{-3}$
- Densité de dopage N (donneurs, valeur typique) : $N_D = 10 \cdot 10^{21} \text{ m}^{-3}$
- Densité de dopage P (accepteurs, valeur typique) : $N_A = 10 \cdot 10^{24} \text{ m}^{-3}$
- Constante de diffusion des électrons dans le SiP : $D_n = \mu_n \cdot u_{th}$
- Constante de diffusion des trous dans le SiN : $D_p = \mu_p \cdot u_{th}$
- Longueur de diffusion (Debye) des électrons dans le SiP : L_n
- Longueur de diffusion (Debye) des trous dans le SiN : L_p
- Potentiel thermodynamique : $u_{th} = \frac{k \cdot T}{q}$
valeur typique : $u_{th} \approx 26 \text{ mV}$
- avec :
 - Constante de Boltzmann : $k = 13,8 \cdot 10^{-24} \text{ J} \cdot \text{K}^{-1}$
 - Température ambiante : $T \approx 300 \text{ K}$

Capacité surfacique de la jonction PN

- Capacité surfacique petit signal de la jonction PN court-circuitée ($V_{PN} = 0 \text{ V}$) :

$$C_{j0}' = \sqrt{\frac{q \cdot \kappa_s \cdot \varepsilon_0}{2 \cdot \Psi_0} \frac{1}{\frac{1}{N_A} + \frac{1}{N_D}}}$$

- avec :
 - Constante diélectrique (permittivité relative) du silicium : $\kappa_s \approx 11,8$
 - Permittivité du vide : $\varepsilon_0 \approx 8,85 \text{ pF} \cdot \text{m}^{-1}$
 - Potentiel interne d'une jonction PN : $\Psi_0 = u_{th} \cdot \ln \frac{N_A \cdot N_D}{n_i^2}$
valeur typique : $\Psi_0 \approx +0,9 \text{ V}$

- Capacité surfacique petit signal de la jonction PN en inverse ($V_{PN} < \Psi_0$) :

$$C_j' = \frac{C_{j0}'}{\sqrt{1 - \frac{V_{PN}}{\Psi_0}}}$$

C'est la courbe présentée sur la figure 3.27

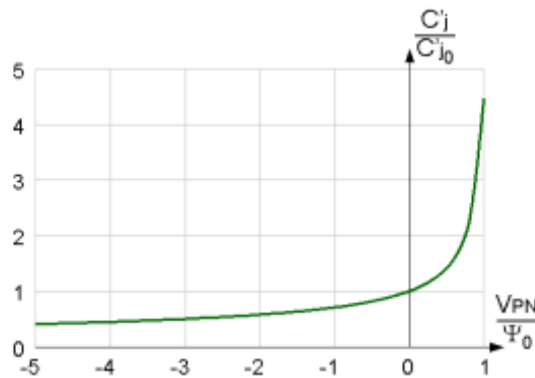


FIG. 3.27 – variation de la capacité en fonction de la polarisation

Chapitre 4

Outils de théorie du signal : Transformée de Laplace, Transformée en Z

Les transformées de Laplace et en Z sont (avec la transformée de Fourier) les outils mathématiques pour le traitement des signaux et des systèmes analogiques en temps continu ou en temps discret.

Les objectifs de ce cours sont de donner les définitions et les principales propriétés des transformées de Laplace et en Z et de montrer quelques exemples d'utilisation.

4.1 Introduction : présentation des signaux et des systèmes analogiques

Un signal est une fluctuation d'une grandeur physique en fonction du temps et un système est un ensemble organisé de composants qui réalisent une opération.

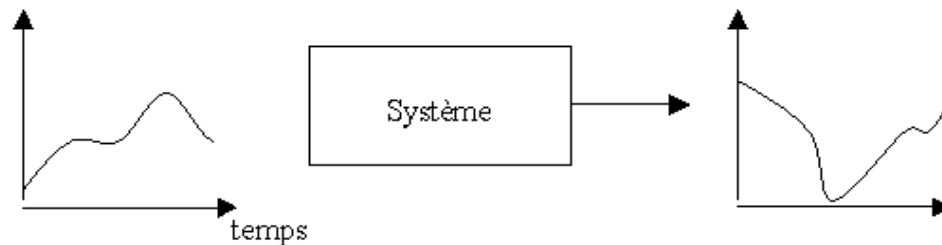


FIG. 4.1 – Un système

Le phénomène observable est traduit par un modèle mathématique. La représentation classique, intuitive est une fonction du temps, mais la représentation spectrale est également un moyen de caractériser parfaitement les signaux (dualité temps-fréquence) et de faciliter l'étude des systèmes.

4.1.1 Les signaux analogiques

Les représentations temporelles $x(t)$ ou spectrales $X(f)$ n'existent que pour les signaux certains. Un signal certain est un signal utile, qui résulte d'une observation, d'une expérience (conditions identiques \rightarrow résultat identique). Par opposition, le bruit est un signal aléatoire qui perturbe le signal utile.

La nature des signaux et leur type de traitement sont classés en quatre grandes familles :

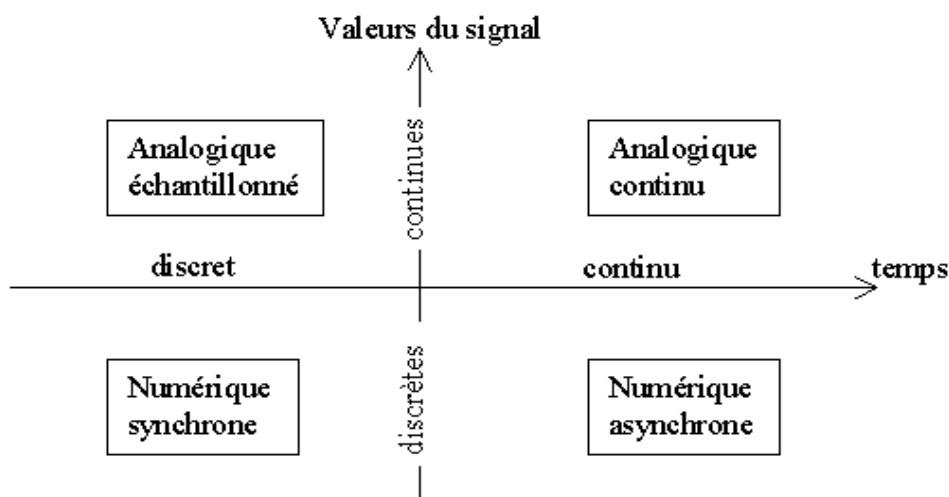


FIG. 4.2 – Nature des signaux et traitement

Deux grandes classes de signaux analogiques sont distinguées :

- Signaux à temps continu, noté t , fonction $x(t)$;
- Signaux à temps discret, noté k , séquence $x[k]$.



FIG. 4.3 – Temps continu et temps discret

Exemples usuels

- Echelon unité (Heaviside)

$$\begin{array}{ll} u(t)=0 \text{ pour } t < 0 & u[k]=0 \text{ pour } k < 0 \\ u(t)=1 \text{ pour } t \geq 0 & u[k]=1 \text{ pour } k \geq 0 \end{array}$$

- Impulsions

$$\begin{array}{ll} \text{Impulsion de Dirac} & \text{Impulsion discrète} \\ \delta(t)=0 \text{ pour } t \neq 0 & \delta[k]=0 \text{ pour } k \neq 0 \\ \delta(0)=+\infty & \delta[k]=1 \text{ pour } k=0 \end{array}$$

$$\int_{-\infty}^{+\infty} \delta(t) \varphi(t) dt = \varphi(0)$$

L'impulsion de Dirac en continu est une distribution qui associe à toute fonction continue sa valeur à l'origine ; elle modélise la dérivée d'un échelon unité.

- Signal sinusoïdal

$$\begin{array}{ll} x(t)=A \cos(2\pi f_0 t + \varphi) & x[k]=A \cos(2\pi \nu_0 k + \varphi) \\ \text{fréquence } 0 \leq f_0 < +\infty & \text{fréquence réduite } 0 \leq \nu_0 \leq 1/2 \\ \text{amplitude } A \geq 0 & \text{amplitude } A \geq 0 \\ \text{phase } -\pi \leq \varphi < +\pi & \text{phase } -\pi \leq \varphi < +\pi \end{array}$$

Contrairement au cas continu, un signal sinusoïdal à temps discret n'est pas systématiquement périodique et de période égale à l'inverse de la fréquence. Ce cas ne se produit que pour $\nu_0 = 1/N$ où N est entier.

Principales caractéristiques

- Les signaux sont de durée finie lorsque le phénomène ne se manifeste que sur un intervalle de temps fini. Si leur durée est faible, on parle de signaux transitoires ou impulsionnels.
- Les signaux de durée infinie sont stationnaires si leurs fluctuations observent une certaine régularité quelque soit t ; c'est le cas des signaux périodiques ou quasi périodiques (superposition de plusieurs composantes harmoniques quelconques).
- Les signaux sont causaux si leurs valeurs sont nulles pour $t, k < 0$ ou anticausaux si leurs valeurs sont nulles pour $t, k > 0$.

4.1.2 Les systèmes analogiques

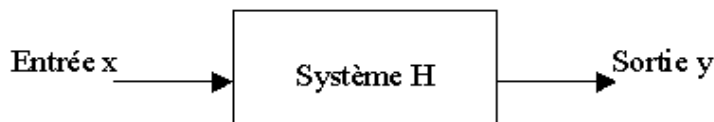


FIG. 4.4 –

Un système met en relation une ou plusieurs sorties avec une ou plusieurs entrées. Dans le cas d'un système à une entrée et une sortie, on note H la relation fonctionnelle entre x et y :

$$y = H(x)$$

Les systèmes considérés sont des systèmes linéaires invariants (SLI).

- Un système est dit linéaire si $H(\sum a_i x_i) = \sum a_i H(x_i)$ où les a_i sont des coefficients constants. Ceci est équivalent au principe de superposition.
- Un système est dit invariant s'il ne dépend pas du temps.

Selon la nature des signaux x et y , le système peut être homogène (x et y de même nature) ou mixte (continu/échantillonné, analogique/numérique).

Pour les systèmes analogiques, voici les quatre possibilités assorties d'un exemple usuel :

- x et y continus

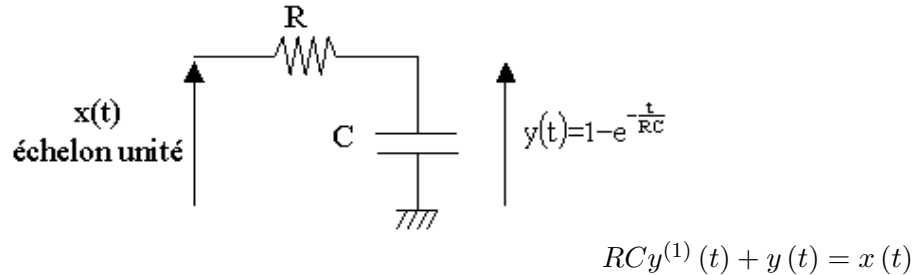


FIG. 4.5 – Filtre RC

Le comportement de ce type de système peut être modélisé par une équation différentielle d'ordre n à coefficients réels et constants.

$$b_0 y(t) + b_1 y^{(1)}(t) + \dots + b_n y^{(n)}(t) = a_0 x(t) + \dots + a_m x^{(m)}(t) \text{ avec } m \leq n$$

- x et y échantillonnés

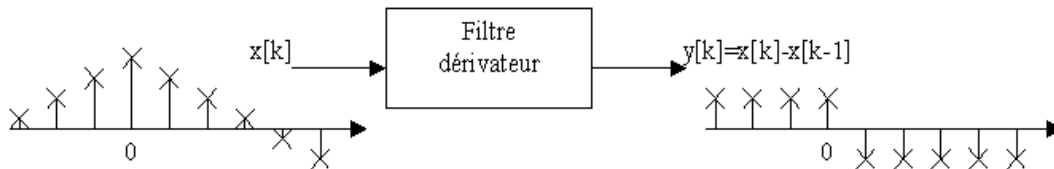


FIG. 4.6 –

Ce filtre réalise la différence entre 2 points consécutifs d'où son nom de dérivateur.

Le comportement de ce type de système peut être modélisé par une 'équation aux différences finies' d'ordre n à coefficient α_i et β_i réels et constants.

$$y[k] = - \sum_{i=1}^n \beta_i y[k-i] + \sum_{j=0}^m \alpha_j x[k-j] \text{ m et n sont finis.}$$

- x continu et y échantillonné : échantillonneur réel à pas constant T_e et durée de fermeture τ ($\tau \ll T_e$)

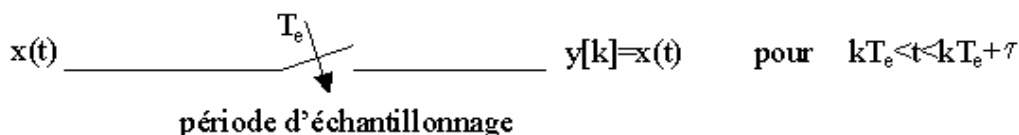


FIG. 4.7 –

- x échantillonné et y continu : interpolation d'ordre 0 ou blocage

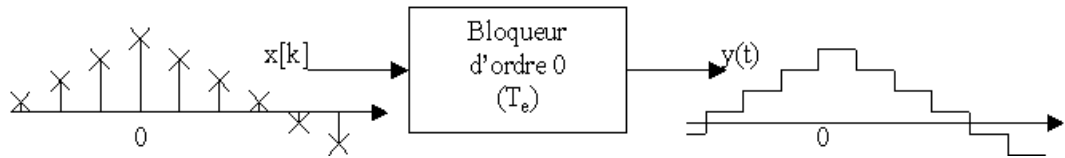


FIG. 4.8 –

Pour le traitement mathématique, les systèmes inhomogènes sont décomposés en sous systèmes homogènes reliés par des échantillonneurs et/ou des interpolateurs.

Les outils mathématiques et leurs propriétés sont définis pour les systèmes homogènes continus ou échantillonnés.

4.1.3 Un SLI est un système de convolution

La réponse impulsionnelle est la sortie correspondante à une entrée impulsionnelle ($x(t)=\delta(t)$ ou $x[k]=\delta[k]$).

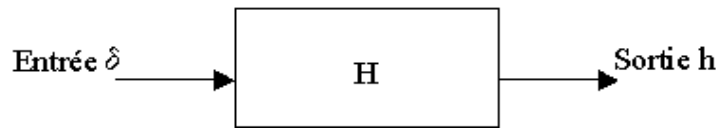


FIG. 4.9 –

Puis une entrée quelconque $x[k]$ peut être décomposée en une somme d'impulsions discrètes :

$$x[k] = \sum_n x[n] \delta[k - n]$$

Le système H est linéaire et invariant, donc : $y[k] = \sum_n x[n] H \{ \delta[k - n] \} = \sum_n x[n] h[k - n]$

Ceci est un produit de convolution discret noté $*$: $y[k] = x * h[k]$

De même dans le cas continu, une entrée quelconque peut être décomposée en une somme d'impulsions réelles de largeur τ :

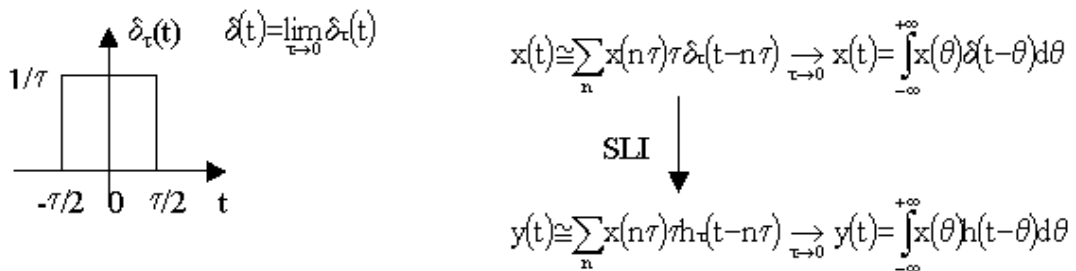


FIG. 4.10 –

Ceci est un produit de convolution continu noté également $*$: $y(t) = x * h(t)$

Quelques caractéristiques :

– Le produit de convolution est commutatif.

$$y(t) = x * h(t) = h * x(t) = \int_{-\infty}^{+\infty} h(\theta) x(t - \theta) d\theta$$

$$y[k] = x * h[k] = h * x[k] = \sum_n h[n] x[k - n]$$

- Dans le cas d'un système causal, la réponse à un instant donné ne dépend que des valeurs précédentes de l'entrée, $h(t)=0$ pour $t<0$ ou $h[n]=0$ pour $n<0$:

$$y(t) = \int_0^{+\infty} h(\theta) x(t - \theta) d\theta$$

$$y[k] = \sum_{n=0}^{+\infty} h[n] x[k - n]$$

- Certains systèmes discrets ont une réponse impulsionnelle de durée finie (système RIF) tandis que d'autres ont une réponse impulsionnelle de durée infinie (systèmes RII).
- Tous les systèmes continus réels ont une réponse impulsionnelle de durée infinie.

4.2 Définition et propriétés de la transformée de Laplace pour l'étude des signaux et des systèmes continus

L'outil mathématique qui lie les domaines temporel et fréquentiel est la transformée de Fourier :

$$X(\omega) = \int_{-\infty}^{+\infty} x(t) e^{-j\omega t} dt$$

$X(\omega)$ peut s'interpréter comme la projection de $x(t)$ sur le signal harmonique $e^{j\omega t}$: on cherche dans toute l'histoire (passé et future) de $x(t)$ ce qui correspond à la pulsation ω .

4.2.1 Définition, condition d'existence et analyticit 

La transform e de Laplace constitue une extension de la d finition de la transform e de Fourier   tout le plan complexe de la variable fr quentielle.

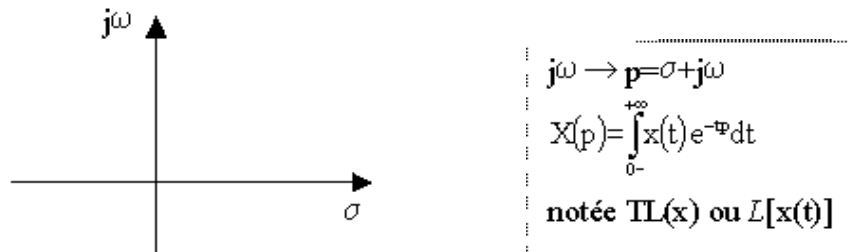
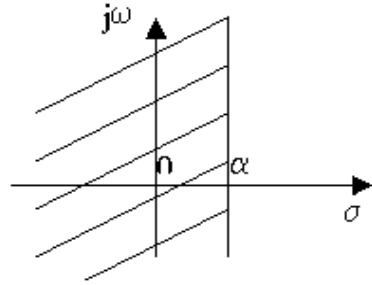


FIG. 4.11 -

La d finition retenue est celle de la TL unilat rale car en pratique les signaux et leurs syst mes de traitement sont causaux. La borne inf rieure est fix e   0^- pour englober une  ventuelle discontinuit  ou impulsion qui se produirait en $t=0$.

$$X(p) = \int_{0^-}^{+\infty} x(t) e^{-\sigma t} e^{-j\omega t} dt$$

Le facteur $e^{-\sigma t}$ est un facteur de convergence que la transform e de Fourier ne poss de pas. Il en r sulte que la transform e de Laplace est d finie (convergente) pour un plus grand nombre de signaux, en particulier les signaux dont la croissance est exponentielle.



$$F(p) = \int_{0^-}^{+\infty} \exp[(\alpha - p)t] dt$$

$$F(p) = \frac{1}{(\alpha - p)} [\exp[(\alpha - \sigma)t] \exp(-j\omega t)]_0^{\infty}$$

FIG. 4.12 –

Exemple : la fonction $f(t) = \exp(\alpha t)$ où α est une constante réelle positive ne possède pas de transformée de Fourier. En revanche, pour $\sigma > \alpha$, la transformée de Laplace est définie et vaut $F(p) = 1/(p - \alpha)$.

La transformée de Laplace d'une fonction $x(t)$ est donnée par l'ensemble de la fonction $X(p)$ et de la bande de convergence.

Une condition suffisante pour l'existence de la TL est qu'il existe un réel positif σ_0 tel que l'intégrale suivante converge :

$$\int_{0^-}^{+\infty} |x(t)| e^{-\sigma_0 t} dt$$

Puis pour tout $\sigma > \sigma_0$, l'intégrale a fortiori converge et donc la TL est définie.

Tous les signaux causaux qui ont une transformée de Laplace sont tels que cette transformée existe dans un demi plan droit (contenant $\text{Re}(p) = +\infty$).

Pour satisfaire à cette condition, $x(t)$ doit être localement sommable et la croissance de $x(t)$ avec t ne doit pas être trop rapide : $x(t)$ doit être d'ordre exponentiel, i.e. il existe deux réels positifs M et α tels que pour $t \rightarrow \infty$:

$$|x(t)| < M e^{\alpha t}$$

Exemples :

- $f(t) = K$, une constante, il existe M tel que $|K| < M e^{\alpha t}$ avec $\alpha \geq 0$ quand $t \rightarrow \infty$, K est d'ordre exponentiel.
- $f(t) = t^n$, $n > 0$, comme $\lim_{t \rightarrow \infty} \left(\frac{t^n}{\exp(\alpha t)} \right) = 0$ avec $\alpha > 0$, il existe M tel que $|t^n| < M e^{\alpha t}$ quand $t \rightarrow \infty$, t^n est d'ordre exponentiel.
- En revanche, $f(t) = \exp(t^3)$ n'est pas d'ordre exponentiel.

Dans ce cas, la transformée de Laplace de $x(t)$, $X(p)$ est définie et analytique (dérivable) dans la bande de convergence telle que $\text{Re}(p) = \sigma > \alpha$.

Et $L[x(t)] < \frac{M}{p - \alpha}$ pour $\text{Re}(p) = \sigma > \alpha$

Ce qui donne $L[x(t)] \rightarrow 0$ pour $p \rightarrow \infty$

4.2.2 La transformée de Laplace de quelques signaux

- Echelon unité (Heaviside) $\text{TL}(u) = \int_{0^-}^{\infty} u(t) e^{-tp} dt$
 $= \int_{0^-}^{\infty} e^{-tp} dt = \left[-\frac{1}{p} e^{-tp} \right]_{0^-}^{\infty}$
 $\text{TL}(u) = \frac{1}{p}$ pour $\text{Re}(p) > 0$

- Impulsion de Dirac $TL(\delta) = \int_{0^-}^{\infty} \delta(t) e^{-tp} dt$

Toute l'énergie de l'impulsion de Dirac est concentrée en 0 (de 0^- à 0^+) donc elle est bien englobée dans l'intégrale grâce au choix de la borne 0^- pour la définition de la TL unilatérale. Donc,

$$TL(\delta) = 1$$

- Signal sinusoïdal complexe : $f(t) = \exp(\pm j\omega_0 t)$ où ω_0 est une constante réelle positive (pulsation)

$$TL(f) = \int_{0^-}^{\infty} \exp(\pm j\omega_0 t) e^{-tp} dt$$

$$= \frac{1}{-p \pm j\omega_0} [\exp [(-p \pm j\omega_0) t]]_{0^-}^{\infty}$$

$$TL(f) = \frac{1}{p \mp j\omega_0} \quad \text{pour } \text{Re}(p) > 0$$

4.2.3 Propriétés de la TL

- Linéarité : $L \left[\sum_{i=1}^n a_i x_i(t) \right] = \sum_{i=1}^n a_i L[x_i(t)]$ où a_i sont des constantes.

Application : détermination des TL des fonctions $\cos \omega_0 t$ et $\sin \omega_0 t$

$$L[\cos \omega_0 t] = L \left[\frac{\exp(j\omega_0 t) + \exp(-j\omega_0 t)}{2} \right] = \frac{1}{2(p - j\omega_0)} + \frac{1}{2(p + j\omega_0)} = \frac{p}{p^2 + \omega_0^2}$$

$$L[\sin \omega_0 t] = L \left[\frac{\exp(j\omega_0 t) - \exp(-j\omega_0 t)}{2j} \right] = \frac{1}{2j(p - j\omega_0)} - \frac{1}{2j(p + j\omega_0)} = \frac{\omega_0}{p^2 + \omega_0^2}$$

- Multiplication de la variable t par une constante positive α : $L[x(\alpha t)] = \frac{1}{\alpha} X(p/\alpha)$

- Différentiation dans le domaine temporel : $L \left[\frac{dx(t)}{dt} \right] = pX(p) - x(0^-)$

Cette propriété est très importante : la dérivée dans le domaine temporel correspond à une multiplication par la variable complexe p dans le domaine fréquentiel (avec l'addition de termes correspondant aux conditions initiales). Donc l'opération transcendante de dérivation est convertie en une opération algébrique de multiplication. Ceci est le vrai pouvoir de la TL qui la rend si utile pour résoudre les équations différentielles.

- Intégration dans le domaine temporel : $L \left[\int_{0^-}^t x(\tau) d\tau \right] = \frac{X(p)}{p}$

Cette relation montre que l'intégration dans le domaine temporel correspond à une division dans le domaine fréquentiel.

En combinant les deux dernières propriétés, nous pouvons conclure que grâce à la TL, les équations intégro-différentielles sont remplacées par des équations algébriques.

Application : détermination de la TL de la fonction $f_n(t) = t^n$ où n est un entier.

Sachant que la TL de l'échelon unité $u(t)$ vaut $1/p$:

$$L \left[\int_{0^-}^t u(\tau) d\tau = t \right] = \frac{1}{p^2} \quad TL(f_1) = \frac{1}{p^2}$$

$$L \left[\int_{0^-}^t \tau d\tau = \frac{t^2}{2} \right] = \frac{1}{p^3} \quad TL(f_2) = \frac{2}{p^3}$$

$$L \left[\int_{0^-}^t \tau^{n-1} d\tau = \frac{t^n}{n} \right] = \frac{TL(f_{n-1})}{p} \quad TL(f_n) = \frac{n!}{p^{n+1}}$$

- Différentiation dans le domaine fréquentiel : $L[-tx(t)] = \frac{dX(p)}{dp}$

- Intégration dans le domaine fréquentiel : $L \left[\frac{x(t)}{t} \right] = \int_p^{\infty} X(p) dp$
- Translation en temps : $L [x(t - \alpha) u(t - \alpha)] = e^{-\alpha p} X(p)$
- Translation en fréquence : $L [e^{\alpha t} x(t)] = X(p - \alpha)$
- Convolution : $L [x_1 * x_2(t)] = X_1(p) X_2(p)$
- Signaux périodiques : $x(t)$ périodique de période T : $L [x(t)] = \frac{1}{1 - e^{-Tp}} \int_0^T x(t) e^{-tp} dt$

4.2.4 Théorèmes de la valeur initiale, de la valeur finale

Soit $x(t)$ un signal causal de transformée $X(p)$, à condition que les limites existent, on a :

$$\lim_{t \rightarrow 0^+} x(t) = \lim_{p \rightarrow +\infty} pX(p)$$

$$\lim_{t \rightarrow +\infty} x(t) = \lim_{p \rightarrow +0} pX(p)$$

Le théorème de la valeur initiale permet de connaître la valeur de départ de $x(t)$ à partir de sa transformée de Laplace.

Le théorème de la valeur finale permet de déterminer la valeur de $x(t)$ à l'état stable à partir de sa transformée de Laplace.

Exemple : $X(p) = \frac{5p+3}{p(p+1)}$ $pX(p) = \frac{5p+3}{(p+1)}$

$$x(0^+) = \lim_{p \rightarrow +\infty} pX(p) = 5$$

$$x(\infty) = \lim_{p \rightarrow +0} pX(p) = 3$$

Pour connaître complètement $x(t)$ à partir de sa transformée de Laplace, il faut inverser la transformée de Laplace. Nous présentons donc les méthodes d'inversion pour les seules fonctions de Laplace rencontrées en pratique : les fonctions rationnelles.

4.2.5 La transformée inverse d'une fonction rationnelle

Nous considérons la fonction de la variable complexe p suivante :

$$F(p) = \frac{N(p)}{D(p)} \text{ où } N(p) \text{ et } D(p) \text{ sont des polynômes à coefficients réels et } \deg N < \deg D$$

Une méthode efficace pour obtenir la transformée de Laplace inverse (TL^{-1}) de $F(p)$ repose sur la décomposition en éléments simples. Les TL^{-1} des éléments simples sont connues et répertoriées (voir tableau en annexe). L'avantage de cette décomposition réside dans l'interprétation physique associée à chaque terme qui nous éclaire sur le comportement temporel du signal ou du système.

Les zéros de $F(p)$ sont les zéros de $N(p)$ et les pôles de $F(p)$ sont les zéros de $D(p)$; Les pôles de $F(p)$ sont notés p_k , ils peuvent être réels ou complexes, simples ou multiples (d'ordre m_k).

$$F(p) = \frac{N(p)}{\prod_{k=1}^n (p - p_k)^{m_k}}$$

Comme $D(p)$ est à coefficients réels, chaque pôle complexe de $F(p)$ est accompagné de son conjugué. Le tableau ci dessous présente les différents types de pôles et l'expression de leurs éléments simples associés.

Pour déterminer les coefficients au numérateur de chaque terme, les méthodes sont les suivantes :

Type de pôle	expression	Eléments simples associés
Pôle réel simple	$p - a$	$\frac{A}{p-a}$
Pôle réel d'ordre r	$(p - b)^r$	$\frac{B_1}{p-b} + \frac{B_2}{(p-b)^2} + \dots + \frac{B_r}{(p-b)^r}$
2 pôles simples complexes conjugués	$p^2 + cp + d$	$\frac{Cp+D}{p^2+cp+d}$
2 pôles d'ordre m complexes conjugués	$(p^2 + ep + f)^m$	$\frac{E_1p+F_1}{p^2+ep+f} + \frac{E_2p+F_2}{(p^2+ep+f)^2} + \dots + \frac{E_m p+F_m}{(p^2+ep+f)^m}$

TAB. 4.1 –

par identification :

- multiplier chaque membre de l'égalité par D(p)
- prendre les valeurs particulières p=pk
- égaliser les coefficients de même puissance jusqu'à obtenir le bon nombre d'équations (autant que d'inconnues)

Exemple :

$$F(p) = \frac{5p^3 - 6p - 3}{p^3(p+1)^2} = \frac{A_1}{p} + \frac{A_2}{p^2} + \frac{A_3}{p^3} + \frac{B_1}{p+1} + \frac{B_2}{(p+1)^2}$$

- $A_1p^2(p+1)^2 + A_2p(p+1)^2 + A_3(p+1)^2 + B_1p^3(p+1) + B_2p^3 = 5p^3 - 6p - 3$
- p=0 $A_3 = -3$
- p=-1 $B_2 = 2$
- coefficient en p^4 $A_1 + B_1 = 0$
- coefficient en p^3 $2A_1 + A_2 + B_1 + B_2 = 5$
- coefficient en p^2 $A_1 + 2A_2 + A_3 = 0$

$$\Leftrightarrow \begin{cases} A_1 = 3 \\ A_2 = 0 \\ B_1 = -3 \end{cases}$$

$$\text{donc } F(p) = \frac{3}{p} - \frac{3}{p^3} - \frac{3}{p+1} + \frac{2}{(p+1)^2}$$

et d'après les propriétés et la table des TL⁻¹ : $f(t) = u(t) \left[3 - 3\frac{t^2}{2} - 3e^{-t} + 2te^{-t} \right]$

généralisation :

Chaque terme de la décomposition correspond à un pôle spécifique (ou à une paire de pôles) de F(p) et pour les pôles réels, la transformée de Laplace inverse peut s'écrire directement.

- Pour un pôle réel simple : $\frac{A}{p-a}$

F(p) s'écrit comme une somme d'éléments simples : $F(p) = \frac{A}{p-a} + G(p)$

Donc $A = [(p-a)F(p)]_{p \rightarrow a}$ et $L^{-1}[F(p)] = Ae^{at} + L^{-1}[G(p)]$

- Pour un pôle réel multiple d'ordre r : $\frac{B_1}{p-b} + \frac{B_2}{(p-b)^2} + \dots + \frac{B_r}{(p-b)^r}$

F(p) s'écrit comme une somme d'éléments simples : $F(p) = \frac{B_1}{p-b} + \frac{B_2}{(p-b)^2} + \dots + \frac{B_r}{(p-b)^r} + \dots$

Soit $\Phi(p) = (p-b)^r F(p)$, $\Phi(p)$ admet au point b un développement en série de Taylor :

$$\Phi(p) = \Phi(b) + (p-b)\Phi'(b) + \frac{(p-b)^2}{2!}\Phi''(b) + \dots + \frac{(p-b)^{r-1}}{(r-1)!}\Phi^{(r-1)}(b) + (p-b)^r G(p)$$

$$F(p) = \frac{\Phi(b)}{(p-b)^r} + \frac{\Phi'(b)}{(p-b)^{r-1}} + \frac{1}{2!} \frac{\Phi''(b)}{(p-b)^{r-2}} + \dots + \frac{1}{(r-1)!} \frac{\Phi^{(r-1)}(b)}{(p-b)} + G(p)$$

par identification $B_i = \frac{1}{(r-i)!} \left[\frac{d^{r-i}}{dp^{r-i}} ((p-b)^r F(p)) \right]_{p \rightarrow b} \quad i=1, 2, \dots, r$

$$L^{-1}[F(p)] = e^{bt} \left(\frac{t^{r-1}}{(r-1)!} \Phi(b) + \frac{t^{r-2}}{(r-2)!} \Phi'(b) + \frac{t^{r-3}}{(r-3)!} \frac{\Phi''(b)}{2!} + \dots + \frac{\Phi^{(r-1)}(b)}{(r-1)!} \right) + L^{-1}[G(p)]$$

Exemple :

$$F(p) = \frac{p-2}{p(p+1)^3}$$

- Un pôle réel simple en 0 : $A = [pF(p)]_{p \rightarrow 0} = -2$
- Un pôle triple en -1 : $\Phi(p) = (p+1)^3 F(p) = 1 - \frac{2}{p} \quad \Phi(-1) = 3$
 $\Phi'(p) = \frac{2}{p^2} \quad \Phi'(-1) = 2$
 $\Phi''(p) = \frac{-4}{p^3} \quad \Phi''(-1) = 4$

En appliquant les résultats ci dessus, nous pouvons écrire directement :

$$f(t) = u(t) \left[-2 + e^{-t} \left(\frac{3t^2}{2} + 2t + 2 \right) \right]$$

Pour les pôles complexes, la détermination de la TL⁻¹ peut être traitée de la même façon que pour les pôles réels en substituant $(\alpha+j\beta)$ et $(\alpha-j\beta)$ pour a ou pour b.

Exemple :

$$F(p) = \frac{2p+3}{p^2+4p+8} = \frac{2p+3}{(p-(-2+2j))(p-(-2-2j))}$$

F(p) possède deux pôles complexes conjugués d'ordre 1 : -2+2j et -2-2j

$$(p-(-2+2j))F(p) = \frac{2p+3}{p-(-2-2j)} \quad A_1 = [(p-(-2+2j))F(p)]_{p \rightarrow -2+2j} = \frac{-1+4j}{4j} = 1 + \frac{j}{4}$$

de même $A_2 = 1 - \frac{j}{4}$ et $f(t) = \left(1 + \frac{j}{4}\right) e^{(-2+2j)t} + \left(1 - \frac{j}{4}\right) e^{(-2-2j)t}$

$$f(t) = e^{-2t} \left[e^{2j} + e^{-2j} + \frac{j}{4} (e^{2j} - e^{-2j}) \right]$$

$$f(t) = e^{-2t} \left[2 \cos(2t) + \frac{1}{2} \sin(2t) \right]$$

Cependant, connaissant les TL des fonctions sinus et cosinus, la détermination par la décomposition en éléments simples regroupant deux pôles complexes conjugués est souvent plus rapide :

$$F(p) = \frac{2p+3}{p^2+4p+8} = \frac{2(p+2)-1}{(p+2)^2+4} = 2 \frac{p+2}{(p+2)^2+4} - \frac{1}{2} \frac{2}{(p+2)^2+4}$$

inversion par calcul de l'intégrale complexe - formule des résidus :

En principe, la transformée de Laplace inverse x(t) peut être obtenue grâce à l'intégrale d'inversion complexe suivante :

$$x(t) = \frac{1}{2\pi j} \int_{\sigma-j\infty}^{\sigma+j\infty} X(p) e^{tp} dp = \frac{1}{2\pi j} \lim_{\omega \rightarrow \infty} \int_{\sigma-j\omega}^{\sigma+j\omega} X(p) e^{tp} dp$$

où σ appartient au domaine de convergence de $X(p)$. Si $x(t)$ présente une discontinuité en t_0 , la limite de l'intégrale fournit :

$$x(t_0) = \frac{x(t_0^+) + x(t_0^-)}{2}$$

Théorème des résidus :

Si $F(p)$ est analytique à l'intérieur et sur un contour fermé C , excepté éventuellement en un nombre fini de singularités situées à l'intérieur de C , alors

$$\oint_C F(p) dp = 2\pi j \sum_r k_r$$

où les k_r sont les résidus de $F(p)$ aux singularités.

En appliquant ce théorème avec $F(p)=X(p)e^{tp}$, nous obtenons :

$$x(t) = \sum \text{Résidus de } X(p) e^{tp} \text{ aux pôles de } X(p)$$

Pour le pôle p_r d'ordre n , $k_r = \frac{1}{(n-1)!} \frac{d^{n-1}}{dp^{n-1}} [(p-p_r)^n X(p) e^{tp}]_{p=p_r}$

Les expressions des dérivées successives pour la détermination de k_r deviennent rapidement volumineuses et leur maniement ne peut être raisonnablement envisagé qu'avec des logiciels de calcul (type MAPLE).

4.3 Principales utilisations de la transformée de Laplace

Le point clé des méthodes d'inversion que nous venons de détailler est la détermination des pôles de la fonction transformée $X(p)$. En effet, les pôles de $X(p)$ contiennent toute l'information nécessaire à la connaissance du comportement temporel de la fonction d'origine $x(t)$.

4.3.1 Pôles de $X(p)$ et comportement qualitatif de $x(t)$

Soit la fonction rationnelle factorisée : $X(p) = \frac{N(p)}{\prod_{k=1}^n (p-p_k)^{m_k}}$

Chaque pôle est symbolisé par une croix dans le plan p complexe.

La fonction $x(t)$ est la somme des transformées inverses de chaque terme correspondant à un pôle ou une paire de pôles. Le comportement qualitatif d'un terme en fonction de la localisation de son pôle dans le plan p est le suivant :

Pôle réel simple :

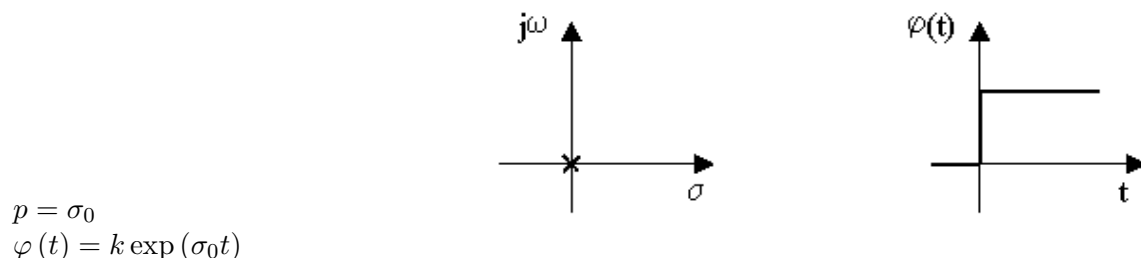


FIG. 4.13 –

Si le pôle réel est égal à 0, la fonction d'origine est une fonction échelon (4.13).

Si le pôle réel est négatif, la fonction d'origine décroît exponentiellement et plus le pôle est loin de l'axe $j\omega$, plus la décroissance est rapide (4.14).

En revanche, si le pôle est positif, la fonction croît indéfiniment (4.15).

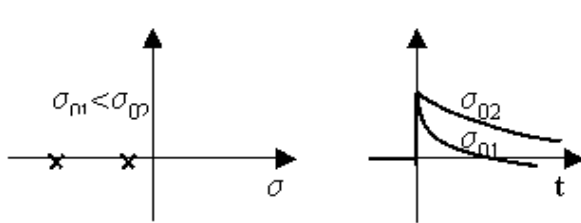


FIG. 4.14 –

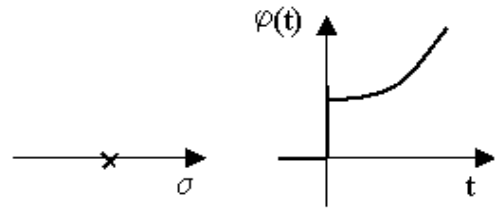


FIG. 4.15 –

Pôles complexes conjugués : Si le pôle est imaginaire pur, la fonction d'origine est sinusoïdale. Plus le pôle est loin de l'axe des réels, plus la fréquence des oscillations est rapide (4.16).

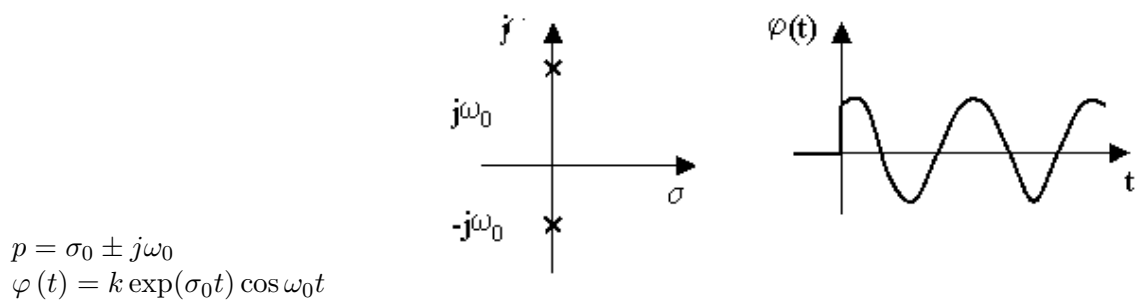


FIG. 4.16 –

Si la partie réelle du pôle est négative, l'amplitude des oscillations décroît exponentiellement (4.17). En revanche, si la partie réelle du pôle est positive, l'amplitude des oscillations croît indéfiniment (4.18).

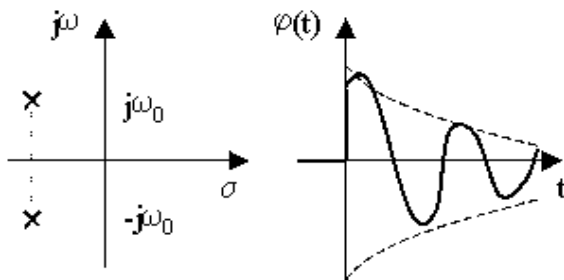


FIG. 4.17 –

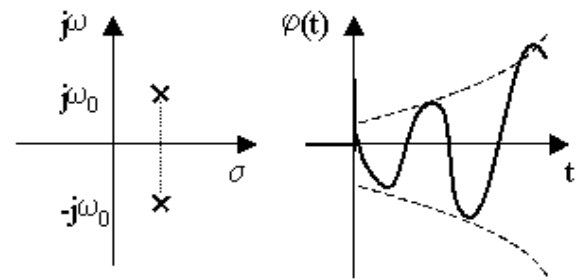


FIG. 4.18 –

Ces considérations montrent que selon le signe de la partie réelle des pôles de $X(p)$, le signal $x(t)$ converge ou diverge ou encore reste borné ; ce qui se traduit pour un système par la notion de stabilité.

4.3.2 Critères de stabilité

La stabilité est une notion importante dans l'étude des systèmes.

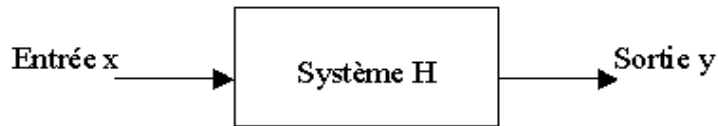


FIG. 4.19 –

Intuitivement, un système est stable si lorsqu'on supprime l'excitation x , la sortie y tend vers une limite bornée.

Stabilité Entrée Bornée – Sortie Bornée (EBSB) :

A toute entrée x , bornée en amplitude, correspond une sortie y également bornée en amplitude.

Une condition nécessaire et suffisante pour qu'un système soit stable EBSB est que :

- sa réponse impulsionnelle soit absolument sommable $\left(\int_0^{+\infty} |h(t)| dt < +\infty\right)$;
- sa fonction de transfert $H(p)$ n'ait que des pôles à partie réelle **négative** et que le degré du numérateur soit inférieur ou égal à celui du dénominateur (ce qui est toujours le cas en pratique).

Exemples :

Un retard pur est stable EBSB.

Un intégrateur (K/p) n'est pas stable EBSB.

Stabilité au sens large :

Un système est stable au sens large si sa réponse impulsionnelle est bornée pour tout $t > 0$. Pour cette stabilité, $H(p)$ peut aussi avoir des pôles à partie réelle nulle d'ordre 1.

Exemples :

$H(p) = \frac{5p^3 - 6p - 3}{p^3(p+1)^2}$ est la fonction de transfert d'un système instable.

$H(p) = \frac{p-2}{p(p+1)^3}$ est la fonction de transfert d'un système stable au sens large, mais pas EBSB.

$H(p) = \frac{2p+3}{p^2+4p+8}$ est la fonction de transfert d'un système stable dans les deux sens du terme.

4.3.3 Résolution d'équations différentielles linéaires

La principale force de la représentation symbolique de Laplace est de convertir les équations intégro-différentielles qui caractérisent les systèmes linéaires invariants en temps continu en équation algébriques.

domaine temporel
dérivation de $x(t)$

domaine fréquentiel
multiplication par p de $X(p)$, avec l'addition d'un terme de condition initiale

intégration de $x(t)$

division par p de $X(p)$

De l'équation algébrique en $X(p)$, il est facile d'extraire l'inconnue $X(p)$. Puis les méthodes d'inversion de la transformée de Laplace sont mises en œuvre pour obtenir $x(t)$.

Les mêmes considérations peuvent s'appliquer à un système d'équations différentielles avec plusieurs variables.

4.3.4 Etude d'un circuit électrique

La transformée de Laplace est un outil puissant pour l'analyse et la conception de circuits et systèmes électriques. Et au delà, l'étude de tout système (mécanique, biologique) pour lequel il existe une équivalence (un modèle) électrique peut se servir de l'outil de Laplace.

Les éléments de base :

Considérons les principaux éléments d'un circuit électrique et leur expression dans le domaine fréquentiel :

Tension	$u(t)$	$U(p)$
Courant	$i(t)$	$I(p)$
Résistance	$R = \frac{u(t)}{i(t)}$	$Z_R = \frac{U(p)}{I(p)} = R$
Inductance	$u(t) = L \frac{di(t)}{dt}$	$U(p) = LpI(p) - Li(0^-) = Z_L I(p) - Li(0^-)$
Capacité	$i(t) = C \frac{du(t)}{dt}$	$I(p) = CpU(p) - Cu(0^-) = \frac{1}{Z_C} U(p) - Cu(0^-)$

Les termes correspondants aux conditions initiales sont très importants ; ils peuvent être modélisés par une source de tension continue ou de courant continu.

Méthode d'étude générale :

Nous allons présenter la technique générale pour déterminer l'expression d'un signal dans un circuit en l'appliquant simultanément à un exemple. Les données sont la topologie du circuit, les expressions temporelles des excitations et les conditions initiales (valeurs des tensions et des courants à $t=0$).

Soit le circuit intégrateur et l'excitation représentés ci-dessous, déterminer l'expression temporelle de la sortie $v_s(t)$ en fonction de sa valeur initiale.

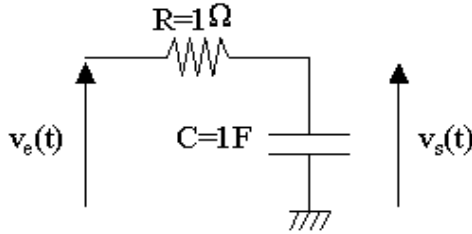


FIG. 4.20 -

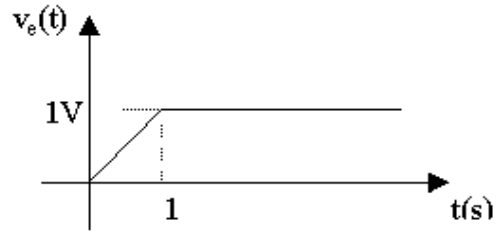


FIG. 4.21 -

- Calculer les transformées de Laplace des entrées.

$$v_e(t) = t[u(t) - u(t-1)] + u(t-1) = tu(t) - (t-1)u(t-1)$$

$$V_e(p) = \frac{1}{p^2} - \frac{1}{p^2}e^{-p} = \frac{1}{p^2}(1 - e^{-p})$$

- Représenter le circuit avec les éléments transformés et des générateurs pour les conditions initiales.

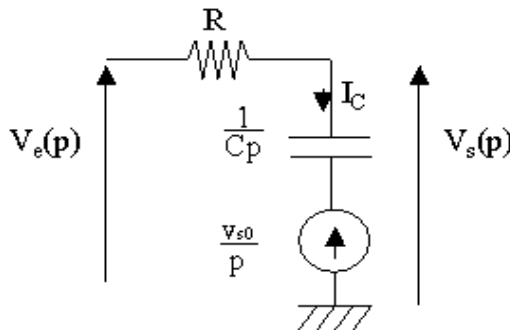


FIG. 4.22 -

$$I_C(p) = CpV_s(p) - Cv_{s0}$$

$$V_s(p) = Z_C I_C(p) + \frac{v_{s0}}{p}$$

$$v_{s0} = v_s(0^-)$$

- Ecrire autant d'équations que d'inconnues dans le système grâce aux lois des nœuds et des mailles.

$$\begin{aligned} V_s(p) &= \frac{1}{Cp} I_C(p) + \frac{v_{s0}}{p} \\ V_s(p) + R I_C(p) &= V_e(p) \end{aligned}$$

- Résoudre le système d'équations pour toutes les inconnues ou seulement pour celles qui sont recherchées.

$$\begin{aligned} V_s(p) &= \frac{V_e(p) + RCv_{s0}}{RCp+1} = \frac{V_e(p) + v_{s0}}{p+1} \\ V_s(p) &= \frac{1}{p+1} \left[\frac{1}{p^2} (1 - e^{-p}) + v_{s0} \right] \end{aligned}$$

- Calculer la transformée de Laplace inverse

$$F_1(p) = \frac{1}{(p+1)p^2} = \frac{1}{p+1} - \frac{1}{p} + \frac{1}{p^2} \quad f_1(t) = (e^{-t} - 1 + t) u(t)$$

$$F_2(p) = \frac{v_{s0}}{(p+1)} \quad f_2(t) = v_{s0} e^{-t} u(t)$$

$$\text{donc } v_s(t) = f_1(t) - f_1(t-1) + f_2(t)$$

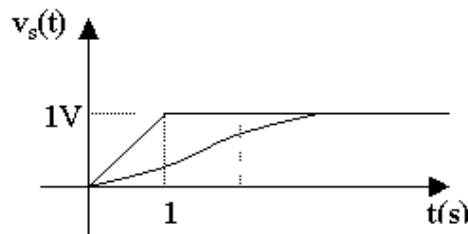


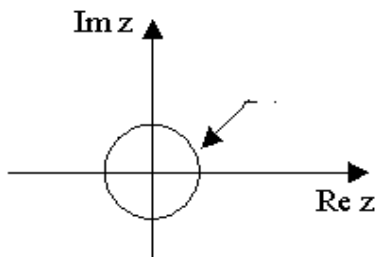
FIG. 4.23 – Allure de $v_s(t)$ pour $v_{s0} = 0$

4.4 Définition et propriétés de la transformée en Z pour l'étude des signaux et des systèmes échantillonnés

Les systèmes linéaires invariants (SLI) échantillonnés constituent une classe très importante pour le traitement du signal. La transformée en Z pour de tels systèmes joue le même rôle que la transformée de Laplace pour les SLI continus.

4.4.1 Définition, condition d'existence et analyticit 

Soit une s quence $x[k]$ de nombre r els, la transform e en Z est une fonction de la variable complexe z d finie par :



$$\begin{aligned} X(z) &= \sum_{k=0}^{\infty} x[k] z^{-k} \\ &\text{not e } \mathcal{ZZ}(x) \text{ ou } \mathcal{Z}[x[k]] \end{aligned}$$

FIG. 4.24 –

La définition retenue est celle de la TZ unilatérale valable pour les signaux et les systèmes de traitement causaux.

La variable complexe z peut s'écrire : $z = \rho e^{j\theta}$. Alors, une condition suffisante pour l'existence de la TZ est qu'il existe un réel positif ρ_0 tel que la somme suivante converge :

$$\sum_{k=0}^{\infty} |x[k]| \rho_0^{-k}$$

Puis pour tout $\rho > \rho_0$, la somme à fortiori converge et donc la TZ est définie.

Tous les signaux causaux qui ont une transformée en Z sont tels que cette transformée existe dans le plan complexe (contenant $\rho = +\infty$) privé d'un disque centré sur l'origine.

Exemple :

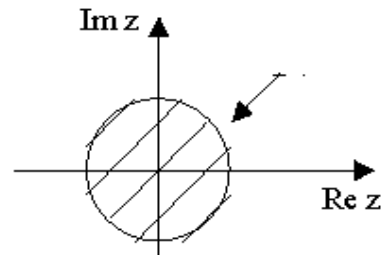


FIG. 4.25 -

La fonction $f[k]=a^k$ où a est une constante réelle positive.

$$F(z) = \sum_{k=0}^{+\infty} a^k z^{-k} = \sum_{k=0}^{+\infty} (az^{-1})^k$$

$$F(z) = \frac{1}{1-az^{-1}} \text{ si } |az^{-1}| < 1$$

pour $\rho > a$, la transformée en Z est définie.

La transformée en Z d'une séquence $x[k]$ est donnée par l'ensemble de la fonction $X(z)$ et du codisque de convergence.

Pour satisfaire à cette condition, $x[k]$ doit être localement sommable et la croissance de $x[k]$ avec k ne doit pas être trop rapide : il existe deux réels positifs M et α tels que pour $k \rightarrow \infty$:

$$|x[k]| < M\alpha^k$$

Dans ce cas, la transformée en Z de $x[k]$, $X(z)$ est définie et analytique (dérivable) dans le codisque de convergence telle que $|z| = \rho > \alpha$.

4.4.2 La transformée en Z de quelques signaux

- Echelon unité (Heaviside) $TZ(u) = \sum_{k=0}^{+\infty} u[k] z^{-k}$
 $= \sum_{k=0}^{+\infty} z^{-k}$

$$TZ(u) = \frac{1}{1-z^{-1}} \text{ pour } |z| > 1$$

- Impulsion discrète $TZ(\delta) = \sum_{k=0}^{+\infty} \delta[k] z^{-k} = 1$

- Séquence exponentielle : $f[k]=\exp(-\alpha k)$ où α est une constante réelle positive

$$TZ(f) = \sum_{k=0}^{+\infty} \exp(-\alpha k) z^{-k}$$

$$= \sum_{k=0}^{+\infty} (e^{-\alpha} z^{-1})^k$$

$$TZ(f) = \frac{1}{1 - e^{-\alpha} z^{-1}} \text{ pour } |z| > e^{-\alpha}$$

4.4.3 Propriétés de la TZ

– Linéarité : $Z \left[\sum_{i=1}^n a_i x_i [k] \right] = \sum_{i=1}^n a_i Z [x_i [k]]$ où a_i sont des constantes

– Translation en temps : soit y le signal x retardé de k_0 échantillons $y [k] = x [k - k_0]$
 $Z [y [k]] = z^{-k_0} X (z)$

Cette propriété montre que retarder un signal d'une unité (une période d'échantillonnage) revient à multiplier par z^{-1} dans le domaine fréquentiel. Ceci conduit à considérer la variable z^{-1} au sens d'un calcul symbolique comme un opérateur retard d'un échantillon.

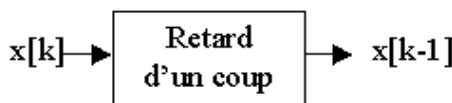


FIG. 4.26 –

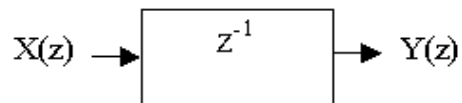


FIG. 4.27 –

- Multiplication du signal par un signal exponentiel : $Z [a^k x [k]] = X (z/a)$
- Multiplication du signal par sa variable d'évolution : $Z [kx [k]] = -z \frac{dX(z)}{dz}$
- Convolution : $Z [x_1 * x_2 [k]] = X_1 (z) X_2 (z)$

Remarque : pour des signaux causaux $x_1 * x_2 [k] = \sum_{n=0}^k x_1 [n] x_2 [k - n]$

4.4.4 Relation entre la transformée en Z et la transformée de Laplace

Si la séquence $x[k]$ provient de l'échantillonnage d'un signal continu $x(t)$:

$$x [k] = x(kT) \quad k=0, 1, 2, \dots$$

la transformée en Z s'écrit : $X (z) = \sum_{k=0}^{+\infty} x(kT) z^{-k}$

D'autre part le signal échantillonné : $x_e (t) = \sum_{k=0}^{+\infty} x(kT) \delta (t - kT)$

possède une transformée de Laplace : $L [x_e (t)] = X_e (p) = \sum_{k=0}^{+\infty} x(kT) \exp (-kTp)$

Si l'on identifie $X(z)$ et $X_e(p)$, il vient : $z = e^{Tp}$

Grâce à cette relation, les transformées en Z et de Laplace d'un signal échantillonné causal sont identiques.

Cas particulier :

Lorsque les domaines de convergence incluent l'axe $j\omega$ d'un coté et le cercle unité de l'autre, la séquence $x[k]$ possède une transformée de Fourier :

$$p = j\omega \quad z = e^{jT\omega} \quad TF (x) = X_e (j\omega) = X (e^{jT\omega}) = \sum_{k=0}^{+\infty} x [k] \exp (-jkT\omega)$$

Les transformées en Z et de Fourier d'une séquence causale sont identiques.

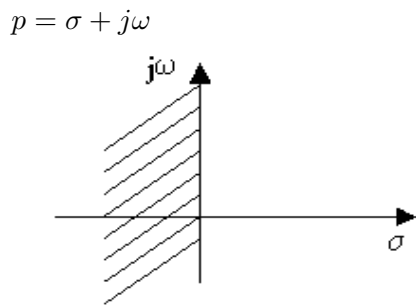


FIG. 4.28 -

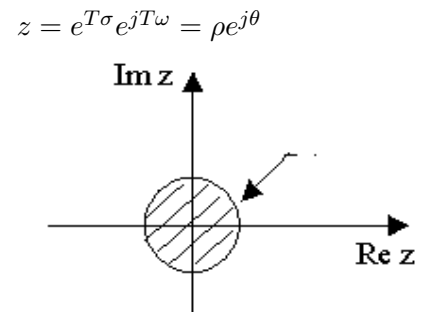


FIG. 4.29 -

1/2 plan gauche
axe $j\omega$
1/2 plan droit



intérieur du cercle unité
cercle $|z|=1$
extérieur du cercle unité

4.4.5 La transformée inverse d'une fonction rationnelle

Considérons la fonction rationnelle suivante dans laquelle le numérateur et le dénominateur sont des fonctions polynomiales de z^{-1} : $X(z) = \frac{\sum_{r=0}^M a_r z^{-r}}{\sum_{r=0}^N b_r z^{-r}}$

Pour reconstituer la séquence $x[k]$ à partir de sa transformée en Z , plusieurs méthodes existent :

la division polynomiale :

En divisant le numérateur par le dénominateur, tous deux rangés selon les puissances croissantes de z^{-1} , on obtient une série :

$$X(z) = c_0 + c_1 z^{-1} + c_2 z^{-2} + \dots \qquad X(z) = \sum_{k=0}^{\infty} x[k] z^{-k}$$

dont les coefficients sont les éléments de la séquence $x[k]$.

Exemple : $F(z) = \frac{1}{1 - 0.5z^{-1} - 0.5z^{-2}}$

$\frac{1}{1 - 0.5z^{-1} - 0.5z^{-2}}$ $\frac{0.5z^{-1} - 0.5^2 z^{-2} - 0.5^2 z^{-3}}{0.75z^{-2} + 0.5^2 z^{-3}}$	<table style="border-collapse: collapse; width: 100%;"> <tr> <td style="border-bottom: 1px solid black; border-right: 1px solid black; padding: 5px;">$1 - 0.5z^{-1} - 0.5z^{-2}$</td> <td style="padding: 5px;">$1 - 0.5z^{-1} - 0.5z^{-2}$</td> </tr> <tr> <td style="border-right: 1px solid black; padding: 5px;">$1 - 0.5z^{-1} - 0.5z^{-2}$</td> <td style="padding: 5px;">$1 + 0.5z^{-1} + 0.75z^{-2} + \dots$</td> </tr> </table>	$1 - 0.5z^{-1} - 0.5z^{-2}$	$1 - 0.5z^{-1} - 0.5z^{-2}$	$1 - 0.5z^{-1} - 0.5z^{-2}$	$1 + 0.5z^{-1} + 0.75z^{-2} + \dots$
$1 - 0.5z^{-1} - 0.5z^{-2}$	$1 - 0.5z^{-1} - 0.5z^{-2}$				
$1 - 0.5z^{-1} - 0.5z^{-2}$	$1 + 0.5z^{-1} + 0.75z^{-2} + \dots$				

Cette méthode est utile pour déterminer les premiers termes de la séquence mais ne fournit pas une forme générique.

la décomposition en éléments simples :

La fraction rationnelle $X(z)$ peut s'écrire sous la forme d'une somme de termes dont la transformée en Z inverse est connue (voir tableau en annexe).

Type de pôle	expression	Elément simple associé
Pôle réel simple	$1 - az^{-1}$	$\frac{A}{1-az^{-1}}$

TAB. 4.2 -

Avec les techniques décrites pour inverser la transformée de Laplace, on détermine les coefficients de la décomposition :

$$X(z) = \sum_{r=1}^N \frac{A_r}{(1 - a_r z^{-1})}$$

Rappel : $Z[a^k] = \frac{1}{1-az^{-1}}$ donc $x[k] = \sum_{r=1}^N A_r a_r^k$

Exemple : $F(z) = \frac{1}{(1-z^{-1})(1+0.5z^{-1})} = \frac{A_1}{(1-z^{-1})} + \frac{A_2}{(1+0.5z^{-1})}$

$$\begin{aligned} A_1 &= \left| (1-z^{-1}) F(z) \right|_{z \rightarrow 1} = \frac{1}{1+0.5} = \frac{2}{3} \\ A_2 &= \left| (1+0.5z^{-1}) F(z) \right|_{z \rightarrow -0.5} = \frac{1}{1+2} = \frac{1}{3} \end{aligned} \quad \text{donc} \quad F(z) = \frac{1}{3} \left[\frac{2}{(1-z^{-1})} + \frac{1}{(1+0.5z^{-1})} \right]$$

et $f[k] = \frac{1}{3} (2 + (-0.5)^k)$

Inversion par calcul de l'intégrale complexe :

En principe, la transformée en Z inverse $x[k]$ peut être obtenue grâce à l'intégrale d'inversion complexe suivante :

$$x[k] = Z^{-1}[X(z)] = \frac{1}{2\pi j} \oint_C X(z) z^{k-1} dz$$

où C appartient au domaine de convergence de $X(z)$.

Théorème des résidus : Si $F(z)$ est analytique à l'intérieur et sur un contour fermé C , excepté éventuellement en un nombre fini de singularités situées à l'intérieur de C , alors

$$\oint_C F(z) dz = 2\pi j \sum_r k_r$$

où les k_r sont les résidus de $F(z)$ aux singularités.

En appliquant ce théorème avec $F(z) = X(z)z^{k-1}$, nous obtenons :

$$x[k] = \sum \text{Résidus de } X(z) z^{k-1} \text{ aux pôles de } X(z) z^{k-1}$$

Pour le pôle p_r d'ordre n , $k_r = \frac{1}{(n-1)!} \frac{d^{n-1}}{dz^{n-1}} [(z - p_r)^n X(z) z^{k-1}]_{z=p_r}$

Exemple : $F(z) = \frac{z^3 - z^2 + 0.5z}{(z-1)^2(z-0.5)}$

$F(z) z^{k-1}$ avec k entier positif à les mêmes pôles que $F(z)$:

$p_1=0.5$ simple

$p_2=1$ double

$$k_1 = \left| (z - 0.5) F(z) z^{k-1} \right|_{z \rightarrow 0.5} = \left| \frac{z^3 - z^2 + 0.5z}{(z-1)^2} z^{k-1} \right|_{z \rightarrow 0.5} = (0.5)^k$$

$$k_2 = \left| \frac{d}{dz} \left[(z-1)^2 F(z) z^{k-1} \right] \right|_{z \rightarrow 1} = \left| \frac{d}{dz} \left[\frac{z^3 - z^2 + 0.5z}{z-0.5} z^{k-1} \right] \right|_{z \rightarrow 1} = k$$

donc $f[k] = (0.5)^k + k$

Les expressions des dérivées successives pour la détermination de k_r deviennent rapidement volumineuses et leur maniement ne peut être raisonnablement envisagé qu'avec des logiciels de calcul (type MAPLE).

4.5 Principales utilisations de la transformée en Z

La transformée en Z permet l'étude des systèmes discrets avec les mêmes possibilités que la transformée de Laplace pour les systèmes continus.

4.5.1 Fonction de transfert et réponse en fréquence des SLI

Les systèmes linéaires invariants sont les systèmes tels que l'entrée et la sortie sont liées par une équation aux différences linéaire avec des coefficients constants. Cette catégorie de systèmes est très importante car elle correspond aux systèmes de traitement du signal numérique (filtres numériques).

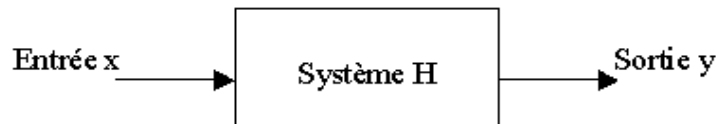


FIG. 4.30 –

En pratique donc le système H est un SLI et de plus il est causal (la sortie y ne dépend que du passé ou du présent de x et du passé de y). Dans ce cas, l'équation aux différences est de la forme générale suivante, a_r et b_r sont des constantes réelles :

$$y[k] = \sum_{r=0}^M a_r x[k-r] - \sum_{r=1}^N b_r y[k-r] \text{ avec } M \leq N$$

La transformation en Z de cette relation donne :

$$Y(z) = X(z) \sum_{r=0}^M a_r z^{-r} - Y(z) \sum_{r=1}^N b_r z^{-r}$$

Alors la fonction de transfert $H(z)$ du système est de la forme :

$$H(z) = \frac{Y(z)}{X(z)} = \frac{\sum_{r=0}^M a_r z^{-r}}{1 + \sum_{r=1}^N b_r z^{-r}}$$

Une fraction rationnelle en z (ou z^{-1}) relie l'entrée et la sortie d'un SLI dans le domaine en Z.

D'après les résultats énoncés dans la partie IV.4), si l'on considère que les séquences x et y représentent des signaux continus échantillonnés, la réponse en fréquence du système peut être obtenue en remplaçant z par $e^{jT\omega}$:

$$H(e^{j\omega T}) = \frac{\sum_{r=0}^M a_r e^{-jr\omega T}}{1 + \sum_{r=1}^N b_r e^{-jr\omega T}} = |H(e^{j\omega T})| \exp(j\Phi(\omega))$$

$H(z)$ est une fraction rationnelle et $\exp(-j\omega T)$ est périodique. Donc les réponses en amplitudes et en phase sont périodiques de période $2\pi/T$.

Exemple :

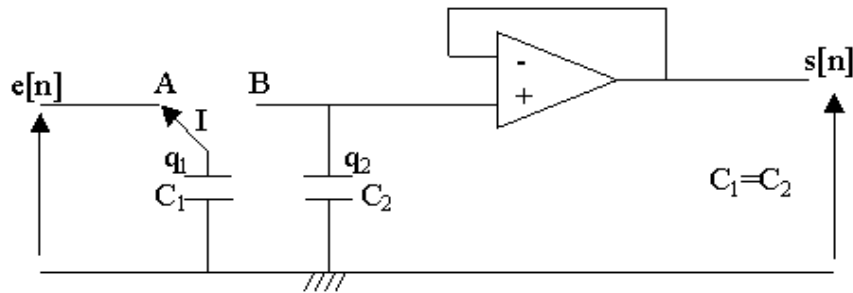


FIG. 4.31 –

L'interrupteur I vient en contact avec la borne B aux instants nT pendant une durée $t_0 \ll T$.

Etablir l'équation aux différences

La charge totale présente sur les armatures des condensateurs à l'instant $nT-\varepsilon$ est identique à celle qui existe juste après la commutation à l'instant $nT+\varepsilon$.

à l'instant $nT-\varepsilon$:

à l'instant $nT+\varepsilon$:

$$\begin{cases} q_1 = C_1 e[n] \\ q_2 = C_2 s[n-1] \end{cases} \quad \begin{cases} q_1 = C_1 s[n] \\ q_2 = C_2 s[n] \end{cases}$$

$$\begin{aligned} C_1 e[n] + C_2 s[n-1] &= (C_1 + C_2) s[n] \\ \text{donc } s[n] &= \frac{C_1}{C_1 + C_2} e[n] + \frac{C_2}{C_1 + C_2} s[n-1] \quad \text{avec } C_1 = C_2 \\ s[n] &= \frac{1}{2} (e[n] + s[n-1]) \end{aligned}$$

En déduire la fonction de transfert $H(z)$

La transformée en Z de la relation de récurrence ci-dessus donne :

$$S(z) = \frac{1}{2} (E(z) - z^{-1}S(z))$$

$$\text{d'où } H(z) = \frac{S(z)}{E(z)} = \frac{1}{2 - z^{-1}}$$

Déterminer la réponse en amplitude dans le domaine fréquentiel et en déduire la fonction réalisée par ce filtre.

$$\begin{aligned} H(e^{j\omega T}) &= \frac{1}{2 - e^{-j\omega T}} = \frac{1}{2 - \cos \omega T + j \sin \omega T} \\ |H(e^{j\omega T})|^2 &= \frac{1}{(2 - \cos \omega T)^2 + \sin^2 \omega T} = \frac{1}{5 - 4 \cos \omega T} \end{aligned}$$

4.5.2 Stabilité

Une condition nécessaire et suffisante pour qu'un système soit stable EBSB est que :

- sa réponse impulsionnelle soit absolument sommable : $\sum_{k=0}^{\infty} |x[k]| < +\infty$

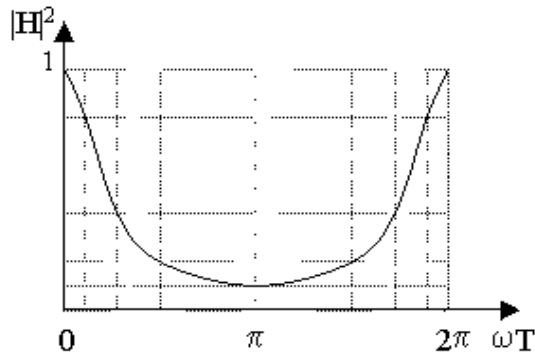


FIG. 4.32 – Filtre passe bas

– sa fonction de transfert $H(z)$ n'a que des pôles dont le module est inférieur à 1.

La transmittance d'un système stable au sens large peut avoir des pôles d'ordre quelconque dont le module est inférieur à 1 et des pôles d'ordre 1 dont le module est égal à 1.

Ces conditions sont les transposées dans le plan en Z des conditions définies dans le plan de Laplace.

4.5.3 La variable bilinéaire

Bien que la variable z apparaisse naturellement dans les fonctions de transfert des systèmes échantillonnés, une autre variable λ est très utilisée :

$$\lambda = \frac{1 - z^{-1}}{1 + z^{-1}}$$

L'intérêt de cette variable est de faire correspondre au cercle unité dans le plan Z l'axe des imaginaires purs dans le plan λ de manière bijective, ce qui n'est pas le cas avec le plan p . En effet, un point sur le cercle unité en Z a une infinité d'origines sur l'axe $j\omega$ dans le plan p .

$$p = \sigma + j\omega \qquad z = e^{T\sigma} e^{jT\omega} = \rho e^{j\theta}$$

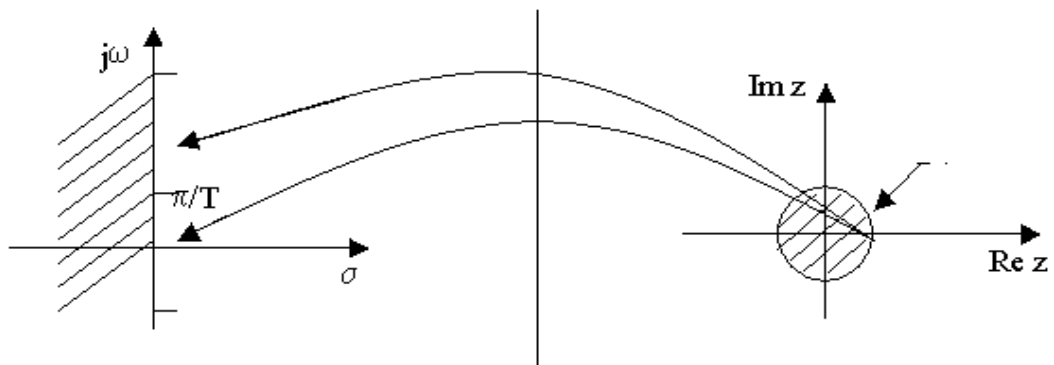


FIG. 4.33 –

Tandis qu'avec λ : $\lambda = \frac{e^{j\theta} - 1}{e^{j\theta} + 1} = \frac{e^{j\theta/2} - e^{-j\theta/2}}{e^{j\theta/2} + e^{-j\theta/2}} = j \tan \frac{\theta}{2} = j\Omega$

le demi cercle $0 \rightarrow \pi$ correspond au demi axe $0 \rightarrow +\infty$ pour Ω

le demi cercle $0 \rightarrow -\pi$ correspond au demi axe $0 \rightarrow -\infty$ pour Ω

Les autres correspondances entre le plan λ et le plan Z sont les suivantes :

$1/2$ plan gauche \iff intérieur du cercle unité
 $1/2$ plan droit \iff extérieur du cercle unité

Les utilisations de la variable bilinéaire sont les suivantes :

- Test de la stabilité des systèmes échantillonnés
- Conception de filtres digitaux : détermination de la fonction de transfert d'un filtre correspondant à un gabarit de spécifications.

Test de la stabilité

$$H(z) = \frac{P(z^{-1})}{Q(z^{-1})} \longrightarrow z^{-1} = \frac{1-\lambda}{1+\lambda} \longrightarrow H(\lambda) = \frac{N_M(\lambda)}{D_N(\lambda)}$$

Une condition nécessaire et suffisante pour qu'un système soit stable EBSB est que la fonction de transfert $H(\lambda)$ n'ait que des pôles dans la partie gauche du plan (et $M \leq N$).

Définition : Un polynôme à coefficients réels est appelé polynôme de Hurwitz si tous ses zéros sont contenus dans le demi plan gauche.

Donc, pour savoir si le système H est stable, il suffit de tester si $D_N(\lambda)$ est un polynôme de Hurwitz ce qui est généralement plus simple que de déterminer tous les pôles de $H(z)$ ou de $H(\lambda)$.

Exemple :

$$H(z) = \frac{(1+z^{-1})^3}{37+51z^{-1}+27z^{-2}+5z^{-3}} \qquad z^{-1} = \frac{1-\lambda}{1+\lambda}$$

$$H(\lambda) = \frac{8}{37(1+\lambda)^3+51(1-\lambda)(1+\lambda)^2+27(1-\lambda)^2(1+\lambda)+5(1-\lambda)^3}$$

$$H(\lambda) = \frac{1}{15+15\lambda+6\lambda^2+\lambda^3}$$

$D_N(\lambda) = 15 + 15\lambda + 6\lambda^2 + \lambda^3$ est-il un polynôme de Hurwitz ?

Méthode :

- Former deux polynômes dont la somme est $D_N(\lambda)$ contenant pour l'un, les puissances paires de λ et pour l'autre les puissances impaires.

$$N(\lambda) = \lambda^3 + 15\lambda \qquad M(\lambda) = 6\lambda^2 + 15$$

- Obtenir la forme développée suivante pour $N(\lambda)/M(\lambda)$ grâce à des divisions et des inversions successives.

$$\frac{N(\lambda)}{M(\lambda)} = \alpha_1\lambda + \frac{1}{\alpha_2\lambda + \frac{1}{\alpha_3\lambda+\dots}}$$

Dividende	Diviseur et reste	Quotient
$N(\lambda) = \lambda^3 + 15\lambda$	$M(\lambda) = 6\lambda^2 + 15$	$q_1 = \frac{1}{6}\lambda$
$M(\lambda) = 6\lambda^2 + 15$	$R_1(\lambda) = N(\lambda) - q_1M(\lambda) = \frac{25}{2}\lambda$	$q_2 = \frac{12}{25}\lambda$
$R_1(\lambda) = \frac{25}{2}\lambda$	$R_2(\lambda) = M(\lambda) - q_2R_1(\lambda) = 15$	$q_3 = \frac{5}{6}\lambda$

TAB. 4.3 –

La condition nécessaire et suffisante pour que le polynôme $D_N(\lambda)$ d'ordre N soit un polynôme de Hurwitz au sens strict est que les N coefficients $\alpha_{1,2,\dots,N}$ soient strictement positifs.

Conclusion : la fonction de transfert $H(z) = \frac{(1+z^{-1})^3}{37+51z^{-1}+27z^{-2}+5z^{-3}}$ est la fonction de transfert d'un système stable EBSB.

Construction d'un filtre échantillonné

Première possibilité :

Filtre en temps continu $H(p)$ → expression temporelle $h(t)$
 → séquence échantillonnée $h[k] = h(kT)$
 → filtre échantillonné $H(z)$

$$H(p) = \frac{H_0}{\prod_{k=1}^n (p-p_k)} = H_0 \sum_{k=1}^n \frac{A_k}{(p-p_k)} \longrightarrow h(t) = H_0 \sum_{k=1}^n A_k e^{p_k t}$$

$$\longrightarrow h[k] = H_0 \sum_{k=1}^n A_k e^{p_k kT}$$

$$\longrightarrow H(z) = H_0 \sum_{k=1}^n \frac{A_k}{1 - e^{p_k T} z^{-1}}$$

$H(z)$ est alors exprimé à partir des pôles de $H(p)$.

Application :

$$H(p) = \frac{\omega_c}{p + \omega_c}$$

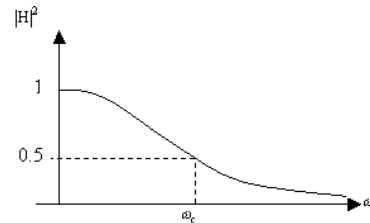


FIG. 4.34 -

$$H(z) = \frac{\omega_c}{1 - e^{-\omega_c T} z^{-1}}$$

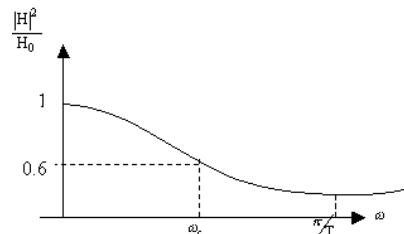


FIG. 4.35 -

non satisfaisant :

gain en $\omega=0$ modifié
 gain non réduit de moitié à ω_c

Deuxième possibilité : Transformation conforme bilatère

Modification du domaine fréquentiel :

→ Filtre en temps continu $H(p)$ ($p=j\Omega$) $p = j\Omega = \frac{2}{T} \frac{1 - e^{-j\omega T}}{1 + e^{-j\omega T}} = \frac{2}{T} j \tan\left(\frac{\omega T}{2}\right)$
 → Filtre échantillonné $H(z)$ en substituant $p = f(z) = \frac{2}{T} \lambda = \frac{2}{T} \frac{1 - z^{-1}}{1 + z^{-1}}$
 $p=f(z)$

Application :

$$\left. \begin{array}{l} \omega_c T = \frac{\pi}{2} \\ T = 1 \end{array} \right\} \Omega_c = \frac{2}{T} \tan\left(\frac{\omega_c T}{2}\right) = 2H(p) = \frac{\Omega_c}{p + \Omega_c}$$

$$H(z) = \frac{\Omega_c}{2\frac{1-z^{-1}}{1+z^{-1}} + \Omega_c} = \frac{1}{2}(1+z^{-1})$$

$$|H|^2 = \frac{1}{2}[1 + \cos \omega T]$$

Cette solution est satisfaisante puisque la réponse en amplitude du filtre échantillonné est conforme au gabarit : gain unitaire à fréquence nulle est gain divisé par deux (-3dB) à ω_c .

4.6 Transformations de Laplace et en Z d'une fonction causale $x(t)$ ou $x[kT]$

$x(t)$	$X(p)$	$X(z)$
$u(t)$	$\frac{1}{p}$	$\frac{z}{z-1}$
t	$\frac{1}{p^2}$	$\frac{Tz}{(z-1)^2}$
$\frac{t^2}{2!}$	$\frac{1}{p^3}$	$\frac{T^2 z(z+1)}{2(z-1)^3}$
e^{-at}	$\frac{1}{p+a}$	$\frac{z}{z-e^{-aT}}$
te^{-at}	$\frac{1}{(p+a)^2}$	$\frac{Tze^{-aT}}{(z-e^{-aT})^2}$
$u(t) - e^{-at}$	$\frac{a}{p(p+a)}$	$\frac{(1-e^{-aT})z}{(z-1)(z-e^{-aT})}$
$t - \frac{1-e^{-at}}{a}$	$\frac{a}{p^2(p+a)}$	$\frac{Tz}{(z-1)^2} - \frac{(1-e^{-aT})z}{a(z-1)(z-e^{-aT})}$
$e^{-at} \sin bt$	$\frac{b}{(p+a)^2+b^2}$	$\frac{ze^{-aT} \sin bT}{z^2-2ze^{-aT} \cos bT+e^{-2aT}}$
$e^{-at} \cos bt$	$\frac{p+a}{(p+a)^2+b^2}$	$\frac{z^2-ze^{-aT} \cos bT}{z^2-2ze^{-aT} \cos bT+e^{-2aT}}$
$\frac{t^2}{2} e^{-at}$	$\frac{1}{(p+a)^3}$	$\frac{T^2 ze^{-aT}}{2(z-e^{-aT})^2} + \frac{T^2 ze^{-2aT}}{(z-e^{-aT})^3}$

TAB. 4.4 – Transformations de Laplace et en Z d'une fonction causale $x(t)$ ou $x[kT]$

4.7 Bibliographie

Bibliographie

- [1] H. Baher. *Analog & Digital Signal Processing*. John Wiley & Sons, 1992.
- [2] D. Beauvois and Y. Tanguy. *Représentation des signaux certains et des systèmes*. ESE, 1999.
- [3] ESE. *Analyse des systèmes linéaires*, 1980.

Chapitre 5

Technique des Capacités Commutées

5.1 Historique

La première publication connue sur les signaux analogiques échantillonnés se trouve dans "Treatise on Electricity and magnetism" de James Clerk MAXWELL en 1873. La théorie sur les signaux analogiques échantillonnés a ensuite été développée dans les années 1950.

A partir de 1970, plusieurs schémas utilisant des commutateurs et des capacités pour simuler des filtres sont proposés [1-2]. Notamment, FRIED montre que, sous certaines conditions, il y a équivalence entre une capacité commutée et une résistance (FIG. 5.1a). Le schéma de la FIG. 5.1b est aussi décrit.

La technologie bipolaire, seule disponible à l'époque, n'a pas permis de gros développement. A la fin des années 1970 et durant les années 80, de nombreuses recherches aboutissent, notamment, à la réalisation de filtres analogiques échantillonnés grâce à l'évolution de la technologie MOS. Ces applications ont été rapidement suivies par un développement plus général de circuits de traitement de signal analogique [3].

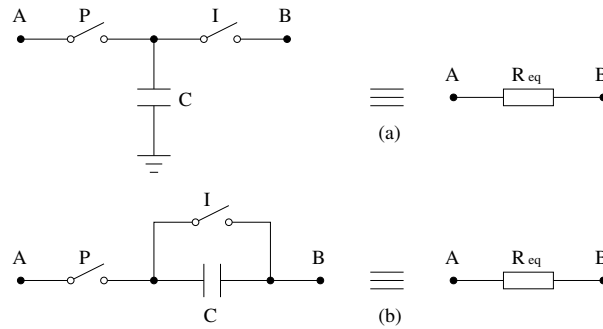


FIG. 5.1 – (a) Equivalence de Fried ; (b) Capacité commutée série

5.2 Résistance équivalente

Considérons le circuit de la FIG. 5.1a, où V_A et V_B sont les tensions supposées constantes aux noeuds A et B . Nous analysons le comportement de ce circuit en étudiant le transfert de charge. Les commutateurs et les condensateurs sont considérés comme parfaits. Les signaux d'horloges paire (P) et impaire (I), commandant respectivement les commutateurs pair (P) et impair (I), ont une période T_e et sont décalés de $T_e/2$. Pendant chaque période d'horloge, la capacité C est chargée et puis déchargée. Par conséquent, la différence de charge pendant une période d'horloge, ΔQ , qui est transférée du noeud A au noeud B , est donnée par

$$\Delta Q = C(V_A - V_B).$$

Puisque le transfert de charge est répété toutes les périodes d'horloge, le courant moyen du à ce transfert de charge est donné par

$$I_{moy} = \frac{C(V_A - V_B)}{T_e}.$$

Le courant traversant la résistance équivalente R_{eq} est donné par

$$I_{eq} = \frac{V_A - V_B}{R_{eq}}.$$

On constate que le courant traversant le circuit à capacités commutées est égal à celui du circuit de la résistance équivalente à condition que

$$R_{eq} = \frac{T_e}{C} = \frac{1}{Cf_e}.$$

L'équivalence entre R et $\frac{1}{Cf_e}$ est démontrée plus en détail dans l'étude du passe-bas du premier ordre.

5.3 Etude du passe-bas du premier ordre

Le schéma très simple de la FIG. 5.2 montre un circuit passe-bas du premier ordre à capacités commutées. Les commutateurs et les condensateurs sont considérés comme parfaits. Les signaux d'horloges paire (P) et impaire (I), commandant respectivement les commutateurs pair (P) et impair (I), ont une période T_e et sont décalés de $T_e/2$.

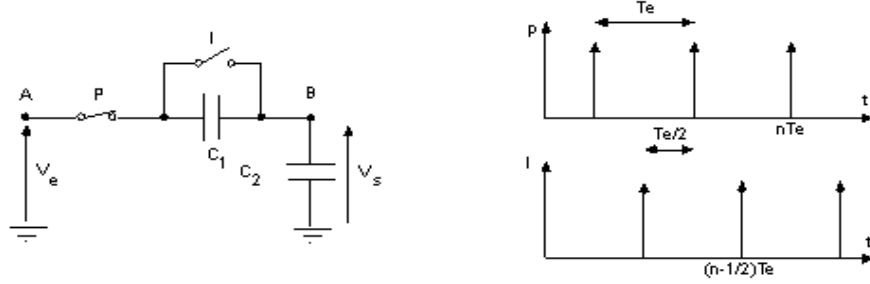


FIG. 5.2 – Passe-bas du premier ordre et signaux de commande

Ces conditions font qu'à chaque phase (paire ou impaire) correspond un transfert de charge instantané. Un bilan des charges des capacités (prises sur le noeud B) à ces instants particuliers donne :

$$\begin{aligned} \text{Instants pairst} &= n \cdot T_e & \text{Instants impairst} &= (n - 1/2) \cdot T_e \\ Q_{C_1}^P(nT_e) &= C_1 \cdot (V_s^P(nT_e) - V_e^P(nT_e)) & Q_{C_1}^I((n - 1/2)T_e) &= 0 \\ Q_{C_2}^P(nT_e) &= C_2 \cdot V_s^P(nT_e) & Q_{C_2}^I((n - 1/2)T_e) &= C_2 \cdot V_s^I((n - 1/2)T_e) \end{aligned}$$

On peut vérifier qu'entre les instants de commutation (interphase) il n'y a pas de mouvement de charges dans le circuit. L'application du principe de conservation de la charge aux instants pairs pour les deux capacités en série permet d'écrire :

$$Q_{C_1}^P(nT_e) + Q_{C_2}^P(nT_e) = Q_{C_1}^I((n - 1/2)T_e) + Q_{C_2}^I((n - 1/2)T_e).$$

La capacité C_2 est isolée aux instants impairs, d'où :

$$Q_{C_2}^I((n - 1/2)T_e) = Q_{C_2}^P((n - 1)T_e).$$

En combinant les deux équation précédentes, nous obtenons l'équation aux différences finies :

$$(C_1 + C_2) \cdot V_s^P(n) - C_2 \cdot V_s^P(n - 1) = C_1 \cdot V_e^P(n).$$

Notation : $V_s^P(n)$ est la tension de sortie à l'instant pair $(n \cdot T_e)$.

L'application de la transformation en z sur les équations ci-dessus donne les fonctions de transfert en z :

$$\begin{aligned} T_{11}(z) &= \frac{V_s^P(z)}{V_e^P(z)} = \frac{1}{1 + \frac{C_2}{C_1}(1 - z^{-1})}, & T_{21}(z) &= \frac{V_s^I(z)}{V_e^P(z)} = \frac{z^{-1/2}}{1 + \frac{C_2}{C_1}(1 - z^{-1})}, \\ T_{12}(z) &= \frac{V_s^P(z)}{V_e^I(z)} = 0, & T_{22}(z) &= \frac{V_s^I(z)}{V_e^I(z)} = 0. \end{aligned}$$

La réponse en fréquence du circuit est donnée pour $z = e^{j\omega T_e}$, la sortie étant bloquée durant T_e . On en déduit :

$$\frac{S(\omega)}{E(\omega)} = e^{-j\frac{\pi f}{f_e}} \text{sinc}\left(\frac{\pi f}{f_e}\right) \frac{1}{1 + \frac{C_2}{C_1}(1 - e^{-j\omega T_e})}.$$

Il vient :

$$T(\omega) = \frac{1}{1 + \frac{C_2 j\omega}{C_1 f_e}}$$

avec la condition $\frac{f}{f_e} \ll 1$.

Rappelons que la réponse en fréquence d'un réseau $R - C$ est donnée par :

$$T(\omega) = \frac{1}{1 + RCj\omega}$$

On a bien l'équivalence entre : R et $\frac{1}{C_1 f_e}$

5.4 Intérêts et contraintes liés à la technologie MOS ou CMOS

5.4.1 Intérêts

La technologie MOS permet de réaliser des capacités de bonne qualité. Elles sont peu précises en valeurs absolues (environ 10%). Par contre, le rapport de capacités peut être obtenu avec une précision de 0,1 à 1%, d'où une très bonne précision des constantes de temps.

5.4.2 Contraintes

Les différentes imperfections liées aux éléments constituant les circuits à capacités commutées imposent des limites sur les performances obtenues.

Les commutateurs

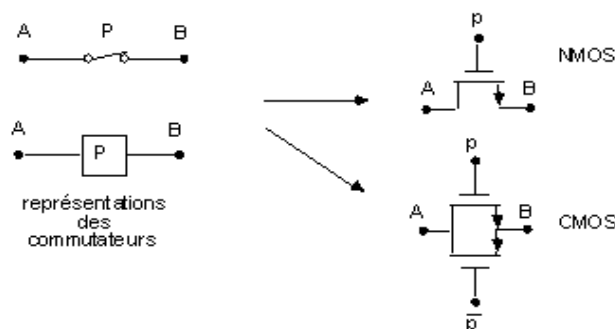


FIG. 5.3 – Symboles et réalisations des commutateurs

Les commutateurs en position ouverte présentent une résistance $R_{off} \approx \infty$. Par contre, en position fermée, ils présentent une résistance R_{on} d'environ $1k\Omega$ en technologie CMOS. Ces commutateurs commandent la charge de capacités et créent des constantes de temps :

$$\tau = R_{on} \cdot C = \text{quelques } \mu s$$

L'obtention d'une précision de 0,1% implique des phases de durées 7τ .

Des impulsions de commande telles que celles présentées sur la FIG. 5.2 ne suffisent pas. Les signaux de la FIG. 5.4 sont nécessaires.

Les capacités parasites du MOS sont présentées sur la FIG. 5.5. Elles sont de deux types :

- capacités parasites drain-substrat et source-substrat. Leur influence peut être limitée par les circuits proposés (voir 5.5) ;
- capacités parasites grille-source et grille-drain. Ces capacités créent des injections de charges d'horloge lors de l'ouverture des interrupteurs. Ceci amène une tension de décalage en sortie des AOP de quelques 10mV.

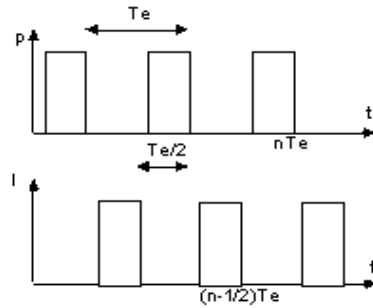


FIG. 5.4 – Signaux de commande des commutateurs

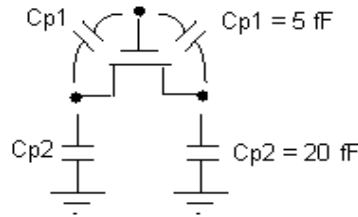


FIG. 5.5 – Transistor MOS avec ses capacités parasites

Les capacités MOS

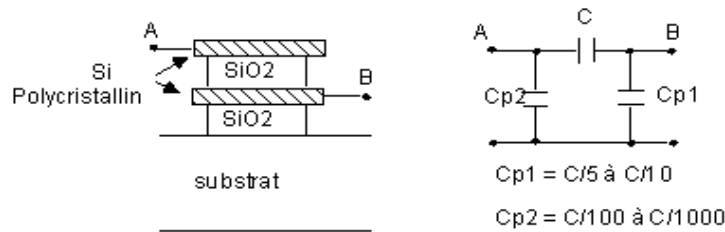


FIG. 5.6 – Réalisation des capacités et capacités parasites

Une capacité MOS est donnée par l'expression :

$$C = \epsilon_{ox} \frac{WL}{e},$$

- avec ϵ_{ox} : permittivité de l'oxyde de silicium (environ 0,35 pF/cm)
- e : épaisseur d'oxyde
- W : largeur de l'armature
- L : longueur de l'armature

Pour deux capacités intégrées sur un même substrat, leur rapport est égal au rapport de la surface des armatures.

$$\alpha_T = \frac{C_1}{C_2} = \frac{W_1 L_1}{W_2 L_2} = \frac{A_1}{A_2}$$

Pour minimiser les erreurs de surface des capacités intégrées, on réalise des capacités unitaires connectées en parallèle comme indiqué FIG. 5.7.

Les armatures hautes et basses présentent des capacités parasites différentes et sont différenciées comme sur la FIG. 5.8. On s'arrange toujours à placer l'armature basse à un potentiel permettant d'être insensible aux capacités parasites (voir montages d'application).

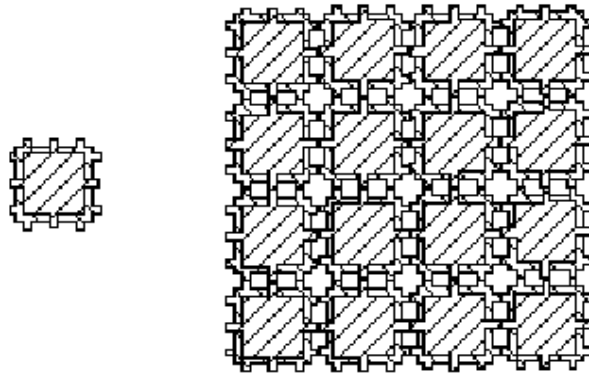


FIG. 5.7 – Capacité unitaire et matrice de capacités

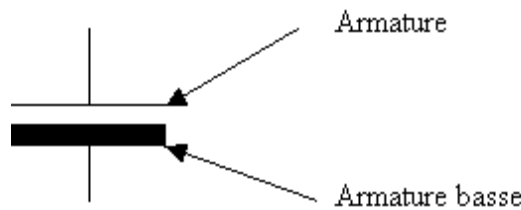


FIG. 5.8 – Symbole de capacité différenciant les armatures

5.5 Applications

Le filtrage analogique et la conversion ont constitué les premières applications des circuits à capacités commutées. Puis d'autres applications ont été développées. La facilité d'implantation en technologie MOS rend cette technique attractive. Le concepteur de systèmes de traitement du signal peut choisir entre l'approche tout analogique, tout numérique ou mixte et ainsi optimiser les performances et la surface pour une application donnée.

5.5.1 Montages d'application hors filtrage

Quelques montages résument les applications possibles des circuits à capacités commutées. Les principes de conversion utilisés dans les circuits sont repris dans le chapitre correspondant.

Amplification

$$V_s = -\frac{C_1}{C_2}V_e + \frac{\alpha (C_1 + C_2)}{C_2 (1 + \alpha - z^{-1})}e_d$$

Le montage amplificateur de la FIG. 5.9 a pour inconvénient d'être sensible à la tension de décalage de l'amplificateur :

Le montage de la FIG. 5.10 est préféré car il permet de compenser cette tension de décalage.

$$\frac{V_S^{\phi^2}(z)}{V_E^{\phi^2}(z)} = -\alpha$$

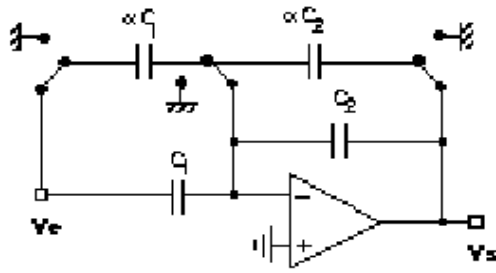


FIG. 5.9 – Amplificateur

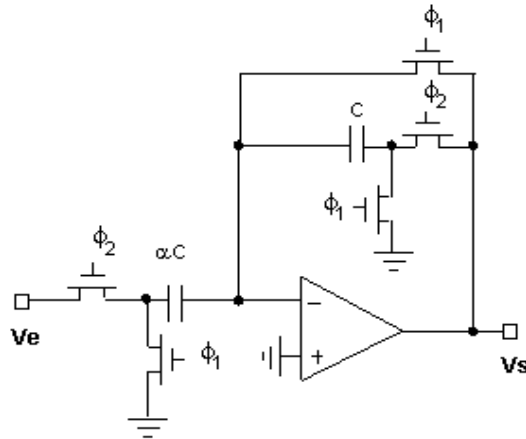


FIG. 5.10 – Amplificateur

Conversion Numérique Analogique

Le circuit amplificateur précédent sert de base au convertisseur numérique-analogique présenté FIG. 5.11. En ne tenant pas compte du retard d'une demi période d'horloge, la tension de sortie s'écrit :

$$V_S = V_E \cdot \sum_{i=1}^n b_i \cdot 2^{-i}$$

Conversion Analogique-Numérique

Le circuit proposé sur la FIG. 5.12 est un convertisseur à approximations successives dont le fonctionnement est présenté en différentes étapes :

- phase 1 : échantillonnage
- phase 2 : blocage
- phase 3 : premier test

Pour simplifier, l'exemple proposé n'est qu'un convertisseur 3 bits.

On peut montrer que ce premier test permet de comparer V_e à $V_{ref}/2$. Suivant le résultat, on commute ou non l'interrupteur lié à C . En phase 4, on commute l'interrupteur lié à $C/2$ et on compare V_e à $3V_{ref}/4$ ou à $V_{ref}/4$. Le test se poursuit jusqu'à la dernière capacité. Le résultat de la conversion se trouve dans le registre à décalage.

Circuit redresseur de tension

Ce montage (FIG. 5.13) permet un redressement double alternance du signal d'entrée.

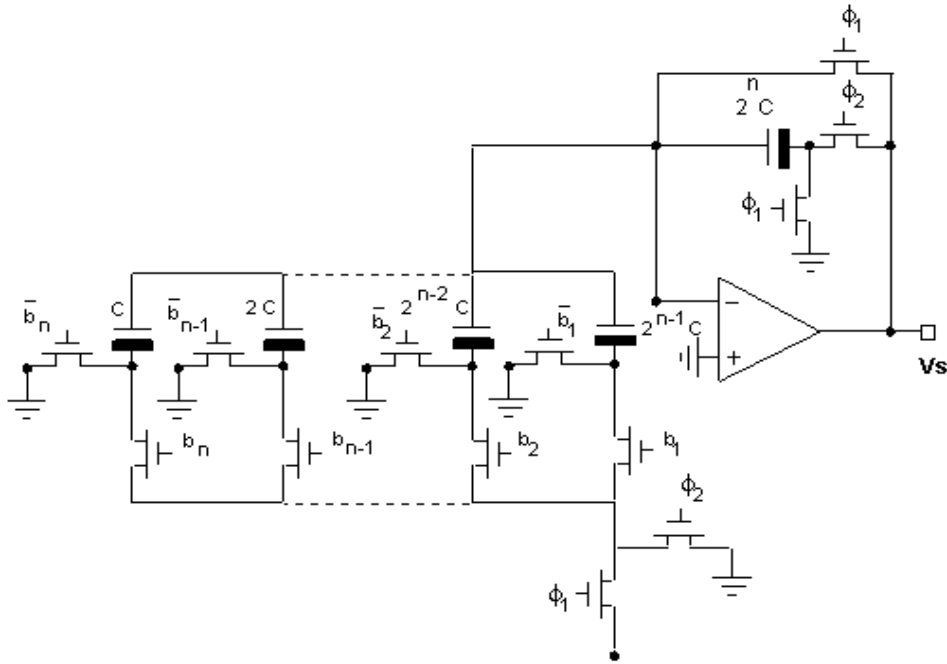


FIG. 5.11 – Convertisseur numérique-analogique

Circuit détecteur de crête

Ce circuit (FIG. 5.14) garde en mémoire aux bornes de la capacité C la plus grande tension appliquée à l'entrée.

5.5.2 Montages appliqués au filtrage

Montages intégrateurs :

Les applications filtrage sont réalisées à partir de cellules intégratrices telles que celles présentées sur la FIG. 5.15. On utilise plutôt les montages insensibles aux capacités parasites (FIG. 5.16). Ces circuits ont la particularité de réaliser des intégrateurs positifs et négatifs. Ceci procure une plus grande souplesse par rapport aux circuits intégrateurs en temps continu.

Cellule du deuxième ordre

La cellule de la FIG. 5.17 est un exemple de cellule d'ordre 2 utilisée en filtrage à capacités commutées.

5.6 Bibliographie

Bibliographie

- [1] P. Allen and Sanchez-Sinencio E. Switched capacitor circuits. Technical report, Van Nostrand Reinhold Company, 1984.
- [2] A. Fettweis. Realisation of general network fonctions using the resonant transfert principle. In *Fourth Asilomar Conf. on Circuits and Systems*, pages 663–666, Nov. 1970.
- [3] D. L. Fried. Analog sample data filters. *IEEE J. of Solid State Circuits*, pages 302–304, Août 1972.
- [4] M. S. Ghausi and K. R. Laker. *Modern Filter Design*. Prentice-Hall, 1981.

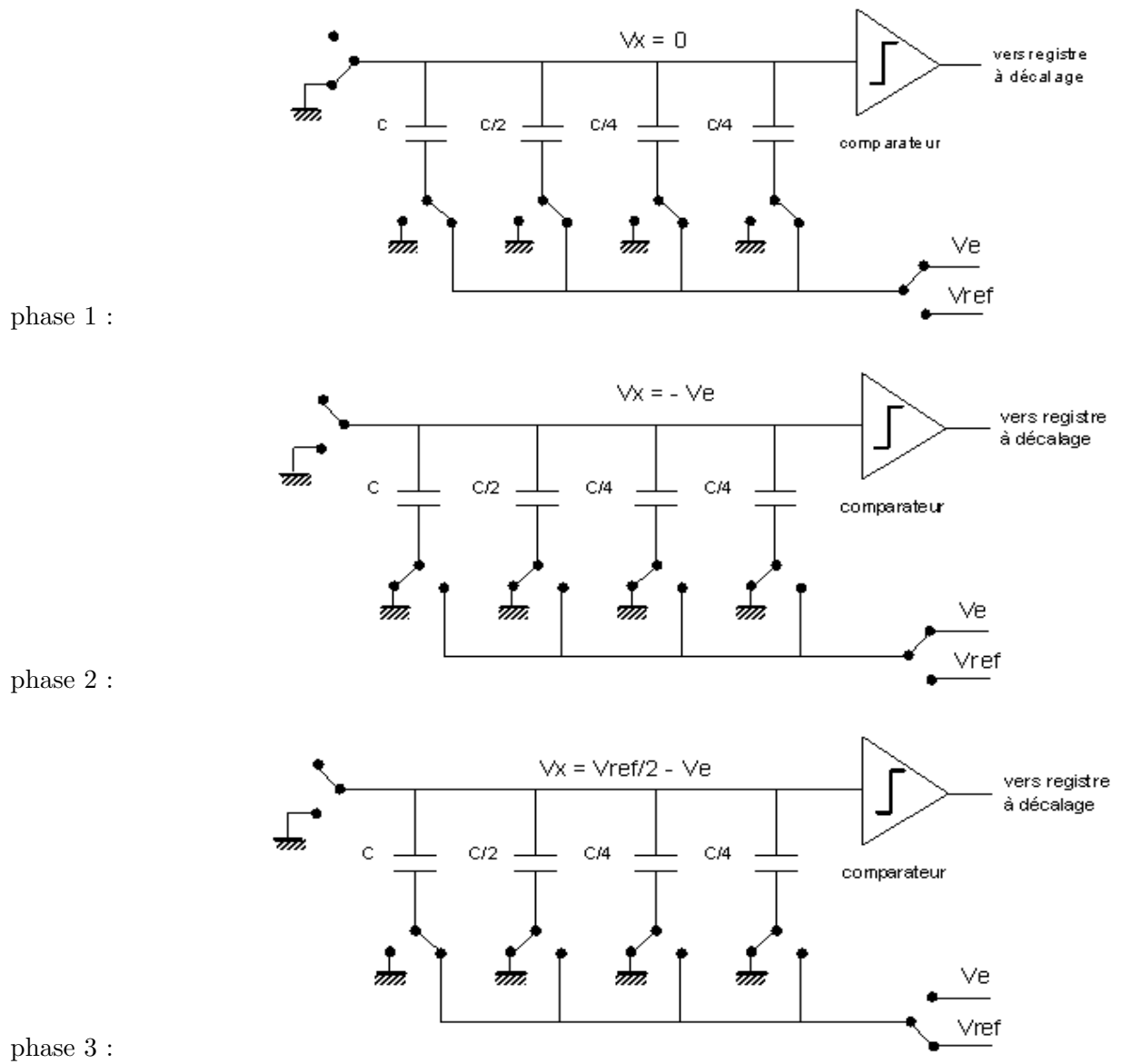


FIG. 5.12 – Convertisseur A-N à approximations successives

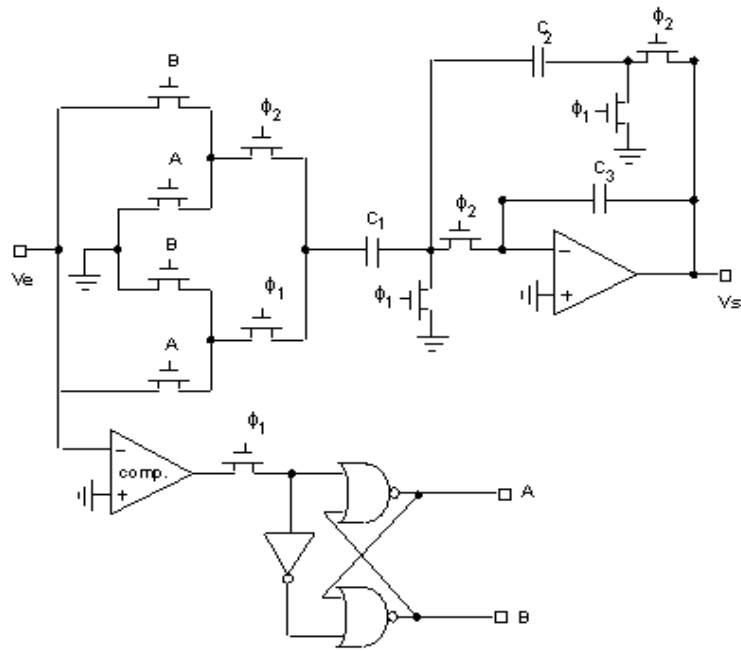


FIG. 5.13 – Redresseur double alternance

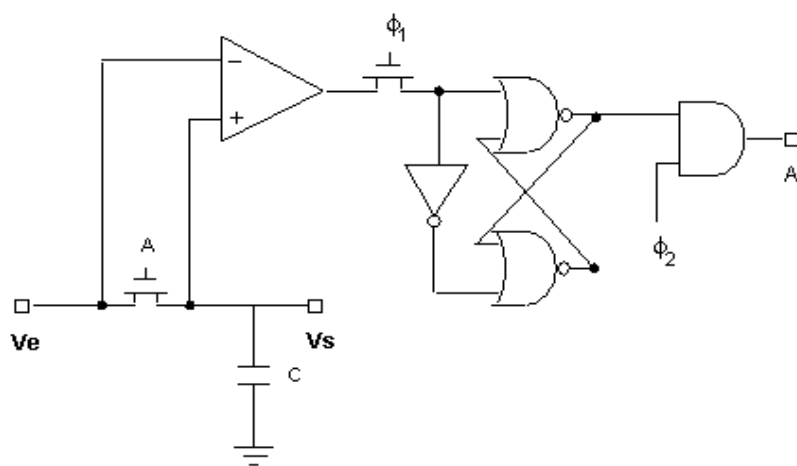
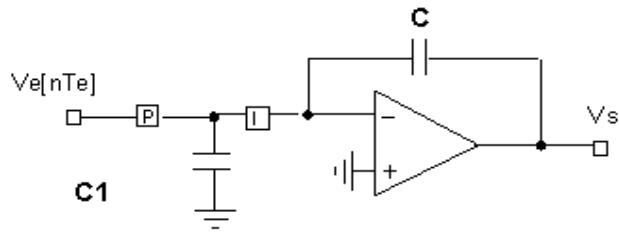
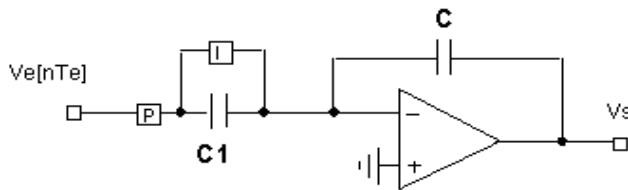


FIG. 5.14 – Détecteur de crête

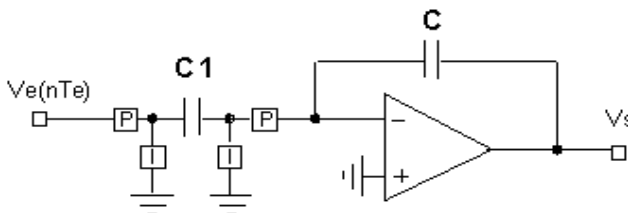


$$\frac{V_s^P(z)}{V_e^P(z)} = + \frac{C_1}{C} \frac{z^{-1}}{1 - z^{-1}}$$

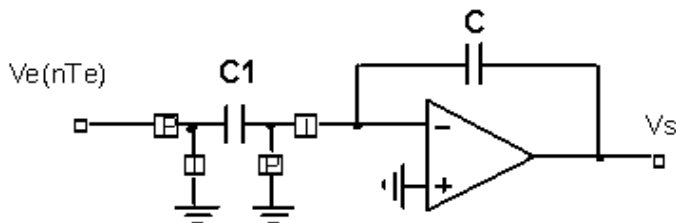


$$\frac{V_s^P(z)}{V_e^P(z)} = - \frac{C_1}{C} \frac{1}{1 - z^{-1}}$$

FIG. 5.15 – Circuits intégrateurs sensibles aux capacités parasites



$$\frac{V_s^P(z)}{V_e^P(z)} = - \frac{C_1}{C} \frac{1}{1 - z^{-1}}$$



$$\frac{V_s^P(z)}{V_e^P(z)} = + \frac{C_1}{C} \frac{z^{-1}}{1 - z^{-1}}$$

FIG. 5.16 – Circuits intégrateurs insensibles aux capacités parasites

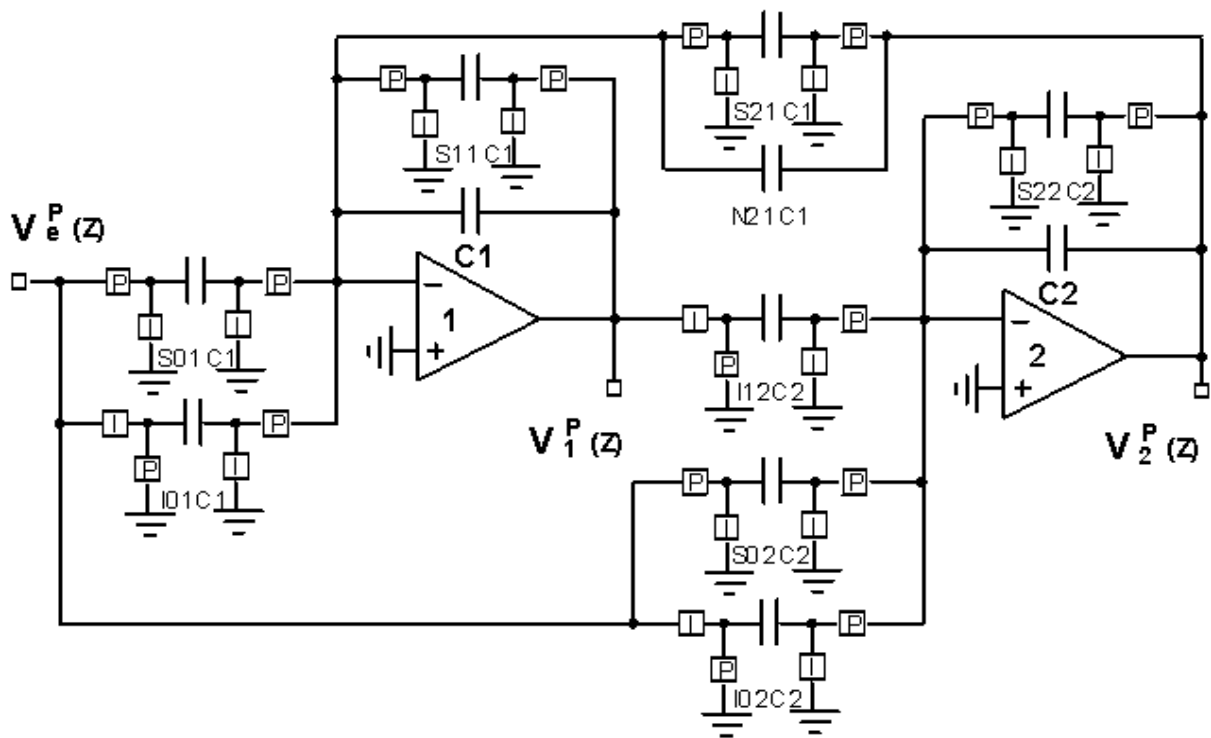


FIG. 5.17 – Cellule d'ordre 2

- [5] R. Gregorian and G. Temes. *Analog MOS Integrated Circuits for Signal Processing*. John Wiley & Sons, 1986.
- [6] Hodges, Gray, and Brodersen. Potential of mos technologie for analog integrated circuits. *IEEE J. of Solid State Circuits*, pages 285–294, Juin 1978.

Chapitre 6

Filtrage analogique

6.1 Introduction

Ce chapitre traite du filtrage analogique, fonction très importante de notre domaine des télécommunications. Une transmission de signal implique l'utilisation d'un filtre pour en limiter son énergie dans une bande de fréquence utile, éliminer tous les signaux parasites en dehors de cette bande notamment. Après des définitions indispensables à la compréhension de ce thème, les principales réalisations des filtres utilisés aujourd'hui sont présentées. Une bibliographie complète cette partie. Les filtres à inductances actives et les filtres actifs à constantes de temps distribuées sont reportés en annexe et sont donc considérés hors programme.

6.1.1 Définitions

Un filtre électrique opère une modification d'un signal d'entrée $x(t)$ pour produire un signal de sortie $y(t)$. De la modification du signal temporel $x(t)$ correspond une modification de son spectre $X(j\omega)$ et produit $Y(j\omega)$.

Si le filtre est linéaire, le contenu spectral de $Y(j\omega)$ ne peut pas être plus riche que celui du signal d'entrée. Ce filtre se contente d'amplifier ou d'atténuer certaines composantes présentes dans $X(j\omega)$. Par contre, un filtre non linéaire fait apparaître des composantes inexistantes dans $X(j\omega)$. La plupart des filtres sont voulus linéaires et c'est ceux-là que nous étudierons.

6.1.2 Applications

Les télécommunications utilisent les filtres dans tous les équipements. En effet, transmettre une information impose d'amplifier le signal, de le filtrer pour ne garder que la bande de fréquence utile et de le convertir de signal numérique à signal analogique dans le sens émission et de signal analogique à signal numérique dans le sens réception.

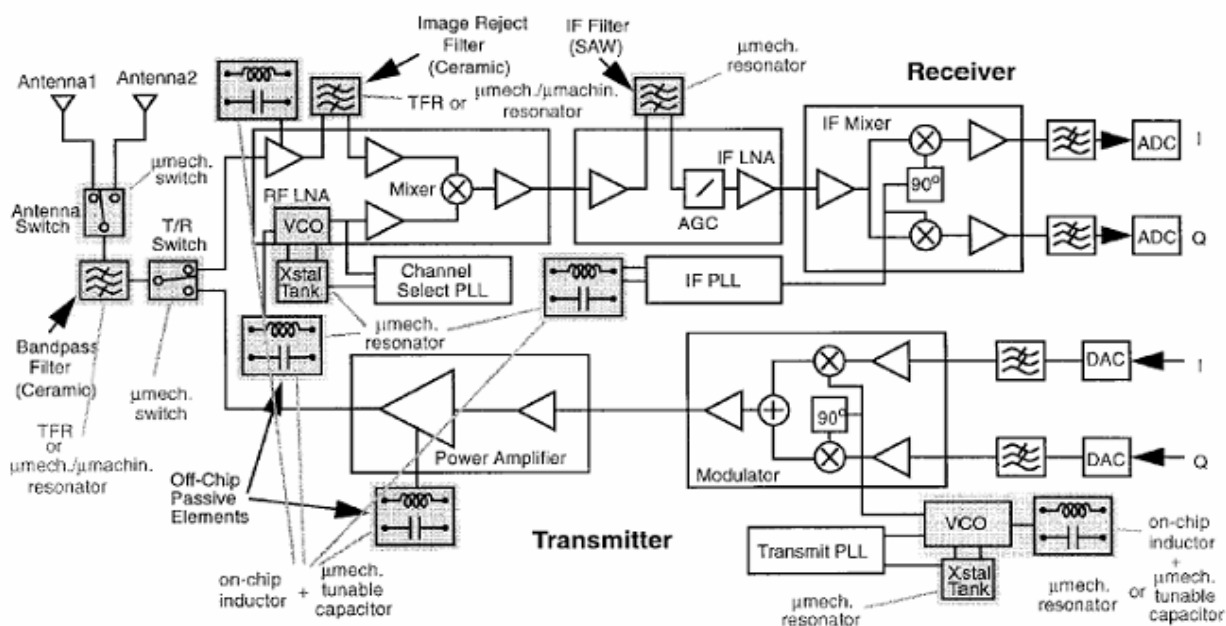


FIG. 6.1 – Frontal RF typique émission-réception [10]

Dans l'exemple de la FIG. 6.1, l'ensemble des éléments d'un émetteur-récepteur RF est présenté. Les parties grisées sont les éléments de filtrage "hautes fréquences". Ces fréquences sont de l'ordre de 1 à quelques Giga-hertz pour les parties proches de l'antenne. Elles sont de quelques dizaines à quelques centaines de méga-hertz pour la partie réception notée IF (Intermediate frequency), fréquence intermédiaire. Ces filtres ne sont pas intégrés. Différentes technologies sont disponibles actuellement et des recherches à partir de micro-systèmes et des

nano-technologies vont permettre dans un futur proche de miniaturiser ces dispositifs. Les filtres proches des convertisseurs analogique numérique (*ADC* et *DAC*) fonctionnent à basse fréquence, quelques centaines de kilo-hertz à quelques méga-hertz et sont intégrables dans les technologies silicium classiques.

Le filtre présenté sur la FIG. 6.2 est un filtre passe-bande de fréquence intermédiaire, 70 MHz pour cet exemple.

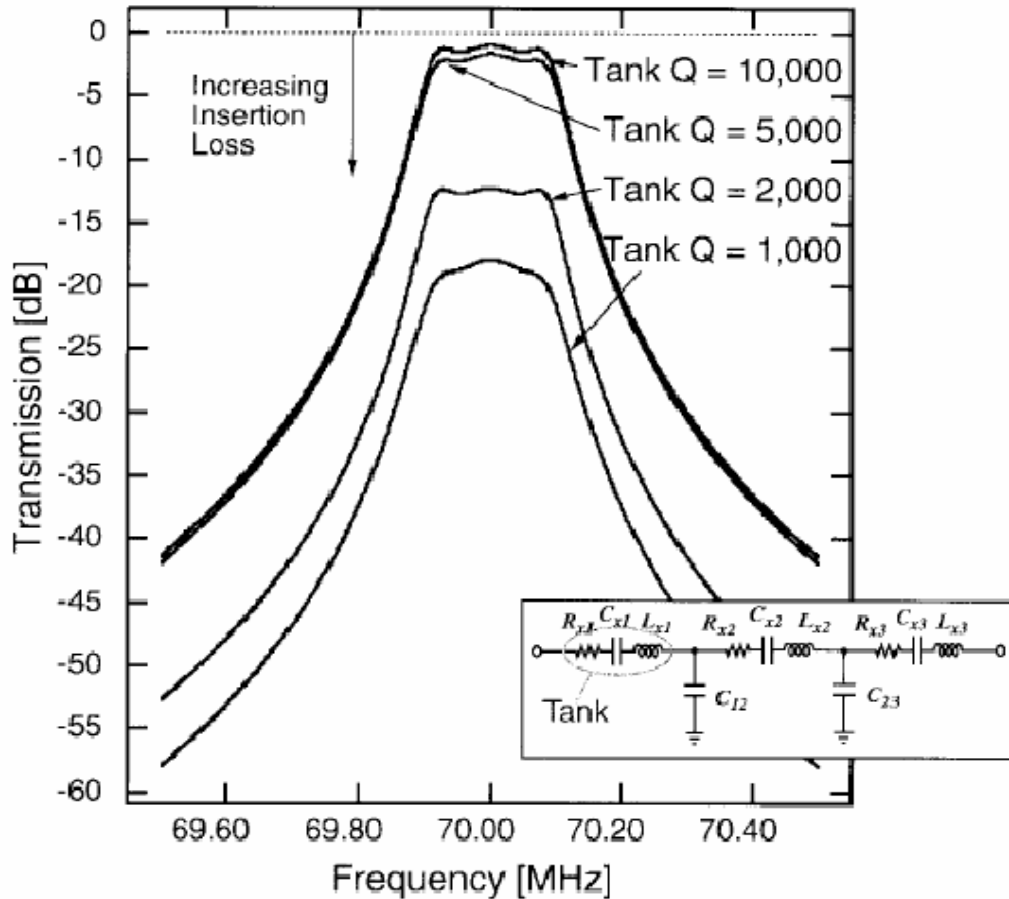


FIG. 6.2 – Filtre passe-bande autour de 70 MHz [10].

Ce type de filtre est réalisé à partir de composants passifs R, L, C . Les courbes montrent l'évolution de sa réponse en fonction de son facteur de qualité Q . Plus celui-ci est élevé, meilleur est le filtrage réalisé. On peut noter une meilleure sélectivité de la bande de fréquence à récupérer et une atténuation plus faible du signal utile autour de 70 MHz lorsque Q augmente.

Une autre utilisation de la fonction filtrage est présentée sur la FIG. 6.3. Elle est également située sur la FIG. 6.1 dans la zone *PLL* pour la génération des fréquences.

Ce schéma montre deux technologies différentes de réalisation de circuits résonants. A partir de circuits *LC* on obtient de faibles valeurs du coefficient de qualité Q et des valeurs très supérieures à partir de cristaux tel que le quartz. Ceux-ci donnent donc de bien meilleures performances notamment sur la stabilité de la fréquence ainsi générée, par contre la largeur de la bande passante est plus difficile à maîtriser.

Nous avons vu un exemple, très actuel (du fait de la forte croissance des applications radio-mobiles), de l'utilité des filtres dans les applications de télécommunications. Nous aurions pu trouver des exemples dans les transmissions optiques, les transmissions de signaux sur câbles mais également dans l'automobile, les appareils grand public audio et vidéo.

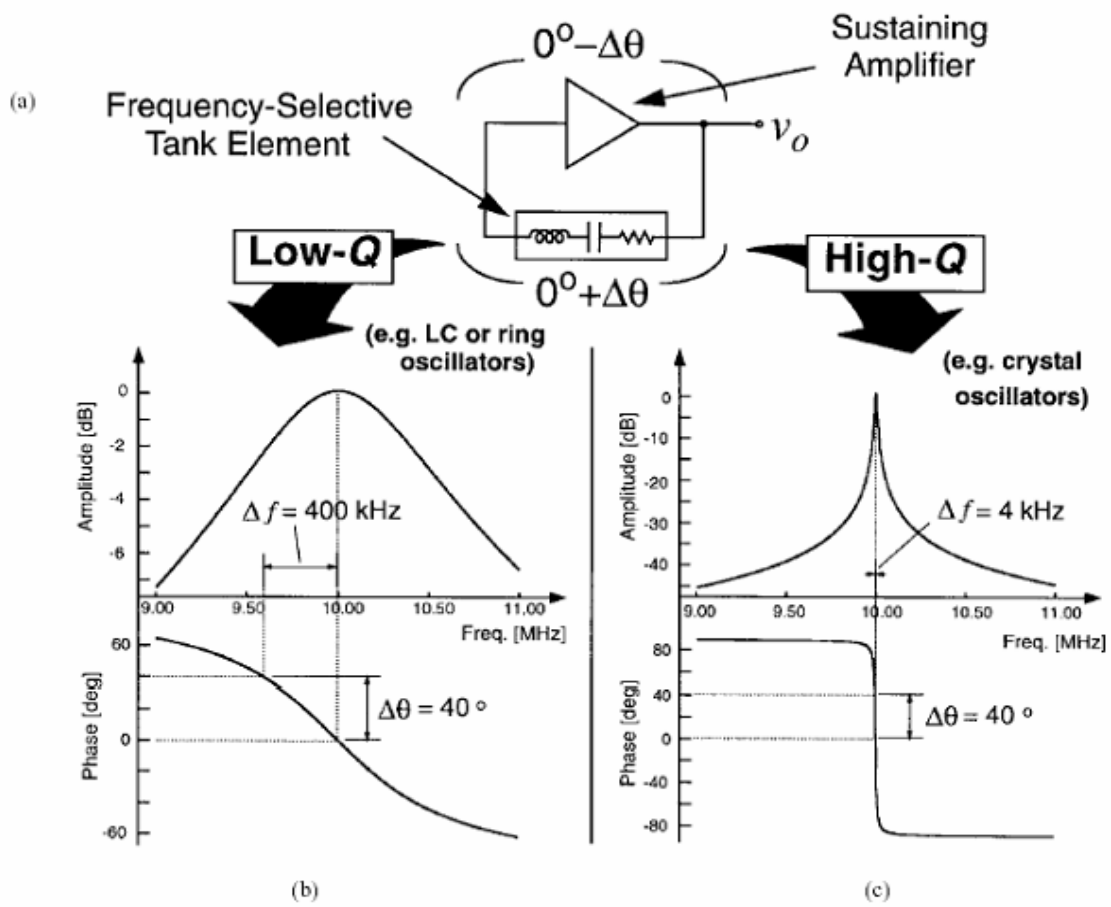


FIG. 6.3 – Circuits résonants pour les oscillateurs [10].

6.1.3 Spécifications des filtres [5], [1], [11]

Un filtre linéaire est caractérisé par sa fonction de transfert isochrone ou réponse en fréquence :

$$H(j\omega) = Y(j\omega)/X(j\omega)$$

Celle-ci se décompose en réponse en amplitude $A(\omega)$ et réponse en phase $\beta(\omega)$:

$$H(j\omega) = A(\omega)e^{j\beta(\omega)}$$

On définit également l'affaiblissement $A_f(\omega)$, mesuré en décibels et le délai de groupe $\tau(\omega)$, mesuré en secondes :

$$A_f(\omega) = -20 \log(A(\omega))$$

$$\tau(\omega) = \frac{\partial(-\beta(\omega))}{\partial\omega}$$

Spécifications idéales

Une transformation n'apporte pas de distorsion du signal auquel elle est appliquée si elle restitue en sortie un signal $y(t)$ de même forme que le signal d'entrée $x(t)$. Le signal d'entrée peut par contre avoir subi une amplification et un retard :

$$y(t) = Kx(t-t_0)$$

La transformation de Fourier donne une amplification du spectre d'amplitude et un déphasage linéaire :

$$Y(j\omega) = KX(j\omega)\exp(-j\omega t_0)$$

La fonction de transfert s'écrit donc :

$$H(j\omega) = K\exp(-j\omega t_0)$$

Un filtre idéal doit vérifier l'équation précédente. La réponse en amplitude doit être constante dans la bande utile, appelée bande passante et la réponse en phase doit être linéaire et passer par 0. Les filtres réels seront des réalisations approchées de ce filtre idéal.

Spécifications en amplitude

Les filtres sont spécifiés en fonction des modifications qu'ils imposent sur le signal d'entrée. La FIG. 6.4 montre les modifications spectrales des filtres réalisables classés en passe-bas, passe-haut, passe-bande ou coupe-bande (représentation des gabarits : atténuation en ordonnée, pulsations en abscisse).

La forme générale de la fonction de transfert d'un filtre est :

$$H(p) = \frac{N(p)}{D(p)} = \frac{b_m p^m + \dots + b_1 p + b_0}{p^n + \dots + a_1 + a_0}$$

L'ordre du filtre est n (avec $n \geq m$). Les zéros de $N(p)$ sont les zéros du filtre et les zéros de $D(p)$ sont les pôles de la fonction de transfert. Les pôles doivent être situés dans le demi-plan gauche du plan de Laplace (présenté au chapitre 4), comme indiqué sur la FIG. 6.5.

Les spécifications en fréquence d'un filtre passe-bas sont données par sa bande passante, entre 0 et ω_p , sa bande atténuée entre ω_a et l'infini. On accepte une variation maximale, a_{max} , de l'atténuation en bande passante et on impose une atténuation minimale en bande atténuée notée a_{min} .

Le filtre passe-haut a les spécifications inverses du passe-bas.

Le filtre passe-bande fait apparaître deux fréquences en bande passante et en bande atténuée.

Le filtre coupe-bande a les spécifications inverses du passe-bande.

Spécifications en phase ou en délai

La condition de non-distorsion sur la phase dans le filtre idéal n'est pas requise pour les signaux audio du fait que l'oreille humaine est insensible à un déphasage sur le signal perçu.

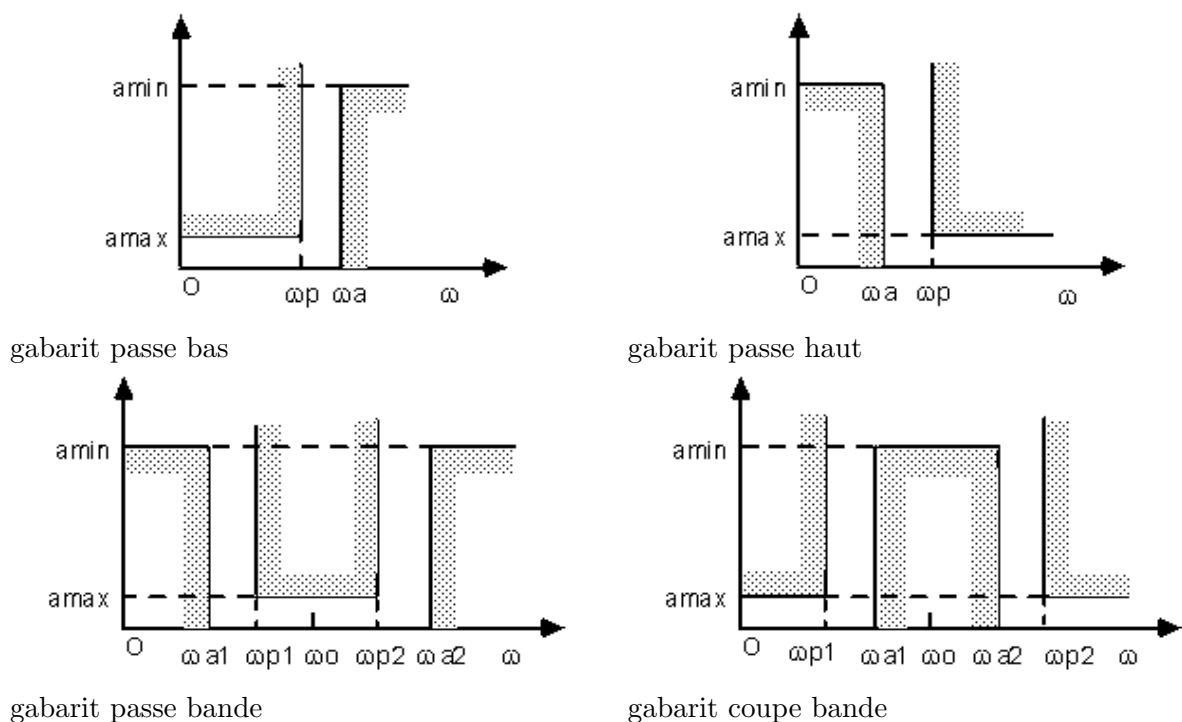


FIG. 6.4 – : Les quatre gabarits de filtrage.

Par contre, cela devient important sur les signaux vidéo ou les signaux numériques. En effet, les signaux se trouvent modifiés dans leur forme ce qui peut en modifier la perception pour les signaux vidéo et l'interprétation pour les signaux numériques.

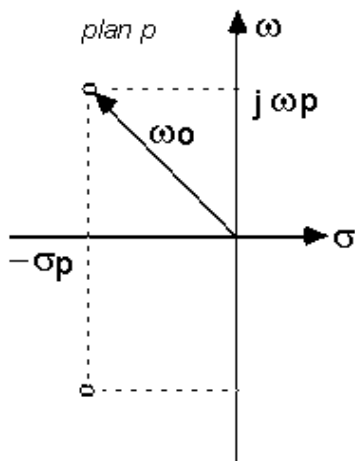


FIG. 6.5 – Représentation d'une paire de pôle complexe conjugués dans le plan de Laplace.

Pour modifier la courbe de phase ou de délai, on ajoute à la fonction de transfert une fonction passe-tout. Un passe-tout a ses zéros dans le demi-plan droit en symétrie horizontale avec ses pôles. Soit :

$$H(p) = \pm \frac{P(p)}{P(-p)}$$

avec $P(p)$ un polynôme quelconque.

La réponse en amplitude d'un tel filtre est égale à 1. Sa réponse en phase dépend de l'emplacement des pôles et des zéros et peut a priori être quelconque. Elle s'additionne à la phase du filtre en amont pour constituer le filtre final. Le filtre passe-tout permet d'obtenir les conditions de non-distorsion et il est appelé égaliseur de phase ou de délai.

Nous allons nous intéresser par la suite à différents types de filtre utilisables dans les bandes de fréquences précisées précédemment, soit de quelques centaines de kilo-hertz à quelques giga-hertz.

6.2 Les filtres passifs RLC [3]

6.2.1 Principe

C'est la plus ancienne technique de filtrage d'un signal électrique, puisque c'est en 1915 que Wagner et Campbell ont indépendamment "inventés" le "filtre d'onde électrique" pour répondre aux besoins d'une industrie naissante des communications. Les filtres passifs *RLC* sont des dispositifs à inductances et condensateurs fermés par deux résistances de terminaisons.

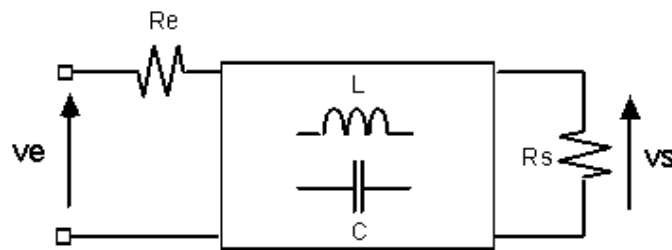


FIG. 6.6 – Le filtre à inductances et condensateurs

Initialement, ils étaient conçus par une méthode approximative (méthode des paramètres images). Cette méthode, basée sur la théorie des lignes de transmission, consistait simplement à abouter des cellules issues d'une bibliothèque de quadripôles *LC* présentant certaines caractéristiques de transfert. Vers les années 1940, avec les premiers calculateurs électroniques, est apparue la méthode moderne dite des paramètres d'insertion ou de travail. Cette fois, le point de départ est la fonction de transfert. La synthèse est d'abord réalisée uniquement à partir des quatre sections de la FIG. 6.7 puis les composants sont calculés à partir de l'expression de l'impédance d'entrée du réseau réactif (algorithme de Darlington).

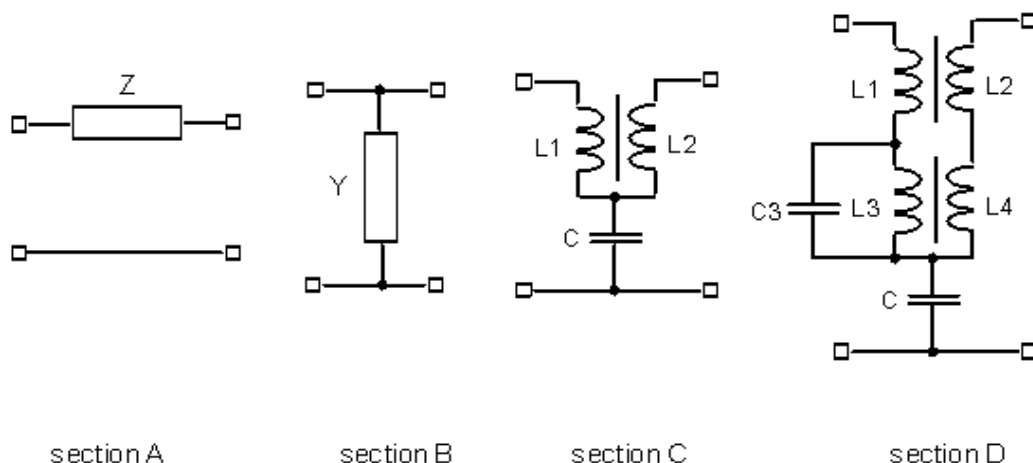


FIG. 6.7 – Les quatre sections suffisantes à la synthèse des filtres RLC

Lorsque les spécifications de filtrage portent uniquement sur le module de la fonction de transfert à réaliser, le filtre peut être réalisé par une structure en échelle composée uniquement de sections de type A et B constituées éventuellement d'une combinaison de condensateurs et d'inductances en série et en parallèle. L'exemple de la FIG. 6.8 est la structure en échelle *RLC* réalisant la fonction de transfert d'un filtre passe-bas du 5^{ème} ordre.

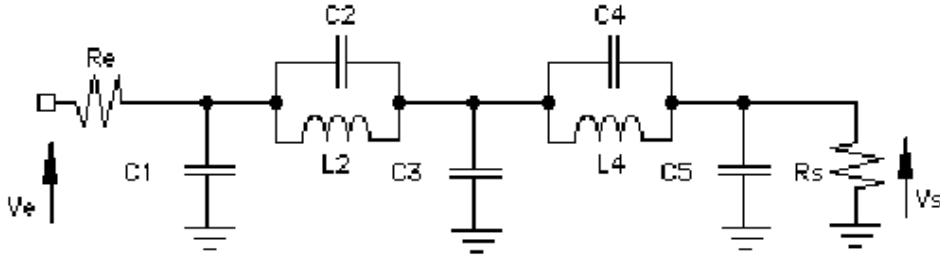


FIG. 6.8 – Echelle passive de Cauer d’ordre 5

$R_e = R_s = 1$, $C_1 = 0,989895$, $L_2 = 1,16331$, $C_2 = 0,206021$,
 $C_3 = 1,53723$, $L_4 = 0,809882$, $C_4 = 0,631345$ et $C_5 = 0,714554$.

6.2.2 Performances des filtres RLC

Le filtre *RLC* est caractérisé par sa passivité, son très faible bruit et par son étonnante faible sensibilité aux variations de ses composants. Moins utilisé que par le passé, il est devenu une technique de filtrage chère mais il est souvent le seul recours pour les applications hautes performances (applications professionnelles). Son défaut majeur réside dans la difficulté rencontrée pour la miniaturisation des inductances.

6.2.3 Le problème de miniaturisation de l’inductance

Le paramètre K étant une constante dépendante de la perméabilité du matériau utilisé et du facteur de forme, n étant le nombre de tours et d le diamètre moyen, la valeur d’une inductance s’exprime formellement par $L = K.n^2.d$. Si l est la longueur totale du fil et S sa section, à toute inductance doit être associée une résistance série parasite $R = \rho \cdot \frac{l}{S}$ conduisant au coefficient de qualité de l’inductance $Q_L = \frac{L\omega}{R}$. Si on opère une réduction d’un facteur x de toutes les dimensions, l’inductance L devient $L_x = x.L$, la résistance R devient $R_x = R/x$ et le facteur de qualité Q_L devient $Q_{L_x} = x^2.Q_L$. Ainsi, une inductance de facteur de qualité de 1000, réduite sur toutes ses dimensions d’un facteur de 10 voit son coefficient de qualité réduit à une valeur de 10. Toute micro-inductance est donc caractérisée par un faible coefficient de qualité.

Les inductances intégrées monolithiques planes, réalisées en surface à partir d’un matériau conducteur (typiquement de l’aluminium) n’échappent pas à la règle. Elles ne sont utilisables qu’en hautes fréquences et avec une résistance parasite si on désire une limitation de leur surface. Ceci est illustré par le diagramme de la FIG. 6.9.

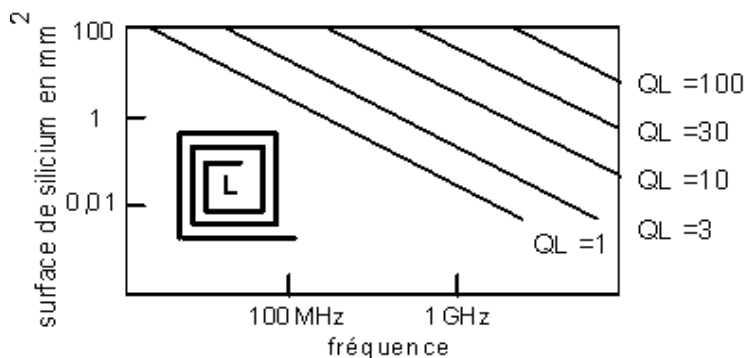


FIG. 6.9 – Diagramme aire vs. fréquence d’une micro-inductance

6.2.4 Exemple de filtre passif utilisé pour le son

Les professionnels du son utilisent des filtres passifs au niveau des enceintes. Un exemple est donné FIG. 6.10. Ce filtre passif a une fréquence de coupure à 1,8kHz et une atténuation 12dB/octave. Il admet une puissance de 600W [12].



FIG. 6.10 – Filtre passif pour les professionnels du son.

6.3 Les filtres piézoélectriques [4]

La piézoélectricité est la propriété que possèdent certains corps de se polariser sous l'action d'une tension mécanique (c'est l'effet direct mis en évidence par Pierre et Jacques Curie en 1880) et de se déformer sous l'action d'un champ électrique (c'est l'effet inverse).

6.3.1 Filtres à résonateurs piézoélectriques

Un résonateur piézoélectrique est constitué d'une lame piézoélectrique (quartz naturel ou synthétique ou céramique polarisé) sur laquelle ont été déposées deux couches métalliques destinées à recueillir les charges induites par les déformations. Les lames sont découpées selon une orientation cristallographique choisie pour réduire l'influence de la température sur les caractéristiques électriques des résonateurs. Les résonateurs piézoélectriques sont caractérisés par une extraordinaire stabilité en fréquence. Etant peu dissipatifs (Q_0 de 10^4 à 10^6 pour le quartz naturel et quelques centaines pour les céramiques), ils permettent la réalisation de filtres très sélectifs. Analytiquement, ils sont représentables par un dipôle RLC d'impédance $Z(\omega) = \frac{1}{j \cdot C_0 \cdot \omega} \cdot \frac{\omega^2 - r^2}{\omega^2 - a^2}$ auquel on peut associer un schéma électrique équivalent (FIG. 6.11).

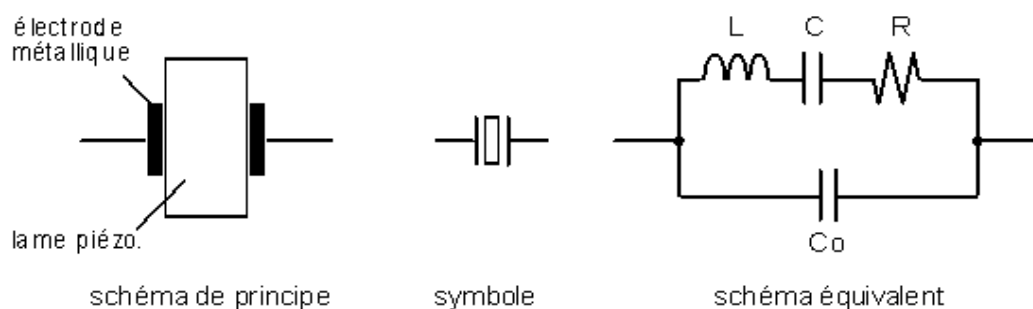


FIG. 6.11 – Le résonateur piézoélectrique

Le condensateur C_0 correspond à la capacité inter-électrodes et tel que le rapport $m = \frac{C_0}{C}$ est borné inférieurement par les propriétés intrinsèques du matériau piézoélectrique. Typiquement, un quartz de fréquence de résonance série 12 MHz est modélisable par le jeu de valeur : $C_0 = 4.4\text{ pF}$, $L = 8.7\text{ mH}$, $C = 20.2\text{ fF}$ et $R = 7\Omega$. La synthèse d'un filtre à quartz consiste simplement à adapter par des manipulations de réseaux les structures de filtrage RLC . Pour ce faire, le concepteur a à sa disposition un arsenal de transformations. Les schémas de la FIG. 6.12 et de la FIG. 6.13 sont deux exemples typiques de transformation de réseau faisant apparaître dans une structure LC des sections réalisables par des résonateurs à "quartz".

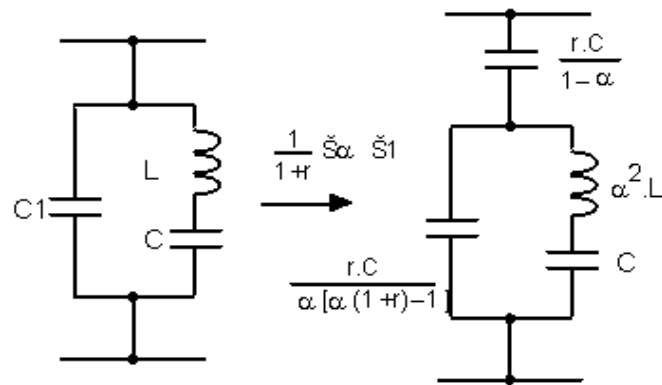


FIG. 6.12 – Un exemple de transformation de réseau utilisable pour la synthèse d'un filtre à quartz.

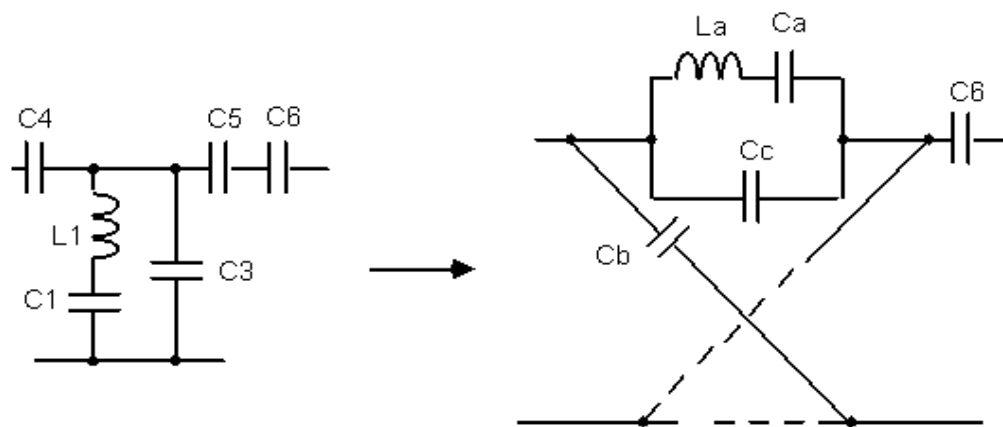


FIG. 6.13 – Un autre exemple de transformation de réseau utilisable pour la synthèse d'un filtre à quartz.

6.3.2 Les filtres à résonateurs piézoélectriques monolithiques

Si on place deux paires de métallisations sur un même substrat piézoélectrique, on établit un couplage entre chaque paire d'électrodes. Le couple de résonateurs ainsi formé peut être représenté par un schéma électrique faisant apparaître deux inductances couplées (FIG. 6.14). Cette technique, semi-monolithique, permet la réalisation de filtre passe bande à bande étroite sans aucune inductance. Le concept peut être généralisé à un nombre quelconque de résonateurs pour arriver au filtre monolithique (dit à ondes de volume) de la FIG. 6.15.

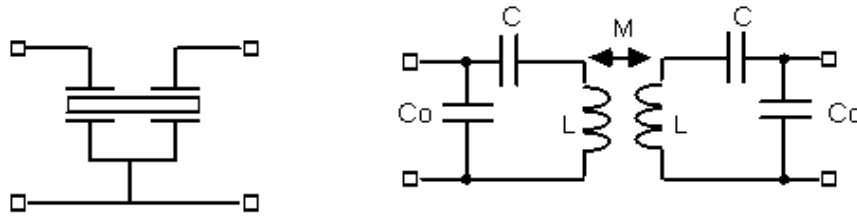


FIG. 6.14 – Structure d'un filtre piézoélectrique semi-monolithique

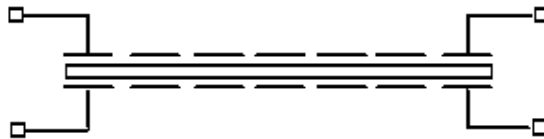


FIG. 6.15 – Structure d'un filtre piézoélectrique monolithique

6.3.3 Filtres à ondes de surface (F.O.S.)

Principe

Si on dépose deux électrodes métalliques à la surface d'un matériau piézoélectrique et si on applique une différence de potentiel, on génère un champ électrique qui induit une déformation (une onde) au voisinage de la surface se propageant dans le cristal. Le processus étant réversible, lorsque cette onde passe sous deux électrodes, elle induit une différence de potentiel. C'est ce principe qui est exploité pour réaliser les filtres à ondes de surface.

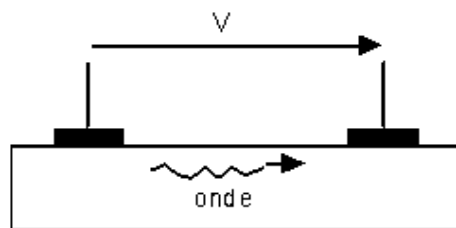


FIG. 6.16 – Principe de génération d'une onde de surface.

Fonctionnement qualitatif d'un filtre à ondes de surface

Pour augmenter l'efficacité de la transduction on peut utiliser une suite d'électrodes analogues aux précédentes reliées alternativement au potentiel positif et négatif. On crée ainsi un transducteur en peigne (inter-digité) (FIG. 6.17) qui engendre des compressions et des dilatations. Le transducteur se comporte comme une suite de sources ultrasonores. La tension d'entrée étant sinusoïdale, une contrainte produite à l'instant t par une paire de dents pour une polarité donnée, parcourt à la vitesse V_R (caractéristique du matériau piézoélectrique) la distance $\Lambda/2$ pendant une demi période $T/2$. A l'instant $t + T/2$ cette contrainte arrive sous la paire de dents voisine à l'instant où la tension électrique qui a changé de signe produit une contrainte de même phase : il y a effet cumulatif pour

la fréquence de résonance correspondante $F_0 = \frac{V_R}{2d}$. Lorsque la fréquence du signal s'écarte de F_0 , le signal résultant s'atténue, le transducteur inter-digité agit donc comme un résonateur passe bande d'autant plus sélectif qu'il comporte un grand nombre de doigts.

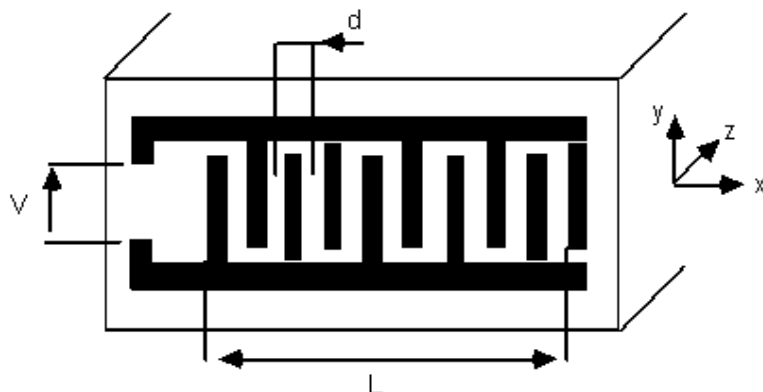


FIG. 6.17 – Le transducteur inter-digité

Plus formellement, considérons maintenant le dispositif à ondes de surface de la FIG. 6.18. L'attaque infiniment brève (impulsion de Dirac) excite simultanément à l'instant $t = 0$ les $N - 1$ sources ultrasonores. Le transducteur émission a donc pour réponse impulsionnelle la succession de Dirac :

$$h(t) = \sum_{n=0}^{N-2} S_n \cdot A_n \delta(t - t_n) \quad \text{avec : } S_n = (-1)^n, \quad A_n = A_0 \quad \text{et} \quad t_n = n \cdot \frac{d}{V_R} = \frac{n}{2 \cdot F_0}$$

Sa réponse en fréquence s'écrit :

$$H(f) = A_0 \cdot \sum_{n=0}^{N-2} \exp\left(-jn\pi \frac{f - F_0}{F_0}\right) = A_0 \cdot \exp\left(-j(N-2) \cdot \frac{\pi}{2} \cdot \frac{f - F_0}{F_0}\right) \frac{\sin\left[(N-1) \cdot \frac{\pi}{2} \cdot \frac{f - F_0}{F_0}\right]}{\sin\left(\frac{\pi}{2} \cdot \frac{f - F_0}{F_0}\right)}$$

Si la détection s'effectue par un récepteur à une seule paire de doigt, au fur et à mesure que l'onde défile sous les deux électrodes, le signal électrique se reproduit à un retard constant près dû au fait de la séparation des deux transducteurs. On peut définir la sélectivité du dispositif à partir de la bande passante à 3 dB :

$$\frac{\Delta F}{F_0} \approx \frac{1,77}{N-1}$$

Pratiquement, le peigne d'émission peut comporter plusieurs centaines de dents et la réponse du dispositif est modifiée en jouant sur la longueur des dents (coefficient A_n) et la forme du peigne de réception. Des coefficients de qualité supérieurs à 1000 sont réalisables à des fréquences de plusieurs centaines de MHz.

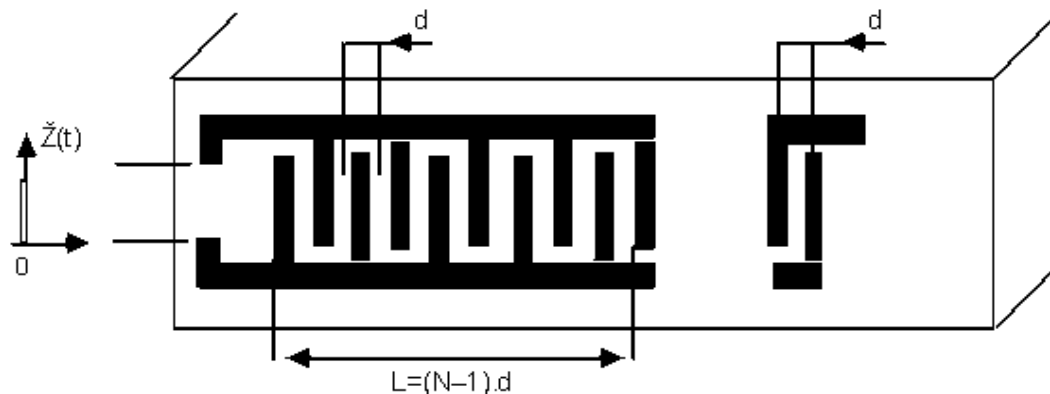


FIG. 6.18 – Principe du filtre à ondes de surface

6.3.4 Exemple de filtre céramique

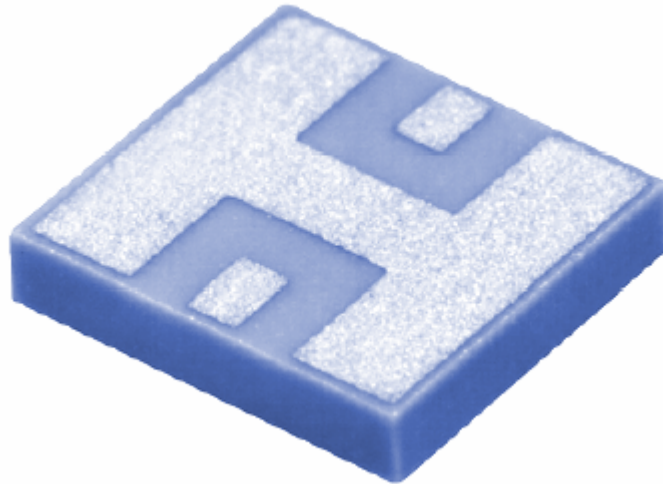


FIG. 6.19 – Filtre passe-bas céramique DC – 5,4 GHz, $W = L = 3,8\text{mm}$, $e = 0,7\text{mm}$

Le filtre de la FIG. 6.19 est un filtre céramique passe-bas fourni par Mini-Circuits [9]. Les spécifications sont données FIG. 6.20.

Low Pass Filter Electrical Specifications ($T_{\text{AMB}}=25^{\circ}\text{C}$)

MODEL NO.	PASSBAND (MHz) (loss < 1 dB) Typ.	f_{CO} , MHz Nom. (loss 3 dB) Typ.	STOP BAND (MHz)			VSWR (:1) Passband Typ.	POWER INPUT* (W)	MARKING	NO. OF SECTIONS
			(> 20 dB)	(loss > 40 dB)	f _{r20dB} Typ.				
LF5C-5400	DC-5400	6410	9000-11000	—	12000	1.1	19	LF5	7

* Derate linearly to 8W at 100°C ambient



FIG. 6.20 – Spécifications du filtre.

6.4 Les filtres actifs "RC" [5], [6]

Contrairement à l'inductance, la miniaturisation du condensateur pose moins de difficultés. En effet, ϵ , $\rho g d$ et S étant respectivement la permittivité, la résistivité, l'épaisseur et la surface du diélectrique, un condensateur plan est caractérisé par sa capacité $C = \epsilon \cdot \frac{S}{d}$ et sa résistance de fuite $R = \rho \cdot \frac{d}{S}$. Son coefficient de qualité correspondant $Q_C = R \cdot C \cdot \omega = \epsilon \cdot \rho \cdot \omega$ est donc indépendant de son dimensionnement. Ainsi, dès les années 1930, les ingénieurs pensent à remplacer les résonateurs passifs à inductances et condensateurs des filtres d'onde électrique par des circuits actifs tout d'abord réalisés

à partir de tubes électroniques puis de transistors. N'apportant pas d'avantages décisifs par rapport au filtre passif, le filtre actif est resté essentiellement une curiosité de laboratoire jusqu'au milieu des années 1960 où la commercialisation du premier amplificateur opérationnel a permis la réalisation de filtres à composants discrets performants et à bas coût.

6.4.1 Filtres à résonateurs actifs RC

Une réalisation particulièrement simple d'un filtre peut être effectuée par une mise en cascade de résonateurs actifs réalisant une paire de pôles complexes. Pour ce faire, il suffit que les résonateurs soient isolés entre eux, par exemple par la sortie basse impédance d'un amplificateur opérationnel. Parmi les différents principes utilisables pour synthétiser un résonateur actif, nous avons choisi celui qui conduit à la génération de cellules à un dispositif actif.

Principe de synthèse d'un résonateur actif

Si un réseau passif RC est contraint d'avoir tous ses pôles sur l'axe réel négatif du plan de Laplace il peut avoir ses zéros n'importe où. Il suffit donc de placer un réseau passif de ce type dans la boucle de réaction d'un amplificateur pour réaliser une permutation pôles \leftrightarrow zéro. Si d'autre part on se donne le moyen de contrôler le gain de l'amplificateur, on dispose d'un degré de liberté supplémentaire pour jouer sur la valeur des pôles complexes ainsi réalisés. Lorsque la réaction sélective est positive, on génère une famille de cellules actives connue sous le nom de structures de Sallen et Key (FIG. 6.21).

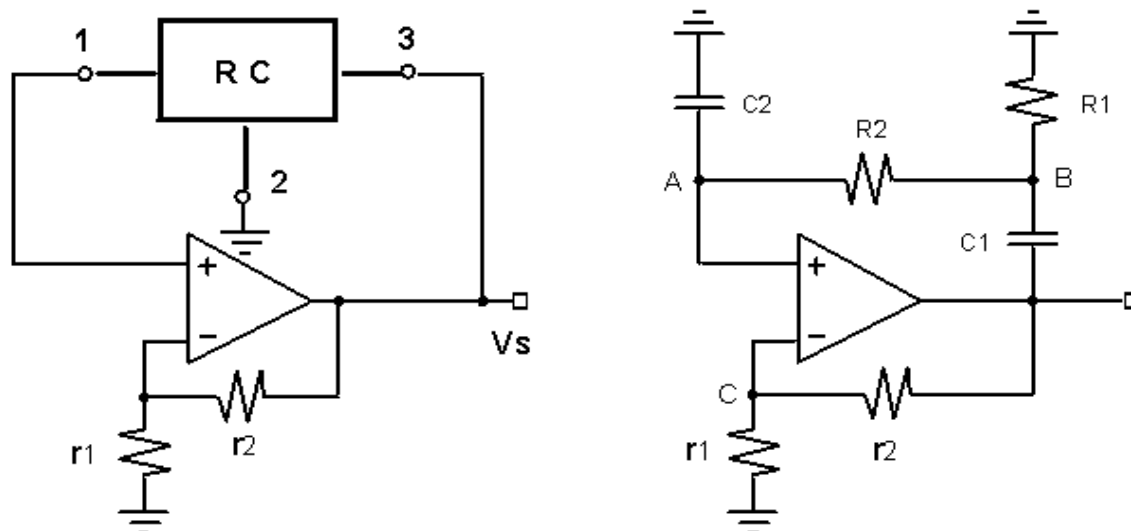


FIG. 6.21 – Principe et réalisation d'une structure de Sallen et Key

En réalisant l'injection d'un signal d'entrée sur le nœud A par l'intermédiaire d'un condensateur, ou sur le nœud B ou C par une résistance, on peut créer un ou deux zéros réels ou complexes permettant la réalisation d'une fonction de transfert du deuxième ordre de différents types (passe bas, passe bande, etc.). Ainsi le montage de la FIG. 6.22, avec un amplificateur de gain unité permet la réalisation du passe-bas du deuxième ordre.

$$T(p) = \frac{v_s}{v_e} = \frac{\frac{1}{R_1 R_2 C_1 C_2}}{p^2 + \frac{R_1 + R_2}{R_1 R_2 C_1} p + \frac{1}{R_1 R_2 C_1 C_2}} = \frac{\omega_0^2}{p^2 + \frac{\omega_0}{Q_0} p + \omega_0^2}$$

Performances des filtres à résonateurs actifs

Du fait de sa facilité de mise en oeuvre et de réglage, le filtre à résonateurs actifs est utilisé pour la production de filtres en série sous forme de circuits hybrides à couches épaisses (depuis 1965) et à couches minces (depuis 1975). L'impossibilité d'intégrer directement des constantes de temps suffisamment précises limite l'utilisation de cette technique en intégration monolithique au filtrage

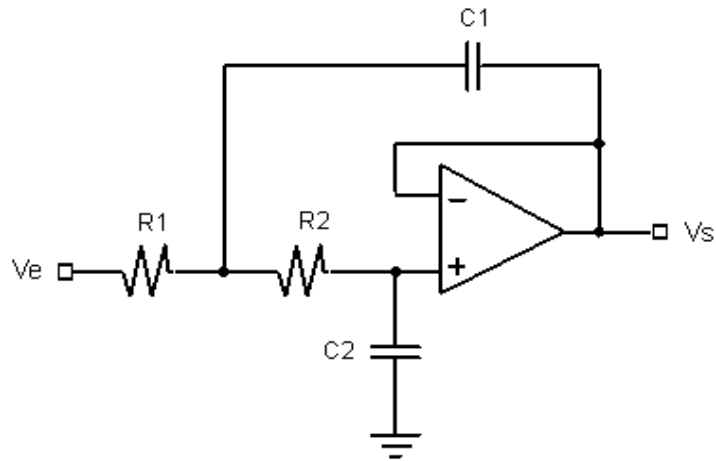


FIG. 6.22 – Cellule passe bas de Sallen et Key

anti-repliement et de lissage lorsque la discrétisation des signaux analogiques est opérée avec un fort taux de sur-échantillonnage (typiquement en association avec un filtrage à capacités commutées ou avec une conversion de type $\Sigma\Delta$).

6.4.2 Exemple de filtre passe-bas

La société MAXIM propose le filtre de la FIG. 6.23 [8]. Ce filtre passe-bas est un 3^{ème} ordre Sallen-Key qui est utilisé pour la télévision numérique. Sa bande passante est de 5,25 MHz, il est situé en sortie du convertisseur numérique analogique et sert à éliminer les répliques hautes fréquences du signal utile. Seul l'amplificateur opérationnel est intégré, les autres éléments sur le schéma sont des éléments discrets montés sur une carte.

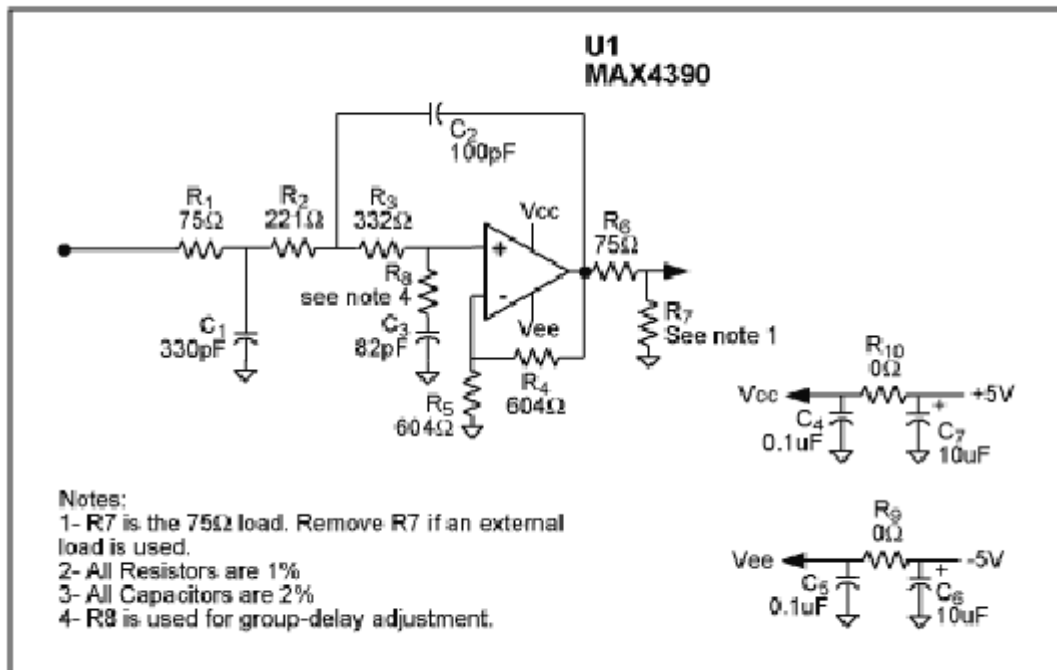


FIG. 6.23 – Filtre passe-bas de Sallen et Key de MAXIM

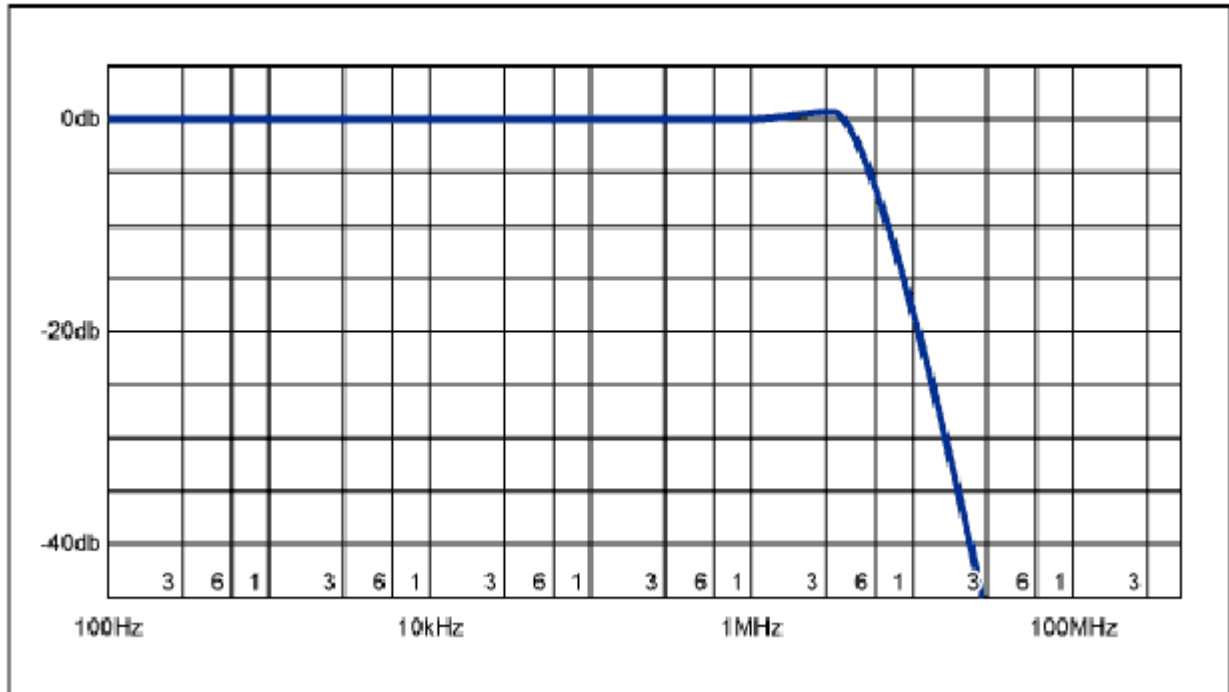


FIG. 6.24 – Gabarit du filtre

6.5 Les filtres à capacités commutées [2], [6], [1]

La technique des capacités commutées est présentée dans le chapitre 5. Le dernier paragraphe montre les montages de base servant aux applications de filtrage.

Une réalisation particulièrement simple de l'opérateur intégration est effectuée par le montage insensible aux capacités parasites de la FIG. 6.25, avec :

$$V_s^P(z) = I \cdot \frac{z^{-1}}{1 - z^{-1}} \cdot V_1^P(z) - S \cdot \frac{1}{1 - z^{-1}} \cdot V_2^P(z).$$

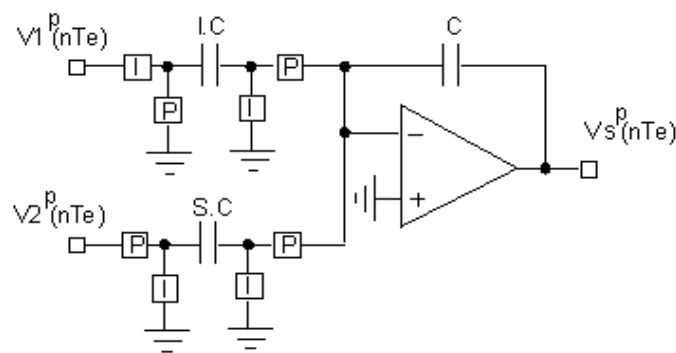


FIG. 6.25 – L'opérateur temps discret intégration.

6.5.1 Exemple de réalisation de filtre à capacités commutées [7]

L'exemple retenu fait partie de l'étude extraite d'une thèse réalisée dans nos laboratoires. Le filtre conçu permet le filtrage passe-bas du signal utile dans un récepteur radio de troisième génération *UMTS* placé devant le convertisseur analogique numérique que l'on retrouve FIG. 6.1 en haut à droite du schéma. Les contraintes de filtrage aboutissent aux spécifications indiquées TAB. 6.1 et la fonction

de transfert choisie est obtenue à partir de l'approximation elliptique. Ce filtre laisse passer une bande de fréquence d'environ 2 MHz et atténue les signaux à partir de 3 MHz d'une valeur minimale de 51 dB.

TAB. 6.1 – Exemple de réalisation de filtres à capacités commutées.

Spécifications	
Bande passante ($f < f_p + 5\%$)	1.92MHz + 5% = 2.02MHz
Bande atténuée ($f > f_a - 5\%$)	3.08MHz - 5% = 2.92MHz
Ondulations en bande passante	< 0.5 dB
Atténuation @ f_a	> 51 dB
Approximation	Ordre
Butterworth	N=19
Chebyshev	N=9
Elliptique	N=6

La fonction de transfert globale est réalisée à partir de 3 cellules d'ordre 2 (biquad), FIG. 6.26, mises en cascade et la fonction de transfert correspond à l'approximation elliptique d'ordre 6.

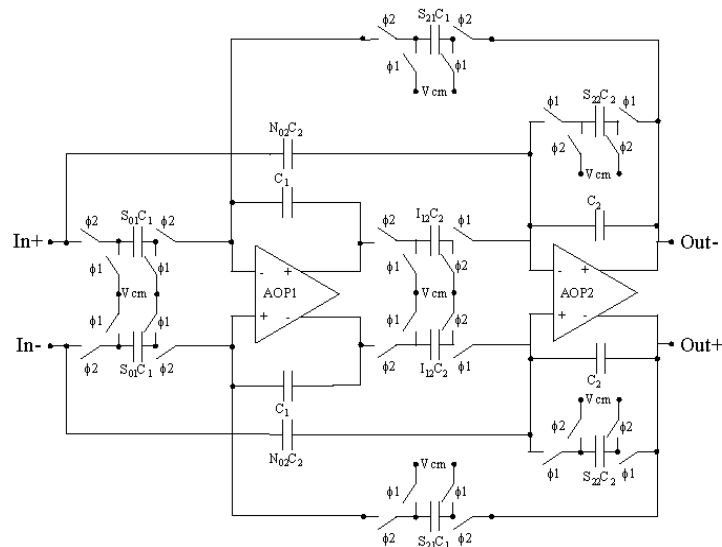


FIG. 6.26 – Cellule différentielle d'ordre 2 à capacités commutées (Biquad).

Le dessin des masques du circuit réalisé est présenté FIG. 6.27.

6.6 Conclusion

L'opération de filtrage analogique est en pleine évolution, notamment avec les besoins en miniaturisation et faible consommation des circuits pour les applications radio-mobiles, par exemple. Dans le futur, des solutions plus performantes sur le filtrage actif grâce à l'évolution des technologies silicium seront proposées. D'autre part de nombreuses recherches devraient aboutir à de très bonnes solutions utilisant des éléments en micro-mécanique [10] et en utilisant les nanotechnologies.

6.7 Bibliographie

Bibliographie

- [1] H. Baher. *Microelectronics Switched-Capacitor Filters*. John Wiley & Sons, 1996.

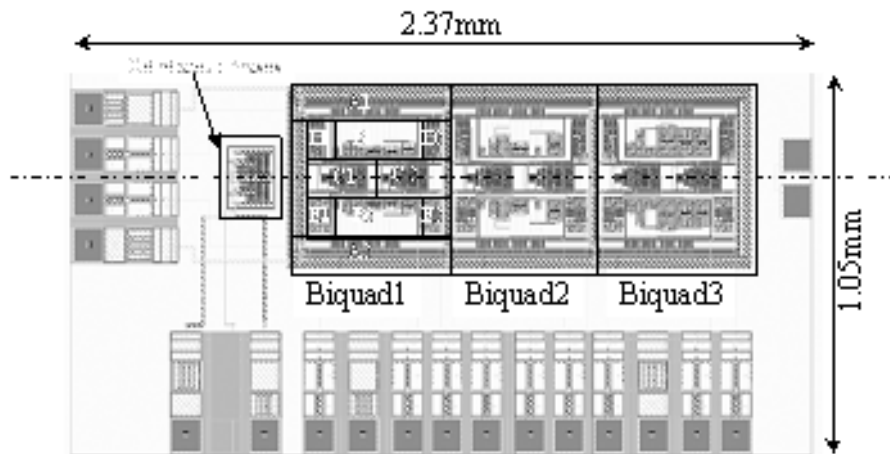


FIG. 6.27 – Dessin des masques du filtre d'ordre 6 à capacités commutées.

- [2] F. Baillieu, Y. Blanchard, P. Loumeau, J. Porte, and H. Petit. *Capacités commutées et applications : filtrage, conversion, micro-système*. Dunod, 1996.
- [3] G. Carrère. *Synthèse des circuits passifs*. Editions Masson, 1974.
- [4] E. Dieulesaint and D. Royer. *Ondes élastiques dans les solides. Tome I. Propagation libre et guidée*. Editions Masson, 1996.
- [5] T. Dutoit. *Introduction à la Synthèse des Filtres Actifs*. Faculté Polytechnique de Mons, 2000.
- [6] M. S. Ghausi and K. R. Laker. *Modern Filter Design : Active RC & Switched Capacitor*. T. Noble, 2003.
- [7] B. Manai. *Méthode de dimensionnement de récepteurs radiomobiles à conversion directe. Application au filtrage à sélection de canal UMTS par la technique des capacités commutées*. PhD thesis, ENST/Paris, juin 2002.
- [8] MAXIM. <http://www.maxim-ic.com>.
- [9] MINICIRCUITS. <http://www.minicircuits.com>.
- [10] C. Nguyen, L. Katehi, and G. Rebeiz. Micromachined devices for wireless communications. *Proceedings of the IEEE*, 86(8), Août 1998.
- [11] R. Pallas-Areny and J. Webster. *Analog Signal Processing*. John Wiley & Sons, 1999.
- [12] PEEL. <http://www.point-show.com/peel/>.

Chapitre 7

Boucle à verrouillage de phase

7.1 Bref historique

Le principe de la boucle à verrouillage de phase (PLL¹) est attribué à l'ingénieur français Henri DE BELLESCIZE². Celui-ci a mis au point ce dispositif (réalisé, à l'époque, à l'aide de tubes à vide) afin d'effectuer la démodulation synchrone des signaux dans un récepteur à modulation d'amplitude. La PLL a trouvé une large utilisation pour la synchronisation du balayage en télévision dans les années 1950. Les premiers circuits intégrés réalisant une PLL, apparus au milieu des années 1960, ont grandement facilité son utilisation. Elle est aujourd'hui présente dans de nombreux systèmes : téléphone cellulaire, télévision, ordinateur,... Selon le domaine d'utilisation, elle peut être réalisée de manière entièrement logicielle, à l'aide de composants électroniques ou optiques (communications très haut débit ~ 100 Gbit/s).

7.2 Introduction

La boucle à verrouillage de phase est une architecture de circuit qui permet de synchroniser un oscillateur sur une source de référence. Cette possibilité de synchronisation trouve de nombreuses applications en télécommunications telles que la récupération d'horloge ou la synthèse de fréquence. Le schéma fonctionnel d'une PLL est représenté à la figure 7.1. Elle est constituée de trois blocs :

- Un comparateur de phase (PC : Phase Comparator)
- Un filtre de boucle (LF : Loop Filter)
- Un oscillateur contrôlé en tension (VCO : Voltage Controlled Oscillator)

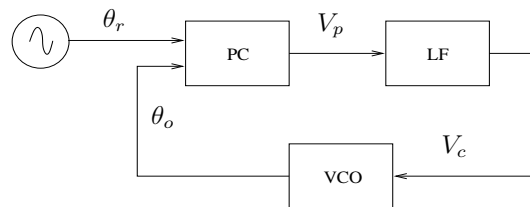


FIG. 7.1 – Schéma de principe d'une PLL

Les premiers circuits PLL apparus dans les années 60 étaient entièrement analogiques. Le comparateur de phase utilise dans ce cas un multiplieur. Lorsque les signaux d'entrée sont de type logique le comparateur de phase peut être entièrement réalisé avec des circuits logiques, le VCO fournissant également dans ce cas un signal de type logique. Ceci autorise d'ailleurs l'utilisation d'un diviseur de fréquence constitué de bascules en sortie du VCO. Il est ainsi possible de générer un signal de fréquence multiple du signal d'entrée.

7.2.1 Principe de fonctionnement

Le comparateur de phase fournit une tension de sortie proportionnelle à la différence de phase entre le signal de référence et l'oscillateur local (VCO) :

$$V_p = K_{pc} (\theta_r - \theta_o) = K_{pc} (\theta_e) \quad (7.1)$$

où K_{pc} est le gain du comparateur de phase (exprimé en volt par radian). Lorsque ces deux signaux sont périodiques avec des fréquences différentes³ :

$$\theta_r = 2\pi f_r t + \phi_r \quad \theta_o = 2\pi f_o t + \phi_o \quad (7.2)$$

une composante à la fréquence $\Delta f = f_r - f_o$ est également présente à la sortie du comparateur de phase :

$$V_p = K_{pc} [2\pi \cdot \Delta f \cdot t + (\phi_r - \phi_o)] \quad (7.3)$$

¹PLL : Phase Locked Loop

²H. de Bellescize, "La réception synchrone", Onde Electrique, vol.11, 1932

³Les paramètres f_r et ϕ_r sont supposés constants pour simplifier l'analyse

Si cette composante est dans la bande passante du filtre de boucle, elle est transmise par celui-ci à l'entrée du VCO qui fournit un signal dont la pulsation instantanée est :

$$\omega_o = \frac{d\theta_o}{dt} = \omega_{ol} + K_{ol} \cdot V_c \quad (7.4)$$

ω_{ol} et K_{ol} sont respectivement la pulsation libre et le gain du VCO (ce dernier étant exprimé en radian par seconde et par volt).

En supposant que l'influence du filtre sur le signal d'erreur de phase est négligeable, la tension de contrôle qui asservit l'oscillateur local peut être assimilée à la tension de sortie du comparateur de phase ($V_c \approx V_p$). L'équation de la boucle peut alors s'écrire :

$$\frac{d\theta_e}{dt} = (\omega_r - \omega_{ol}) - K_{ol} \cdot K_{pc} \cdot \theta_e = \Delta\omega - K \cdot \theta_e \quad (7.5)$$

où l'on a fait intervenir le gain de boucle $K = K_{ol} \cdot K_{pc}$ (en seconde⁻¹).

La solution de cette équation différentielle du premier ordre est :

$$\theta_e = \frac{\Delta\omega}{K} + A \cdot \exp(-K \cdot t) \quad (7.6)$$

où A est une constante. Après un régime transitoire fonction du gain de boucle K et des conditions initiales, l'erreur de phase θ_e tend vers une constante égale à $\frac{\Delta\omega}{K}$. Les fréquences f_r et f_o sont alors identiques et la tension de contrôle V_c est constante. La boucle est dite verrouillée ou accrochée. Cette situation ne peut exister que si l'erreur de phase reste inférieure à 2π . Ceci impose une limite à l'écart $\Delta\omega$ entre la fréquence de référence et la fréquence libre de l'oscillateur. La plage des fréquences d'entrée qui remplissent cette condition est dite plage de verrouillage (lock range). On définit également la plage de capture (capture range) pour laquelle la boucle se verrouille si elle ne l'était pas initialement. Celle-ci est généralement plus faible comme indiqué sur la figure 7.2.

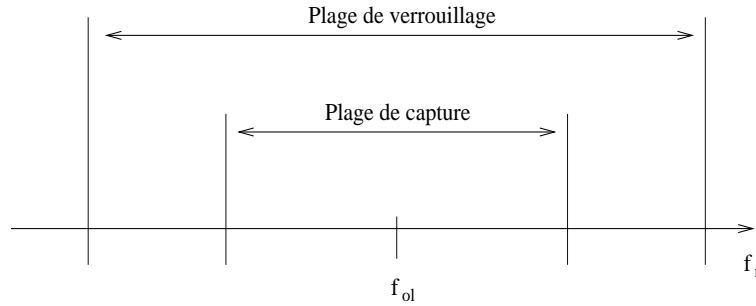


FIG. 7.2 – Limite de fonctionnement de la PLL

7.2.2 Comparateur de phase utilisant un multiplieur analogique

Le comparateur de phase peut être construit à partir d'un multiplieur analogique. La sortie est donnée par :

$$V_p = K_m V_{ref} V_x \quad (7.7)$$

Lorsque les signaux de référence (V_{ref}) et de sortie du VCO (V_x) sont sinusoïdaux :

$$V_{ref} = U \sin(\theta_r) = U \sin(\omega_r t + \phi_r)$$

$$V_x = V \cos(\theta_o) = V \cos(\omega_o t + \phi_o) \quad (7.8)$$

On a à la sortie du multiplieur :

$$V_p = \underbrace{\frac{K_m \cdot U \cdot V}{2}}_{K_{pc}} \cdot \left\{ \begin{aligned} &\sin \left(\underbrace{(\omega_r - \omega_o)t + (\phi_r - \phi_o)}_{\theta_e = \theta_r - \theta_o} \right) \\ &+ \underbrace{\sin((\omega_r + \omega_o)t + (\phi_r + \phi_o))}_{\text{éliminé par le filtre}} \end{aligned} \right\} \quad (7.9)$$

Le dernier terme de cette expression est supposé être en dehors de la bande passante du filtre de boucle et éliminé par celui-ci. Le signal de sortie est alors donné par :

$$V_p = K_{pc} \cdot \sin(\theta_e) \quad (7.10)$$

Lorsque la boucle est verrouillée, les pulsations ω_r et ω_o sont identiques et le signal d'erreur est tel que :

$$V_p = K_{pc} \cdot \sin(\phi_r - \phi_o) = K_{pc} \cdot \sin(\Delta\phi) \quad (7.11)$$

Ce signal est nul lorsque l'erreur de phase $\Delta\phi$ est nulle⁴. Lorsque l'erreur de phase est réduite, on a approximativement :

$$V_p \approx K_{pc} \cdot \Delta\phi \quad (7.12)$$

7.3 Domaine non linéaire

Pendant la phase de capture de la PLL il n'est pas possible d'utiliser une approximation linéaire des blocs telle que celle donnée par l'équation 7.12. Pour étudier ce régime, on doit déterminer l'équation différentielle non linéaire qui régit la boucle. Nous considérons dans la suite que seul le comparateur de phase a un comportement non linéaire et qu'il est basé sur un multiplieur analogique (équation 7.10). Le filtrage linéaire de sa sortie, par un filtre de boucle de réponse impulsionnelle $h(t)$, est décrit par une opération de convolution :

$$V_c(t) = V_p(t) \star h(t) = \int_0^t h(t-\tau) V_p(\tau) d\tau \quad (7.13)$$

Ceci conduit à l'équation suivante pour la boucle :

$$\begin{aligned} \frac{d\theta_e}{dt} &= \frac{d\theta_r}{dt} - \omega_{ol} - K \cdot \{ \sin(\theta_e(t)) \star h(t) \} \\ &= \frac{d\theta_r}{dt} - \omega_{ol} - K \cdot \int_0^t h(t-\tau) \sin(\theta_e(\tau)) d\tau \end{aligned} \quad (7.14)$$

Dans le cas d'un signal de référence de pulsation fixe ω_r et en notant $\Delta\omega$ l'écart entre cette pulsation et ω_{ol} , on a :

$$\frac{d\theta_e}{dt} = \Delta\omega - K \cdot \int_0^t h(t-\tau) \sin(\theta_e(\tau)) d\tau \quad (7.15)$$

On étudie dans la suite les solutions de cette équation pour deux cas particuliers du filtre de boucle et une pulsation constante ω_r à l'entrée de la PLL. On notera que dans ce cas particulier :

$$\begin{aligned} \frac{d\theta_e}{dt} &= \frac{d\theta_r}{dt} - \frac{d\theta_o}{dt} = \omega_r - \frac{d\theta_o}{dt} \\ \frac{d^2\theta_e}{dt^2} &= -\frac{d^2\theta_o}{dt^2} \end{aligned} \quad (7.16)$$

L'équation 7.15 n'admet généralement pas de solution analytique⁵. Aussi nous présenterons une technique graphique dite du "plan de phase" pour analyser le comportement dynamique.

7.3.1 Boucle du premier ordre

Dans ce cas particulier, on suppose que le filtre de boucle n'a pas d'influence sur le signal d'erreur de phase. En d'autres termes, c'est comme si celui-ci était absent. L'équation différentielle 7.15 s'écrit alors :

$$\frac{d\theta_e}{dt} = \Delta\omega - K \cdot \sin(\theta_e) \quad (7.17)$$

Lorsque la boucle est verrouillée, on a $\frac{d\theta_e}{dt} = 0$ et $\sin(\theta_e) = \frac{\Delta\omega}{K}$. Ceci impose la limite :

$$\left| \frac{\Delta\omega}{K} \right| < 1 \quad (7.18)$$

Il est instructif de tracer $y = \frac{1}{K} \cdot \frac{d\theta_e}{dt}$ en fonction de $x = \theta_e$ (figure 7.3). Le plan (x,y) est appelé le plan de phase. Il fait apparaître deux valeurs θ_a et θ_b pour lesquelles la dérivée de l'erreur de

⁴ce qui justifie le choix des signaux en quadrature dans l'équation 7.8

⁵sauf dans le cas de la boucle du premier ordre [1]

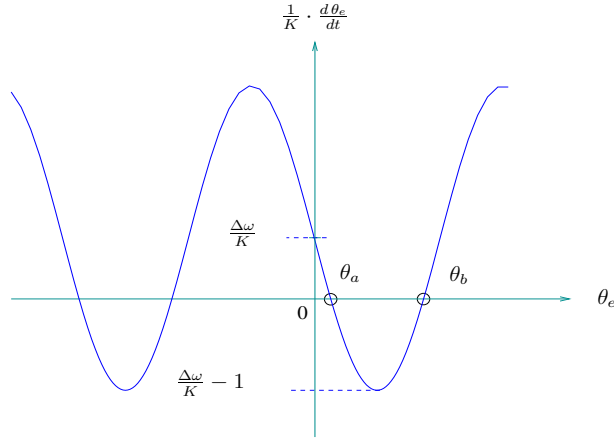


FIG. 7.3 – Plan de phase pour une boucle du premier ordre

phase s'annule sur un intervalle de 2π . Partons du point $(x,y)=(\theta_a,0)$ et imaginons un déplacement vers la gauche. Ceci correspond à $\frac{d\theta_e}{dt}$ positif et entraîne un accroissement de θ_e incompatible avec le déplacement initial. A partir de ce raisonnement on montre que le point $(\theta_a,0)$ est stable et le point $(\theta_b,0)$ instable. L'erreur de phase après verrouillage est donc :

$$\theta_e = \arcsin\left(\frac{\Delta\omega}{K}\right) \quad (7.19)$$

Le temps nécessaire pour atteindre cette valeur en partant d'une phase initiale quelconque peut être obtenu par une intégration de l'équation 7.17 [3]. Si l'erreur de phase initiale est suffisamment faible la convergence est exponentielle avec une constante de temps égale à $\frac{1}{K}$ (équation 7.6).

Pour la boucle du premier ordre la condition 7.18 est une condition nécessaire et suffisante de verrouillage : les plages de capture et de verrouillage sont toutes les deux égales à $(\omega_{ol} - K, \omega_{ol} + K)$.

7.3.2 Boucle du second ordre

On considère un filtre de boucle du premier ordre :

$$\frac{\hat{V}_c}{\hat{V}_p} = \frac{1 + j\omega\tau_2}{1 + j\omega\tau_1} \quad (7.20)$$

où \hat{V}_c et \hat{V}_p sont les transformées de Fourier respectives de la sortie et de l'entrée du filtre. Cette définition est équivalente à l'équation différentielle :

$$V_p + \tau_2 \cdot \frac{dV_p}{dt} = V_c + \tau_1 \cdot \frac{dV_c}{dt} \quad (7.21)$$

En utilisant les équations propres au comparateur de phase et au VCO (ainsi que leur dérivées) :

$$\begin{aligned} V_p &= K_{pc} \cdot \sin(\theta_e) & \frac{dV_p}{dt} &= K_{pc} \cdot \cos(\theta_e) \cdot \frac{d\theta_e}{dt} \\ \frac{d\theta_o}{dt} &= \omega_{ol} + K_{ol} \cdot V_c & \frac{d^2\theta_o}{dt^2} &= K_{ol} \cdot \frac{dV_c}{dt} \end{aligned} \quad (7.22)$$

on obtient l'équation différentielle du second ordre suivante pour l'erreur de phase :

$$\tau_1 \frac{d^2\theta_e}{dt^2} + [1 + K\tau_2 \cos(\theta_e)] \frac{d\theta_e}{dt} + K \sin(\theta_e) = \Delta\omega \quad (7.23)$$

Plan de phase L'équation différentielle précédente n'admet pas de solution analytique simple. Pour analyser les solutions, on a généralement recours à la méthode du plan de phase [4]. L'équation 7.23 peut être décomposée en deux équations du premier ordre :

$$\begin{cases} \frac{dx}{dt} = \frac{d\theta_e}{dt} = y \\ \frac{dy}{dt} = \frac{d^2\theta_e}{dt^2} = \frac{1}{\tau_1} [\Delta\omega - (1 + K\tau_2 \cos(x)) \cdot y - K \sin(x)] \end{cases} \quad (7.24)$$

Dans le plan $(x, y) = (\theta_e, \frac{d\theta_e}{dt})$, les solutions de 7.24 décrivent des trajectoires dont un exemple est donné à la figure 7.4.

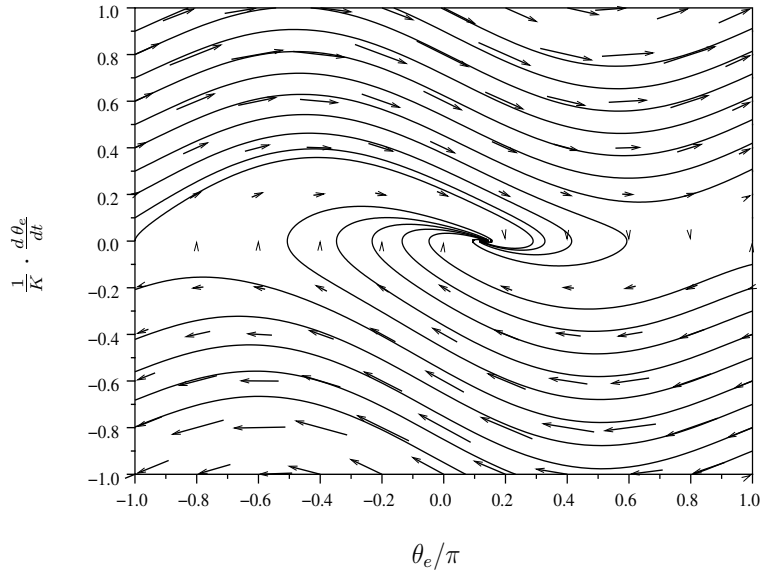


FIG. 7.4 – Plan de phase pour une PLL du second ordre avec : $K \cdot \tau_1 = 50$, $K \cdot \tau_2 = 10$, $\frac{\Delta\omega}{K} = 0,4$

Le plan de phase est en fait périodique en θ_e (période 2π) et la figure 7.4 ne fait apparaître qu’une seule période (cycle). On distingue un domaine D_c où les trajectoires convergent dans le cycle et un autre où elles divergent (pour ce cycle particulier). Ces deux domaines sont séparés par une ligne dite “séparatrice”. Lors de l’acquisition, si les conditions initiales sont en dehors du domaine D_c , la trajectoire se déplace de cycle en cycle jusqu’à atteindre une ligne séparatrice (cycle skipping). A l’intérieur du domaine D_c , on peut montrer [1] que la phase converge vers la valeur donnée par l’équation 7.19, ce qui conduit à la même plage de verrouillage que pour la boucle du premier ordre. Si $\Delta\omega < K$, l’acquisition n’est pas assurée. Il est nécessaire pour cela que $\Delta\omega < \Omega$ avec [1] :

$$\Omega \approx \sqrt{\frac{2K}{\tau_1} \cdot (2 + K\tau_2)} \quad (7.25)$$

La figure 7.5 donne un exemple d’évolution temporelle de la dérivée de l’erreur de phase (erreur de

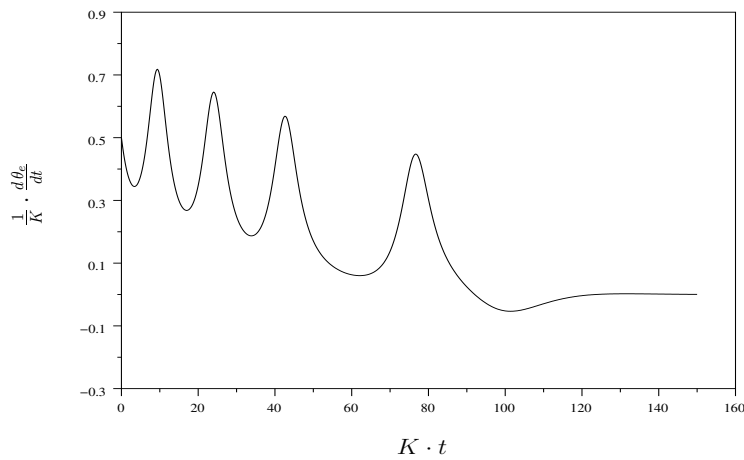


FIG. 7.5 – Erreur de fréquence pour $(\theta_e; \frac{1}{K} \cdot \frac{d\theta_e}{dt}) = (0, 5; 0, 5)$

fréquence) en fonction du temps. On voit clairement apparaître le phénomène de “cycle skipping” au début de la réponse.

7.4 Modèle linéaire

L'équation générale d'une PLL étant non linéaire, on distingue généralement deux cas particuliers de fonctionnement. Lorsque la boucle n'est pas verrouillée, l'erreur de phase peut être importante et la prise en compte des non linéarités est inévitable comme on l'a vu précédemment. Par contre lorsque la boucle est en régime de poursuite, avec une erreur de phase suffisamment faible, on peut ne considérer que les variations des grandeurs autour de leur position d'équilibre. La linéarisation des différents blocs est alors possible comme indiqué sur la figure 7.6.

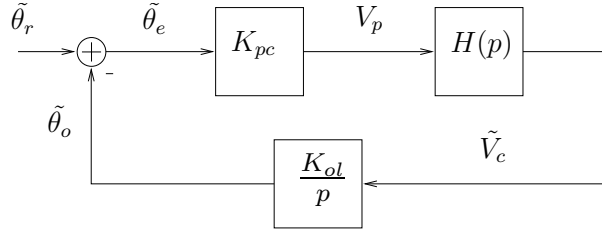


FIG. 7.6 – Schéma de principe d'une PLL

Toute grandeur x est notée $x = \bar{x} + \tilde{x}$ où \bar{x} est la position d'équilibre obtenue à l'issue du verrouillage et \tilde{x} est la perturbation appliquée. Ainsi, dans ce fonctionnement, le VCO se réduit à un simple intégrateur :

$$\begin{aligned} \frac{d\theta_o}{dt} &= \omega_{ol} + K_{ol} \cdot V_c \\ &\Downarrow \\ \frac{d\tilde{\theta}_o}{dt} &= \omega_{ol} + K_{ol} \cdot \tilde{V}_c & \frac{d\tilde{\theta}_o}{dt} &= K_{ol} \cdot \tilde{V}_c \end{aligned} \quad (7.26)$$

La linéarisation du comparateur de phase conduit par ailleurs à $\tilde{V}_p = K_{pc} \cdot \tilde{\theta}_e$. Le système peut alors être décrit par les fonctions de transfert :

$$T_s(p) = \frac{\Theta_o(p)}{\Theta_r(p)} = \frac{K \cdot H(p)}{p + K \cdot H(p)} \quad T_e(p) = \frac{\Theta_e(p)}{\Theta_r(p)} = 1 - T_s(p) \quad (7.27)$$

où $\Theta_i(p)$ est la transformée de Laplace de $\tilde{\theta}_i$ et $K = K_{pc} \cdot K_{ol}$ est le gain de boucle. Nous nous limiterons dans la suite à une fonction de transfert $T_s(p)$ du second ordre avec le filtre de boucle (du premier ordre) :

$$H(p) = \frac{1 + \tau_2 p}{1 + \tau_1 p} \quad \tau_1 > \tau_2 \quad (7.28)$$

Celui-ci conduit à la fonction de transfert suivante pour la boucle :

$$T_s(p) = \frac{1 + \tau_2 p}{1 + (\tau_2 + \frac{1}{K})p + \frac{\tau_1}{K} p^2} = \frac{1 + (2 \frac{\zeta}{\omega_n} - \frac{1}{K})p}{1 + 2 \frac{\zeta}{\omega_n} p + \frac{p^2}{\omega_n^2}} \quad (7.29)$$

Il est usuel de faire intervenir les deux paramètres ζ et ω_n qui sont respectivement l'amortissement et la pulsation propre du système :

$$\omega_n = \sqrt{\frac{K}{\tau_1}} \quad \zeta = \frac{1}{2} \left(\tau_2 + \frac{1}{K} \right) \sqrt{\frac{K}{\tau_1}} \quad (7.30)$$

Le tracé du module de la fonction de transfert est représenté sur la figure 7.7 pour $K = 10 \omega_n$ et pour différentes valeur de l'amortissement.

L'ordre de grandeur de la bande passante est fixé par ω_n . Le choix d'un coefficient d'amortissement réduit entraîne une résonance autour de ω_n . L'introduction de pôles parasites supplémentaires, inévitables en pratique, peut occasionner dans ce cas une instabilité de la boucle. Une valeur proche de 0,7 est généralement utilisée pour ce coefficient. Son impact sur la réponse indicielle de la boucle (toujours pour $K = 10 \omega_n$) est également représenté sur la figure 7.8.

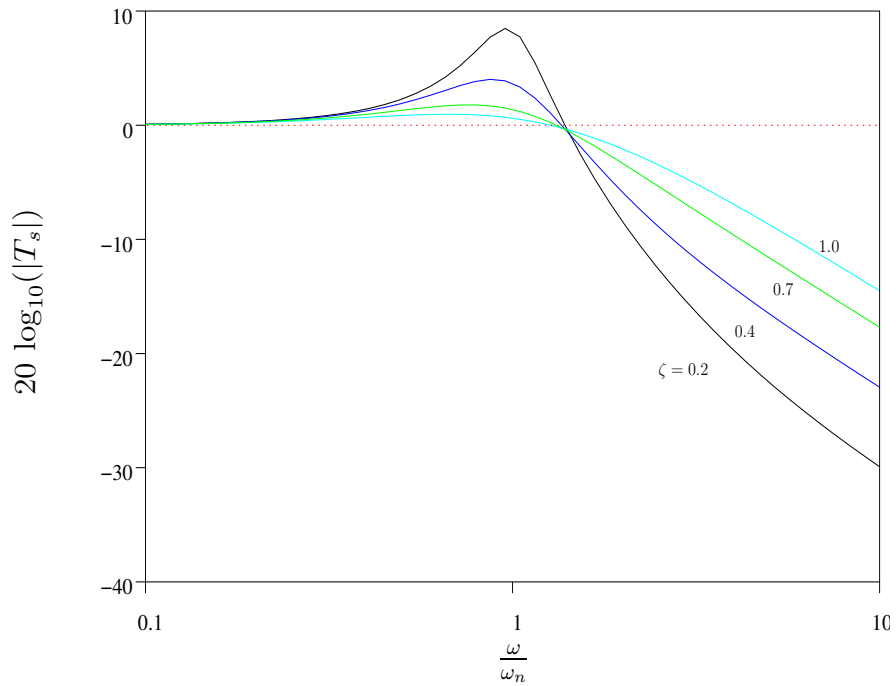


FIG. 7.7 – Module de la fonction de transfert T_s

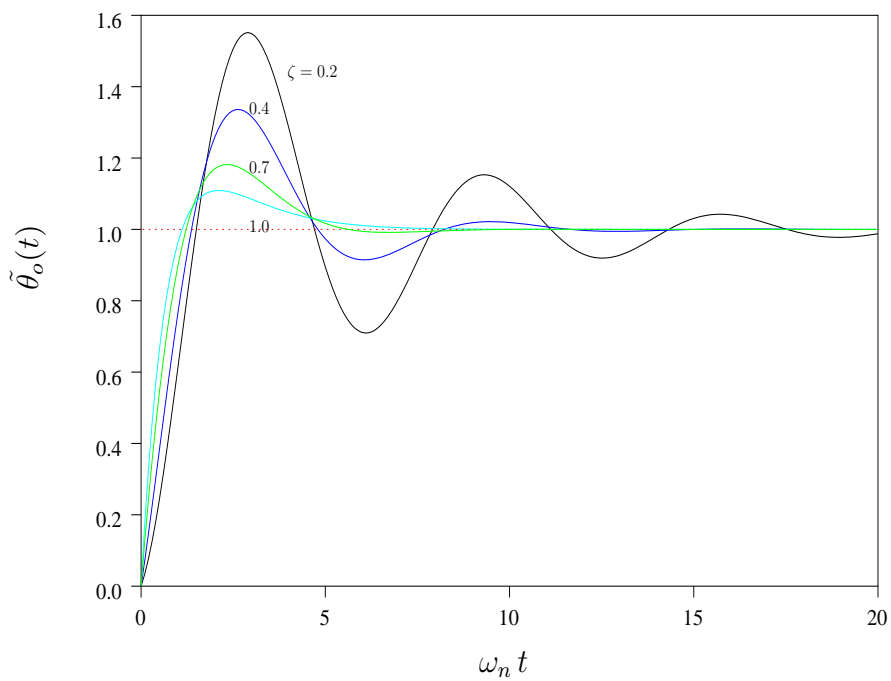


FIG. 7.8 – Réponse indicielle

7.5 Les composants de la boucle

Dans cette section, nous examinons quelques types de réalisations courantes pour les composants de la boucle.

7.5.1 Comparateur de phase

Le comparateur de phase qui a été considéré dans l'étude non linéaire était basé sur un multiplieur analogique. Celui-ci est souvent utilisé pour l'étude de ce régime car il conduit, dans ce cas, à une modélisation compacte. Il existe cependant d'autres réalisations possibles pour ce composant. En particulier, les conceptions basées sur des circuits logiques sont très répandues. La figure 7.9 montre une réalisation utilisant une simple porte OU EXCLUSIF. La valeur moyenne du signal de sortie (C) est proportionnelle à l'erreur de phase entre les signaux A (Référence) et B (VCO) si ceux-ci sont parfaitement symétriques (rapport cyclique de 50%).

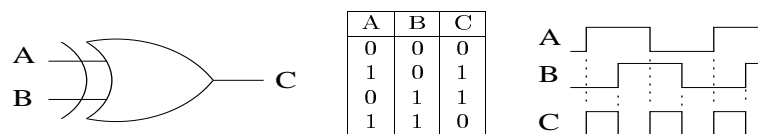


FIG. 7.9 – Comparateur de phase utilisant un OU EXCLUSIF

Un inconvénient des comparateurs tels que le multiplieur analogique ou le OU EXCLUSIF est que leur fonction de transfert est périodique de période π . Ils sont capables de discriminer une erreur de phase dans cet intervalle seulement lorsque les fréquences des signaux à leur entrée sont identiques. Ceci peut être un inconvénient en phase de capture ou cette condition n'est pas réalisée. Basé sur des circuits logiques séquentiels, il existe un comparateur capable de discriminer la phase et la fréquence.

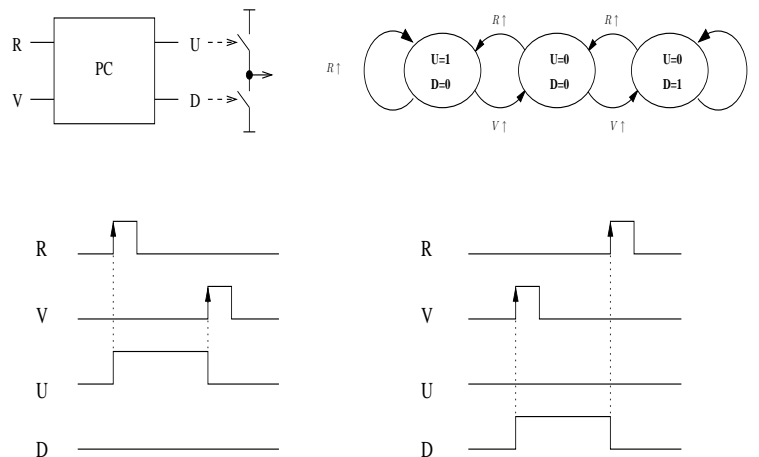


FIG. 7.10 – Comparateur séquentiel

Le schéma est donné à la figure 7.10. Le dispositif n'est sensible qu'aux transitions montantes des signaux, ce qui permet de s'affranchir de leur rapport cyclique. Trois états sont possibles pour ce circuit :

Etat 1 : $U=1$ $D=0$

Etat 2 : $U=0$ $D=0$

Etat 3 : $U=0$ $D=1$

Le circuit peut prendre un de ces trois états en fonction des transitions sur les signaux d'entrée comme indiqué à la figure 7.10. Les signaux U et D commandent des interrupteurs pouvant commuter des sources de courant ou de tension. En plaçant par exemple une capacité en sortie, on peut ainsi

charger celle-ci dans l'état 1, la décharger dans l'état 3 et maintenir sa charge constante dans l'état 2. On pourra vérifier que lorsque la fréquence sur l'entrée R est supérieure (inférieure) à celle de l'entrée V, l'état 1 (état 3) est dominant et la sortie tend vers sa valeur maximale (minimale). Le dispositif est ainsi capable de discriminer des fréquences différentes et d'asservir la boucle pour assurer le verrouillage. Les plages de capture et de verrouillage sont dans ce cas identiques.

7.5.2 VCO

La technique de réalisation de l'oscillateur contrôlé dépend (entre autre) de la valeur de la fréquence centrale, de sa stabilité dans le temps, de l'excursion de fréquences nécessaire et de la forme d'onde attendue. Il est généralement constitué de l'association d'un circuit passif et d'un amplificateur non linéaire. On peut citer les types suivants :

1. Oscillateur à quartz
2. Oscillateur LC (inductance et capacité)
3. Oscillateur à relaxation
4. Oscillateur en anneau

Les deux premiers types fournissent des signaux quasi sinusoïdaux. Pour ceux-ci, le contrôle est généralement effectué par une variation de la valeur d'une capacité avec la tension de contrôle. La variation de la zone de charge d'espace d'une diode polarisée en inverse remplit généralement cette fonction. Les deux derniers types sont plus appropriés à la génération de formes d'onde proche du signal carré. Leur contrôle est plus facilement réalisé par une variation de résistance ou de courant de charge (et décharge) d'une capacité fixe.

7.5.3 Filtre de boucle

La section 7.4 a montré que le filtre de boucle fixe les performances dynamiques de la PLL (bande passante, réponse transitoire). Celui-ci a également un impact sur la plage de capture dont la modélisation est généralement complexe comme nous l'avons vu dans la section 7.3.2. La réalisation de ce filtre peut être faite à partir de composants actifs ou passifs. Pour le cas simple du filtre passif du premier ordre considéré à la section 7.4 on peut utiliser le schéma de la figure 7.11 qui réalise bien la fonction 7.28 en posant $\tau_1 = (R_1 + R_2)C$ et $\tau_2 = R_2 C$.

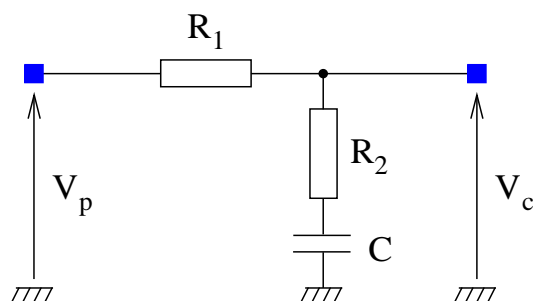


FIG. 7.11 – Filtre de boucle

7.6 Applications aux systèmes de communications

La figure 7.12 présente de manière schématique quelques applications de la PLL dans le domaine des communications :

- (a) Synthèse de fréquences
- (b) Récupération d'horloge
- (c) Démodulation de fréquence

Si le signal de sortie du VCO et celui d'entrée du comparateur de phase sont compatibles avec l'utilisation de circuits logiques, il est possible d'insérer un diviseur de fréquence constitué de bascules (figure 7.12a). Si f_r est la fréquence d'entrée, on a ainsi un signal à la fréquence $N \cdot f_r$ en sortie. L'utilisation d'un diviseur programmable permet de générer différentes fréquences multiples de celle de référence.

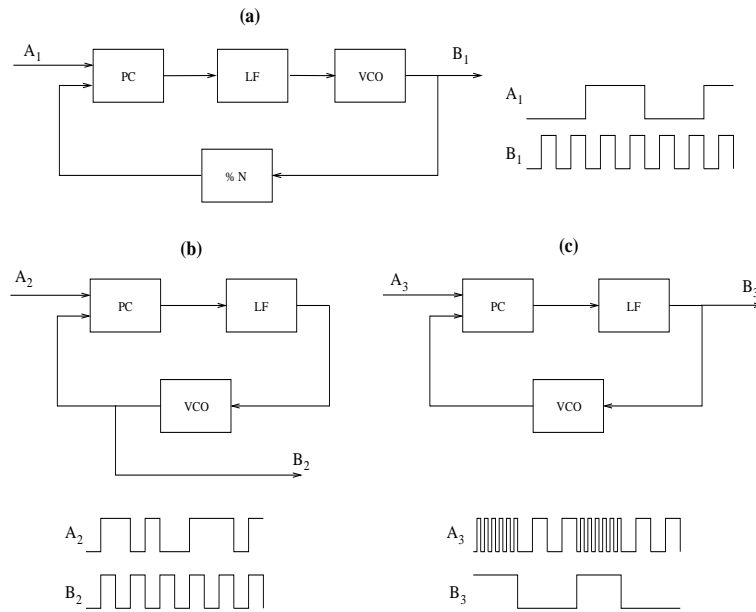


FIG. 7.12 – Applications de la PLL

Lors de la transmission de signaux binaires (“0” ou “1”), dépourvus de grandes séquences de “0” ou de “1”, il est possible de synchroniser le VCO sur cette séquence pour régénérer l’horloge nécessaire au décodage des signaux (figure 7.12b). Cette récupération de l’horloge est fondamentale dans les systèmes de communications numériques.

La figure 7.12c représente une application typique de la PLL en démodulation de fréquences pour des signaux binaires. L’état “0” est représenté par une fréquence basse et l’état “1” par une fréquence haute. Lorsque la boucle est verrouillée, l’entrée du VCO nous fournit à une constante près une reproduction du signal binaire. Une simple comparaison par rapport à un seuil de décision fixé permet alors de reconstituer la séquence binaire.

7.7 Bibliographie

Bibliographie

- [1] A. Blanchard. *Phase-Locked Loops*. John Wiley & Sons, 1976.
- [2] W. F. Egan. *Phase-Lock Basics*. John Wiley & Sons, 1998.
- [3] F. M. Gardner. *Phaselock Techniques*. John Wiley & Sons, 1979.
- [4] A. J. Viterbi. *Principles of Coherent Communication*. McGraw-Hill, 1966.

Chapitre 8

La conversion analogique - numérique

Le programme du module EAI ne comprend pas la partie CNA : section [8.4](#)

8.1 Introduction

Les circuits intégrés numériques, en terme de vitesse et de densité, permettent de mettre en oeuvre des traitements de signaux à très grande complexité. De ce fait et aussi grâce aux possibilités de programmation, le traitement numérique du signal est privilégié pour de nombreuses applications, le traitement analogique servant alors essentiellement à l'acquisition et au pré-traitement indispensable pour réaliser une conversion du signal de l'analogique vers le numérique ou à la restitution pour des opérations de filtrage ou d'amplification après conversion du numérique vers l'analogique.

Le traitement analogique et dès lors les circuits analogiques restent indispensables pour la récupération d'informations avec le monde extérieur. En effet, la plupart des capteurs d'informations fournissent une donnée du domaine analogique en temps continu.

Lors de la spécification architecturale d'un système, le choix d'un partitionnement conduisant à un traitement massif du signal en numérique et un traitement minimal en analogique ne conduit pas toujours à un optimum globalement. Le meilleur partitionnement dépend notamment des technologies d'intégration, du traitement à effectuer, des performances recherchées et des divers coûts.

De nombreuses applications en transmission ou en radiocommunications requièrent des systèmes mixtes (analogique et numérique) dans lesquels la recherche d'un optimum d'intégration dépend de nombreux paramètres et notamment de l'état de l'art en conversion analogique-numérique et en conversion numérique-analogique. Ceci illustre l'importance des interfaces d'acquisition et de restitution en général et des interfaces entre traitement d'un signal sous sa forme analogique et traitement sous sa forme numérique. Les convertisseurs jouent un rôle fondamental pour le choix d'architectures, et au-delà, pour l'atteinte des performances vis-à-vis d'objectifs de conception.

L'objet de ce chapitre est tout d'abord de présenter les principes de la conversion. Les grandes familles de convertisseur classiques sont décrites en soulignant les caractéristiques de chacune d'elles. Les convertisseurs de type $\Sigma\Delta$ ou de type pipe-line ne sont pas présentés dans ce document et sont l'objet d'étude dans le cadre d'autres enseignements.

8.2 Principe de la conversion

Pour comprendre le principe de la conversion, plaçons-nous dans une application d'acquisition et de restitution de données (FIG. 8.1).

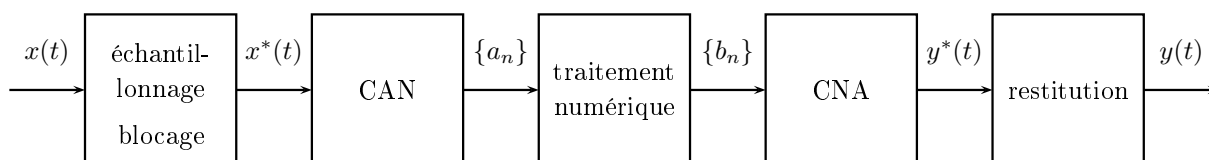


FIG. 8.1 – Chaîne d'acquisition de données

8.2.1 Etapes de la conversion

Pour permettre un traitement de signal numérique et/ou une transmission de signal numérique, il est nécessaire de procéder en différentes étapes :

- l'échantillonnage-blocage permet de discrétiser l'axe des temps. A un instant précis, la valeur du signal d'entrée est récupérée. Le signal $x^*(t)$ est analogique temps discret. Le signal $x(t)$ est analogique temps continu.
- la conversion analogique numérique peut être décomposée en 2 étapes. La première est la quantification. A partir de cette étape, le signal est discrétisé en amplitude. La deuxième étape est le codage du signal quantifié dans un code choisi. Le signal de sortie est une suite d'information binaire.
- le traitement numérique dépend de l'application.
- la conversion numérique-analogique permet de passer de l'information binaire à un signal quantifié en amplitude.
- la phase de restitution permet de récupérer le signal analogique en temps continu.

Avant de s'intéresser aux différentes familles de convertisseurs, l'opération d'échantillonnage-blocage, indispensable avant conversion, est présentée.

8.2.2 Echantillonnage

Le signal d'entrée $x(t)$ est un signal analogique temps continu. On ne va convertir que les valeurs du signal d'entrée espacées du temps T_{conv} , correspondant au temps nécessaire à la conversion. Aussi doit-on récupérer cette information et pour ce faire échantillonner le signal d'entrée à la fréquence $F_e = \frac{1}{T_{conv}} = \frac{1}{T_e}$.

L'expression du signal en sortie de l'échantillonneur est :

$$x_e(t) = x(t) \sum_{n=-\infty}^{n=+\infty} \delta(t - nT_e) = \sum_{n=-\infty}^{n=+\infty} x(nT_e)\delta(t - nT_e).$$

La transformation de Fourier de cette expression permet d'obtenir le spectre du signal (FIG. 8.2) :

$$X_e(f) = \frac{1}{T_e} X(f) * \sum_{n=-\infty}^{n=+\infty} \delta(f - nF_e) = \frac{1}{T_e} \sum_{n=-\infty}^{n=+\infty} X(f - nF_e).$$

L'opérateur $*$ est le produit de convolution.

Pour éviter le recouvrement des spectres, il est nécessaire que le spectre du signal d'entrée soit limité à $B < \frac{F_e}{2}$. Ceci impose, en général, un filtrage du signal d'entrée.

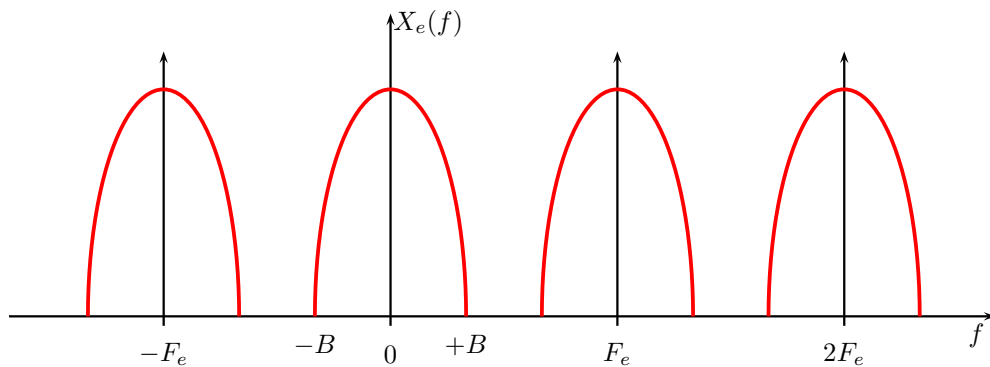


FIG. 8.2 – Spectre du signal échantillonné

8.2.3 Blocage

L'étape précédente suppose que la prise d'information est instantanée. Or les temps d'établissement et de propagation imposent de la garder suffisamment longtemps à l'entrée du convertisseur. Il faut alors considérer l'impulsion non pas comme un Dirac, mais comme un créneau :

$$x_b(t) = x_e(nT_e) * [u(t) - u(t - T_e)].$$

Le spectre correspondant s'écrit :

$$X_b(f) = X_e(f) \frac{1 - \exp(-2j\pi f/F_e)}{2j\pi f}.$$

Ceci donne l'expression en module :

$$|X_b(f)| = |X_e(f)| \frac{|\sin c(\pi f/F_e)|}{F_e}$$

Ceci se traduit par une déformation du spectre (FIG. 8.3) où le spectre du signal de départ sera d'autant moins déformé que la fréquence d'échantillonnage sera grande devant la bande B du signal d'entrée.

8.3 La conversion analogique-numérique

Cette opération peut être décomposée en deux parties : la quantification et le codage. En général, le même circuit met en oeuvre les deux opérations.

Avant d'étudier les architectures des convertisseurs, quelques termes liés à la conversion doivent être définis.

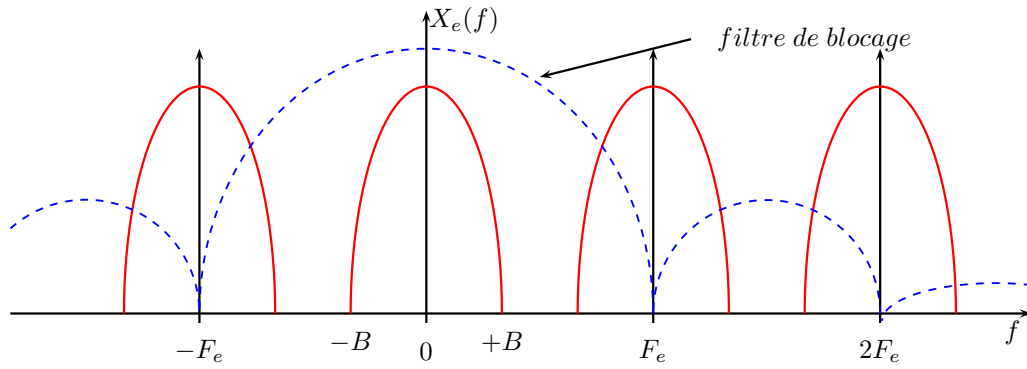


FIG. 8.3 – Spectre du signal et effet du blocage

8.3.1 Définitions

Pour un Convertisseur Analogique Numérique (CAN), la grandeur analogique temps continu A est transformée en un signal discret (b_1, b_2, \dots, b_n) . L'équation de définition du convertisseur s'écrit :

$$A = b_1 \frac{G_{ref}}{2} + b_2 \frac{G_{ref}}{4} + \dots + b_n \frac{G_{ref}}{2^n} + e = N G_{ref} + e, \text{ avec}$$

G_{ref} : la grandeur de référence du convertisseur, e : l'erreur de quantification du convertisseur, N : la représentation du signal numérique normalisée à la grandeur de référence G_{ref} , n : le nombre de bit ou la résolution, b_1 : le bit de poids le plus fort (MSB : *Most Significant Bit*) et b_n : le bit de poids le plus faible (LSB : *Least Significant Bit*). Nous en déduisons les inégalités :

$$0 \leq N \leq 1 - \frac{1}{2^n}; \quad 0 \leq A \leq G_{ref} - \frac{G_{ref}}{2^n}.$$

On définit également le pas de quantification qui se nomme également le quantum :

$$q = \frac{G_{ref}}{2^n}.$$

L'approximation due à la quantification peut être représentée comme une erreur (FIG. 8.4) comprise entre $\pm q/2$.

Le comportement non linéaire du quantificateur fait que l'on ne peut pas utiliser les méthodes classiques. Aussi, fait-on appel au modèle statistique. La référence de base de ce travail est un article de Bennet [2].

Par la suite, nous allons considérer la quantification comme un bruit blanc additif de probabilité uniforme (FIG. 8.5). Nous parlerons dans la suite de bruit de quantification.

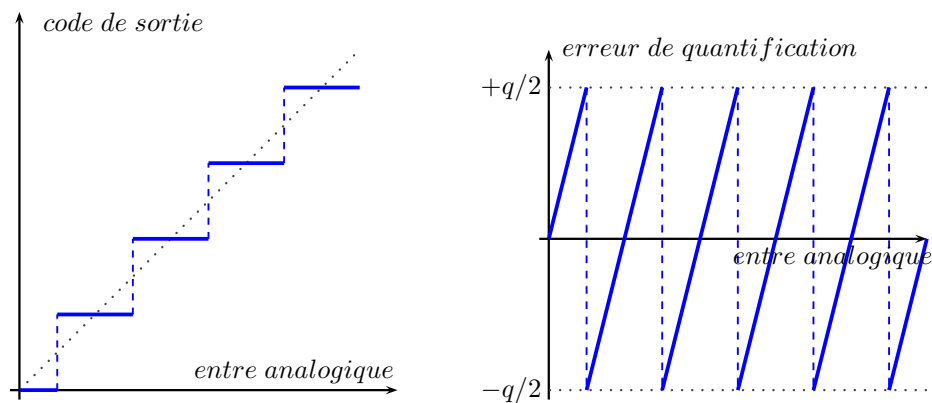


FIG. 8.4 – Fonction de transfert d'un CAN et erreur de quantification

La variance du bruit de quantification est donnée par :

$$\sigma^2 = \frac{1}{q} \int_{-q/2}^{+q/2} e^2 de = \frac{q^2}{12}.$$

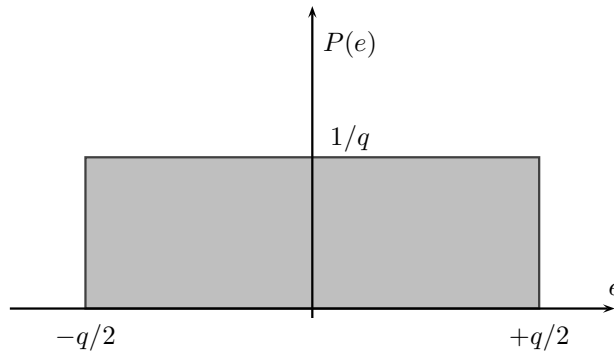


FIG. 8.5 – Densité de probabilité de l'erreur de quantification

La puissance P_e de ce processus aléatoire, échantillonné à la fréquence F_e , est égale à sa variance. L'hypothèse de bruit blanc donne une densité spectrale de puissance constante sur tout le spectre. Il en résulte :

$$P_e = \int_{-F_e/2}^{+F_e/2} dsp_e df = \frac{q^2}{12} \text{ et } dsp_e = \frac{q^2}{12F_e}.$$

La FIG. 8.6 donne l'allure du spectre du signal échantillonné et du bruit introduit par la quantification. Pour analyser l'influence de la quantification sur la qualité du signal, nous utilisons le rapport signal sur bruit (SNR : *Signal Noise Ratio*) :

$$SNR = \frac{\text{puissance du signal}}{\text{puissance du bruit}} = \frac{\int_{-F_e/2}^{+F_e/2} |E(f)|^2 df}{\int_{-F_e/2}^{+F_e/2} dsp_e df}$$

(en supposant être à la limite de la fréquence de Nyquist $B = F_e/2$)

Avec une tension d'entrée sinusoïdale d'amplitude A , la puissance du signal est $P_s = \frac{A^2}{2}$. Si la grandeur de référence du convertisseur est une tension V_{ref} , alors la puissance du bruit de quantification est $P_e = \frac{q^2}{12} = \frac{V_{ref}^2}{12 \cdot 2^{2(n-1)}}$, dans le cas d'un signal bipolaire (excursion du signal de $\pm V_{ref}$).

Ceci permet de déduire le rapport signal sur bruit :

$$SNR = \frac{3}{2} \cdot 2^{2n} \cdot \left(\frac{A}{V_{ref}}\right)^2$$

soit en décibel :

$$10 \log SNR = 1,76 + 6,02n + 20 \log\left(\frac{A}{V_{ref}}\right).$$

Cette relation montre l'équivalence entre un gain de $6dB$ de rapport signal sur bruit et 1 bit de plus en résolution (en numérique, la résolution indique le nombre de bits significatifs avec lequel sont représentés les nombres).

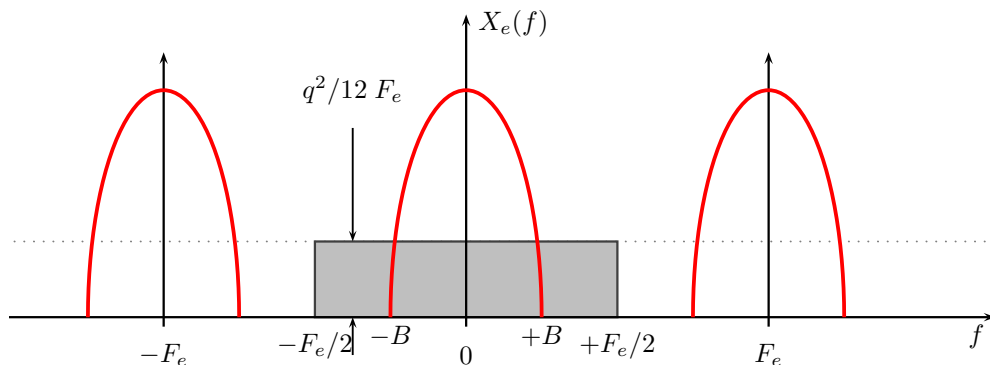


FIG. 8.6 – Spectre du signal et du bruit de quantification

L'influence du suréchantillonnage n'est pas étudiée dans ce cours. Elle est traitée dans le cadre de l'étude des convertisseurs à modulation sigma-delta.

Ces définitions vont nous aider dans la description des architectures des convertisseurs.

8.3.2 Etude des principaux convertisseurs analogique-numérique

Un grand nombre de techniques de Conversion Analogique-Numérique ont été développées pour une grande diversité d'applications. Le choix d'une de ces techniques dépend très étroitement de l'application particulière. Dans certains cas, le paramètre important est la précision, dans d'autres c'est la rapidité. Lorsque les deux paramètres sont exigés, il faut aboutir à un compromis. nous pouvons classer les CAN en trois familles essentielles :

- les CAN parallèles ou flash réalisent la conversion en une période d'horloge ;
- les CAN à approximations successives procèdent à des essais successifs pour arriver à la solution ;
- les CAN à largeur d'impulsion modulée (charge ou décharge d'une capacité durant le cycle de conversion).

Les CAN parallèles ou "flash" :

Ce sont les plus rapides. La FIG. 8.7 donne le schéma de principe pour un convertisseur 3 bits. Ce type de convertisseur utilise un comparateur analogique séparé pour chaque niveau de quantification. Pour n bits de résolution, $2^n - 1$ comparateurs sont nécessaires. La complexité du système croît donc très vite avec le nombre de bits. L'opération de conversion est effectuée en un seul cycle d'horloge, d'où son nom de convertisseur "flash".

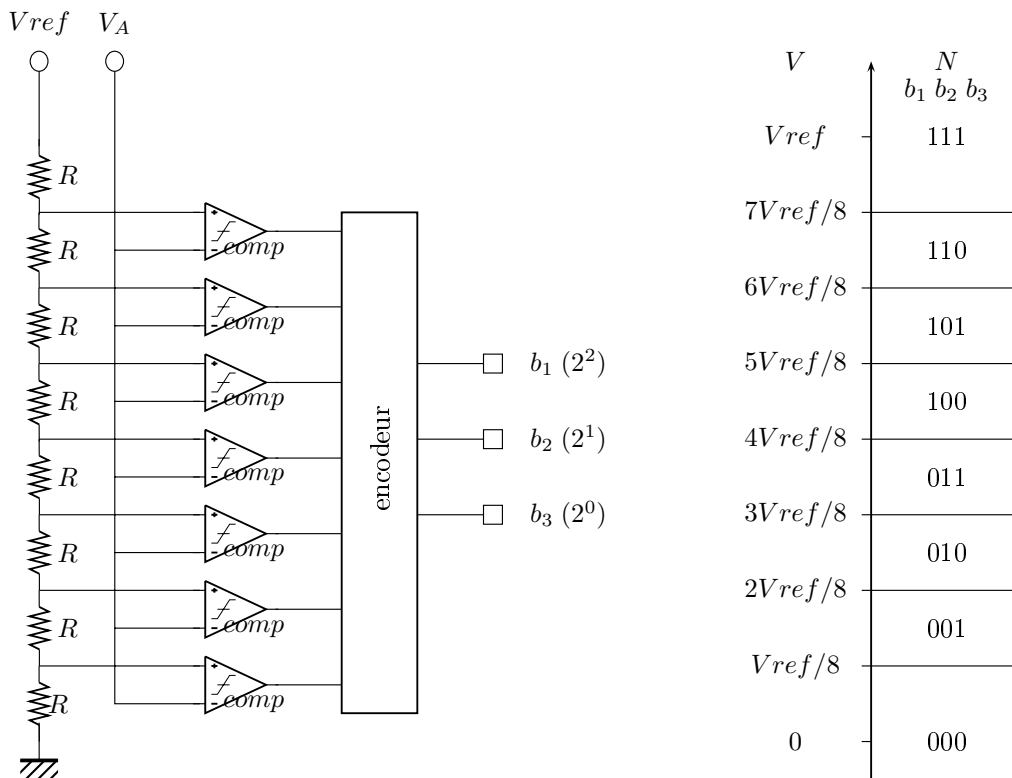


FIG. 8.7 – CAN "flash"

La plus large gamme d'applications de ce type de convertisseurs est le traitement du signal vidéo. Ils sont utilisés dans la compression de bande vidéo, la transmission vidéo numérique, l'analyse de signal radar notamment. Ces applications requièrent des vitesses de conversions dans la gamme de 50MHz à 1GHz voire au-delà.

Les CAN à approximations successives

Ces convertisseurs permettent des vitesses plus réduites que les convertisseurs flash mais la complexité matérielle est réduite.

Le schéma de principe est donné FIG. 8.8. Les différents bits de la décomposition binaire de V_A sont déterminés les uns après les autres, en commençant par le bit de plus fort poids. Pour en comprendre le fonctionnement, on peut se référer à la relation :

$$V_A = V_{ref} \left(\frac{b_1}{2} + \dots + \frac{b_n}{2^n} \right)$$

- instant 1 : on compare V_A à $V_1 = (V_{ref}/2)$. Si V_A est supérieur à $(V_{ref}/2)$, on sait que $b_1 = 1$ et il faut ajouter $(V_{ref}/4)$; si V_A est inférieur à $(V_{ref}/2)$, on sait que $b_1 = 0$ et il faut remplacer $(V_{ref}/2)$ par $(V_{ref}/4)$.
- instant 2 : on compare V_A à $(V_{ref}/4)$ ou $(3V_{ref}/4)$, selon le résultat précédent, soit à $V_2 = b_1(V_{ref}/2) + (V_{ref}/4)$. Si V_A est supérieur à V_2 , $b_2 = 1$ et on ajoute $(V_{ref}/8)$; si V_A est inférieur à V_2 , $b_2 = 0$ et on remplace $(V_{ref}/4)$ par $(V_{ref}/8)$.
- on continue ainsi en essayant les différentes tensions jusqu'à $(V_{ref}/2^n)$.

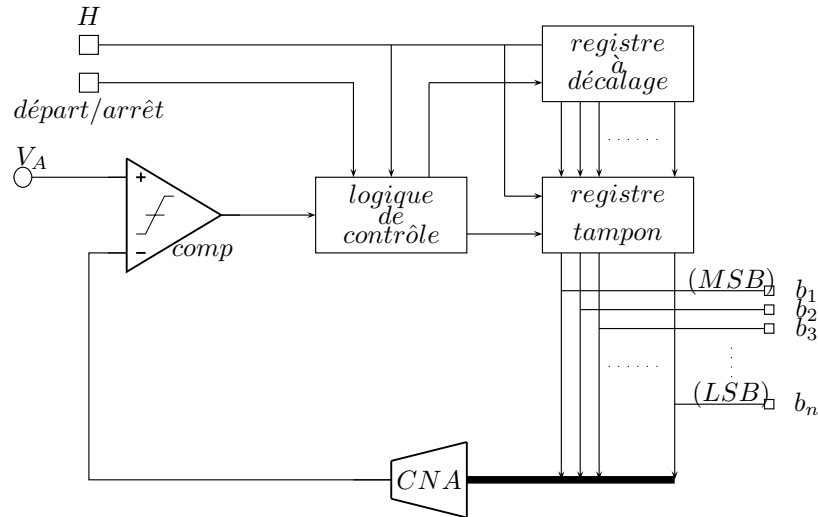


FIG. 8.8 – CAN à approximations successives

Les trois éléments essentiels d'un convertisseur à approximations successives sont :

- le CNA qui génère les tensions pondérées ;
- le comparateur qui compare V_A aux différentes tensions ;
- la logique de commande et de contrôle qui traite le signal de sortie du comparateur.

Le CAN à approximations successives est un CAN série puisque qu'on élabore un bit à chaque étape, il faut n périodes d'horloge pour obtenir une précision de n bits.

Les CAN à largeur d'impulsion modulée

Ce sont des convertisseurs indirects. Le signal analogique est tout d'abord converti en impulsion dont la durée est proportionnelle à la tension analogique V_A comme indiqué FIG. 8.9.

Avant le départ du cycle de conversion, le compteur est remis à zéro et l'interrupteur S_1 est fermé (charge de C_1 nulle). Le cycle de conversion démarre avec l'ouverture de S_1 et le courant I_1 génère une rampe de tension aux bornes de C_1 . Pendant ce temps, le compteur compte les cycles d'horloge. Quand la rampe linéaire atteint la tension V_A , le comparateur change d'état et arrête le comptage, le cycle est terminé. L'état du compteur est l'équivalent numérique de la tension V_A . En effet il faut N'_T impulsions pour atteindre V_{ref} et N' pour atteindre V_A , on a la relation :

$$N' = N'_T (V_A / V_{ref})$$

La FIG. 8.10 représente le CAN simple rampe et la figure FIG. 8.11 le chronogramme associé. La différence avec le schéma de base est la présence de $(-V_i)$ et du comparateur 1. Au départ de la conversion S_1 est ouvert et C_1 se charge avec une rampe de pente $1/R_1 C_1$, à partir de $-V_1$. Au passage à zéro, le comparateur 1 bascule et déclenche le compteur. Le comptage se termine lorsque le comparateur 2 bascule, donc lorsque la sortie de l'intégrateur passe par V_A .

L'inconvénient de ce convertisseur est que la précision dépend très fortement de la valeur du produit $R_1 \times C_1$. Pour éviter ce problème, on utilise la technique de conversion double rampe.

La conversion se déroule en deux phases :

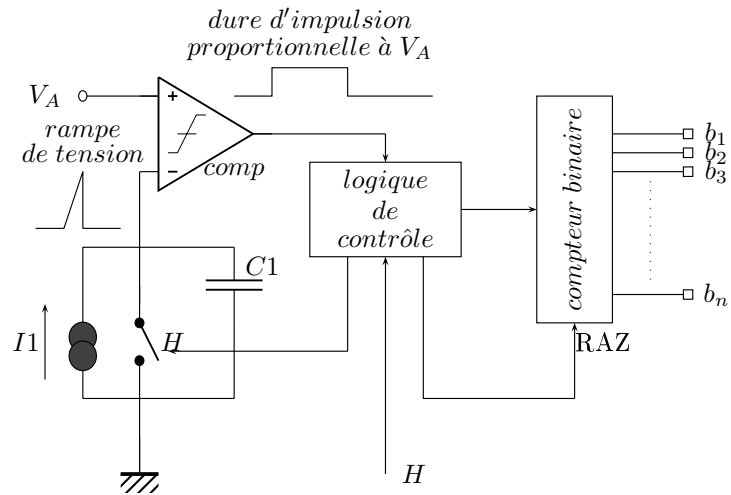


FIG. 8.9 – CAN à rampe

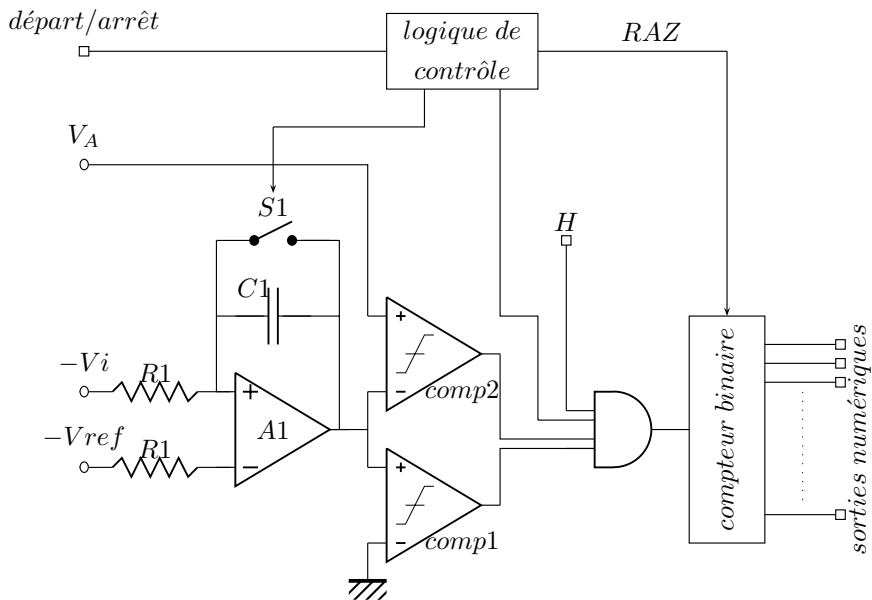


FIG. 8.10 – CAN simple rampe

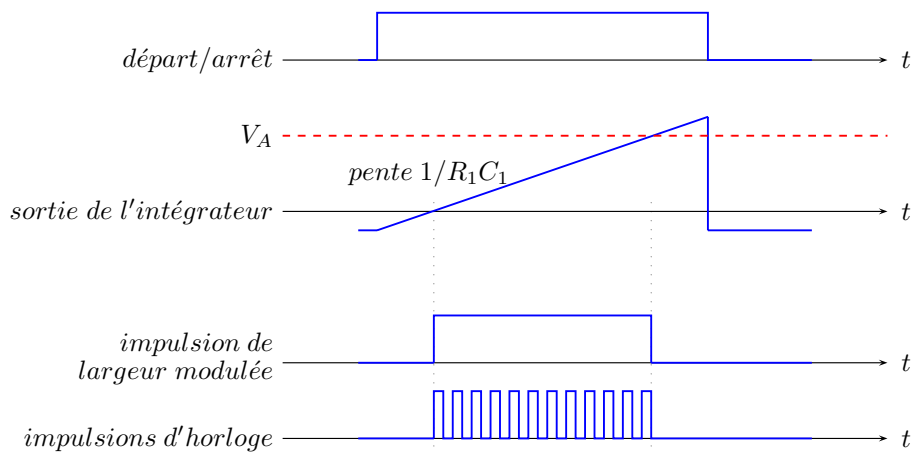


FIG. 8.11 – Chronogramme d'un CAN simple rampe

- en phase 1 l'intégration se fait avec $-V_A$ et la pente de la rampe est : $\frac{dV_x}{dt} = \frac{V_A}{R_1 C_1}$ et on compte 2^n cycles d'horloge
 - en phase 2, l'intégration se fait avec V_{ref} et la pente de la rampe est : $\frac{dV_x}{dt} = -\frac{V_{ref}}{R_1 C_1}$, les impulsions d'horloge comptées : N' sont données par la relation : $N' = 2^n \left(\frac{V_A}{V_{ref}}\right)$, N' nombre entier. On s'affranchit ainsi de l'imprécision sur le produit $R_1 C_1$.
- Mais le cycle de conversion dure $(2^n + N')T_H$.

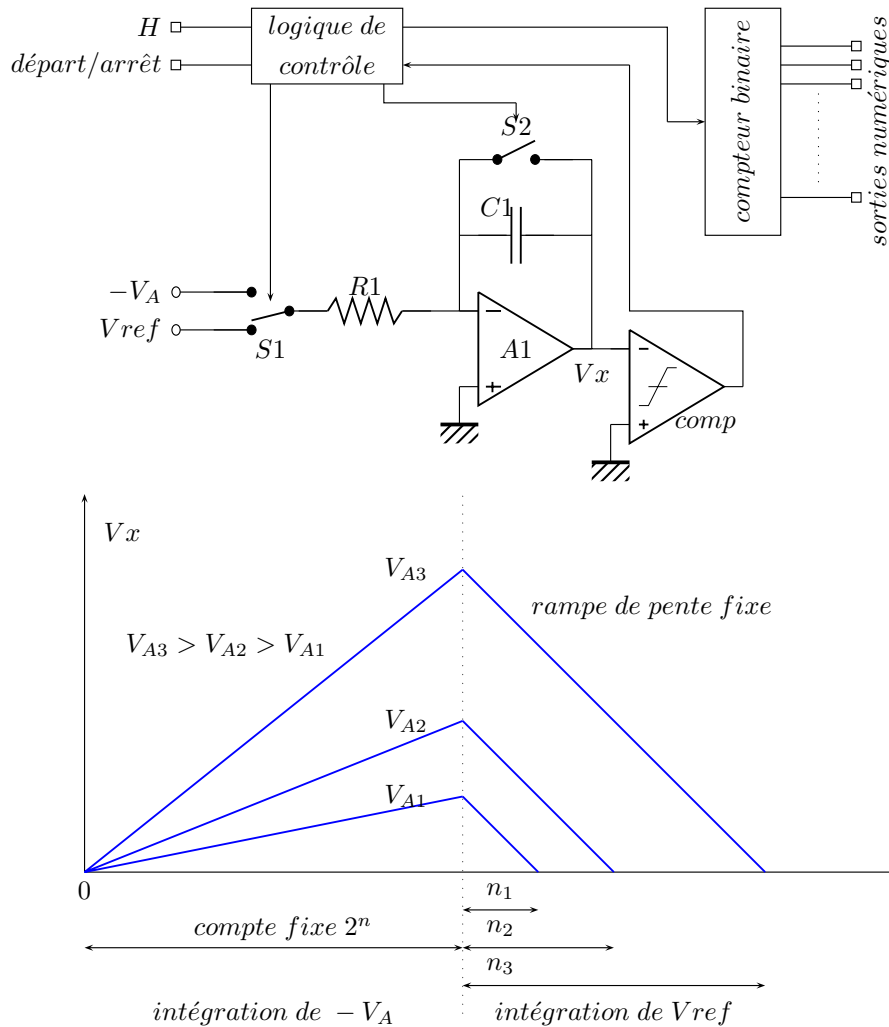


FIG. 8.12 – CAN double rampe

La résolution peut atteindre 20 bits. Des architectures quadruple rampes sont parfois utilisées pour atteindre les résolutions les plus élevées. Les deux rampes supplémentaires servent alors à un calibrage à partir d'une valeur connue avant l'acquisition proprement dite. Cette architecture, autrefois très largement répandue notamment pour des applications en instrumentation, est souvent avantageusement remplacée aujourd'hui par des convertisseurs à modulation sigma-delta et sur-échantillonnage. Ceux-ci permettent d'atteindre les mêmes résolutions tout en nécessitant moins de calibrage (pour en savoir plus, consultez notamment [3]).

Remarque :

Les trois CAN présentés dans ce cours, sont les principaux. Nous pouvons encore ajouter le CAN à transfert de charges, traité dans le chapitre sur les capacités commutées.

8.3.3 Exemples

Le tableau TAB. 8.1 donne quelques exemples de caractéristiques de convertisseurs analogique-numérique.

Les caractéristiques des convertisseurs sont souvent associées au sein d'une fonction de mérite liant la puissance consommée P , la résolution effective en nombre de bits $ENOB$ et la bande passante

Architecture	Débit(éch./sec)	ENOB	P(mW)
Flash	$1,3 \times 10^9$	5	600
Approximation successive	3×10^6	14	110
Double rampe	3	22	900

TAB. 8.1 – Exemples de caractéristiques de C.A.N.

admissible BW .

Cette équation est de la forme : $FdM = \frac{P(mW)}{BW(MHz) \times 2^{ENOB}}$

où FdM représente une énergie exprimée en pJ .

Pour une largeur de bande donnée, FdM représente l'énergie nécessaire à l'obtention d'1bit de résolution. Réduire cette figure de mérite est en permanence un défi pour les chercheurs et développeurs de convertisseurs. Cette figure de mérite permet de comparer les performances de différentes architectures de convertisseurs ou de plusieurs convertisseurs basés sur une même architecture. Le nombre effectif de bits est calculé en fonction du rapport signal sur bruit de quantification et distorsion. Les distorsions induites par la conversion jouent en effet un rôle fondamental pour de nombreuses applications.

La suite de ce chapitre traite de façon assez complète des Convertisseurs Numérique-Analogique. Cette partie n'est pas directement au programme du cours, mais est là pour compléter ce chapitre sur la conversion.

8.4 La conversion numérique-analogique

8.4.1 Définitions

Un Convertisseur Numérique Analogique (CNA) est un dispositif qui reçoit une information numérique sous la forme d'un mot de n bits et produit un signal analogique sous la forme d'une tension ou d'un courant.

Le schéma fonctionnel d'un CNA est donné FIG. 8.13. L'entrée numérique N et la sortie analogique A sont liées par une relation du type :

$$A = K.G_{ref}.N$$

où K est un facteur d'échelle éventuel, G_{ref} la grandeur de référence et N a la même définition que pour les CAN :

$$N = b_1 \frac{G_{ref}}{2} + b_2 \frac{G_{ref}}{4} + \dots b_n \frac{G_{ref}}{2^n}$$

La fonction de transfert du convertisseur est :

$$A = K.G_{ref} \left(b_1 \frac{G_{ref}}{2} + b_2 \frac{G_{ref}}{4} + \dots b_n \frac{G_{ref}}{2^n} \right)$$

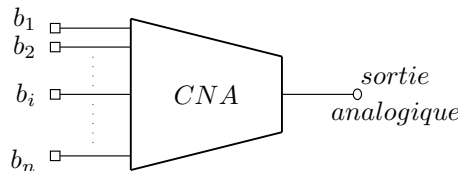


FIG. 8.13 – Symbole d'un CNA

Dans de nombreuses applications, il est requis un interfacement direct avec un bus de données ou un microprocesseur (FIG. 8.14), aussi utilise-t-on une mémoire tampon en entrée. Cette mémoire est placée entre les données venant du bus (série ou parallèle) et les entrées du CNA. La sortie dispose d'un échantillonneur-bloqueur qui maintient le niveau de sortie correspondant à la dernière conversion pendant la durée de la nouvelle conversion.

Avec un facteur d'échelle $K = 1$, la FIG. 8.15 représente la fonction de transfert d'un CNA de 3 bits.

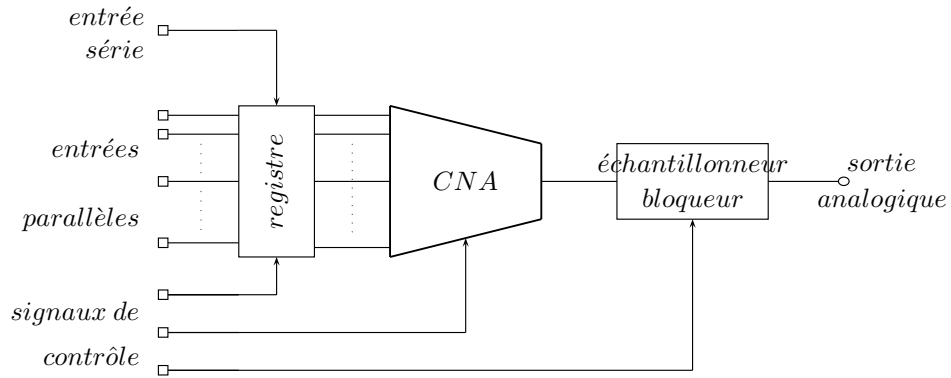


FIG. 8.14 – CNA complet

La grandeur de sortie peut prendre 2^n niveaux de tension de 0 à la valeur maximale :

$$G_{S_{\max}} = G_{ref} \frac{2^n - 1}{2^n}.$$

La plus petite variation de la grandeur de sortie, déjà définie précédemment, est le quantum :

$$q = \frac{G_{ref}}{2^n}.$$

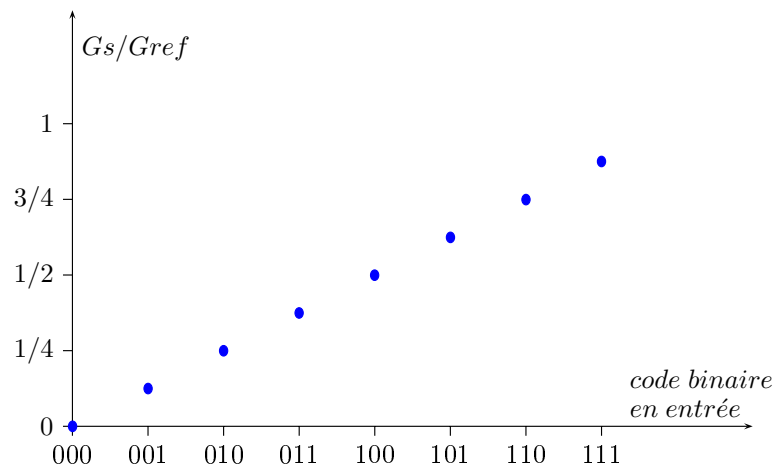


FIG. 8.15 – Fonction de transfert du CNA

8.4.2 Etude des principaux convertisseurs numériques analogiques

Sans tenir compte de la nature des signaux fournis (courant ou tension), ni de la manière dont l'information numérique est appliquée à l'entrée, on peut classer les CNA en deux familles :

- les CNA directs : on passe sans intermédiaire du mot binaire au signal de sortie ;
- les CNA indirects : on passe par l'intermédiaire d'une grandeur analogique, par exemple, le temps ou une densité de probabilité.

CNA directs

Les CNA directs se divisent en CNA parallèles et CNA séries selon l'entrée de l'information numérique.

1. CNA parallèles

Les CNA parallèles sont très rapides, tous les bits sont convertis en même temps, mais nécessitent de nombreux composants de précision.

Le principe de fonctionnement se déduit directement de la fonction de transfert :

$$A = b_1 \frac{G_{ref}}{2} + b_2 \frac{G_{ref}}{4} + \dots b_n \frac{G_{ref}}{2^n}$$

Le CNA parallèle comprend :

- une grandeur de référence ;
- un système de pondération : création des coefficients $(1/2^i)$;
- une commande numérique : multiplication par b_i (1 ou 0) ;
- une sommation des différents signaux.

La pondération peut se faire en courant, tension ou charge.

1. CNA à pondération en courant

Les FIG. 8.16 et FIG. 8.17 montrent deux configurations de circuit de base qui génèrent et somment des courants pondérés I_1, I_2, \dots, I_n .

La FIG. 8.16 représente un circuit avec des commutations en tension : chaque commutateur a V_{ref} sur le point 2 et la masse sur le point 1.

La FIG. 8.17 représente un circuit avec des commutations en courant : les points 1 et 2 sont à la masse et à la masse virtuelle. Dans les circuits intégrés, la commutation en courant est préférée parce que plus rapide. Les noeuds du réseau présentent des capacités parasites et les commutations de tension créent des transitoires de tension. Avec les commutations de courant, les tensions de noeuds restent inchangées et ceci minimise le temps d'établissement.

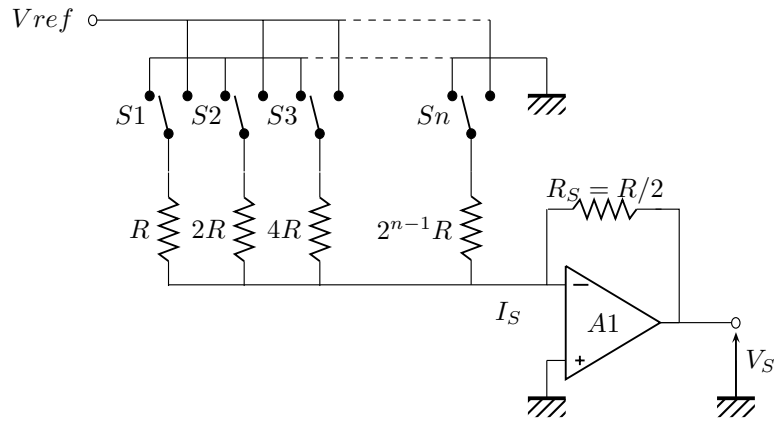


FIG. 8.16 – CNA avec commutation en tension

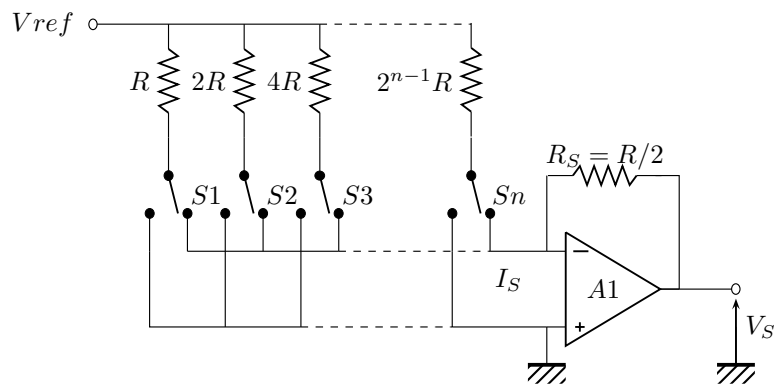


FIG. 8.17 – CNA avec commutation en courant

La position des interrupteurs S_1, S_2, \dots, S_n représente la valeur des coefficients b_1, b_2, \dots, b_n . Le courant de sortie est sommé à la masse virtuelle de l'amplificateur opérationnel. Il en résulte la tension de sortie :

$$V_S = -R_S I_S = -V_{ref} \left(\frac{b_1}{2} + \dots + \frac{b_n}{2^n} \right)$$

avec $R_S = R/2$ pour un facteur d'échelle $K = 1$.

Dans ce type de réseau résistif, l'étendue des valeurs des résistances croît très vite avec le nombre de bits :

$$\frac{R_{MSB}}{R_{LSB}} = \frac{1}{2^{n-1}}.$$

Pour une résolution de 8 bits, les résistances varient de R à $128R$. Ceci est difficile à obtenir en circuit intégré.

Pour éviter ce problème, on peut utiliser la configuration appelée $R-2R$ de la FIG. 8.18. Dans ce type de réseau, la division binaire des courants I_1, I_2, \dots, I_n est obtenue par répartition des courants entre branches séries et branches parallèles tel que :

$$I_1 = 2I_2 = 4I_3 = \dots = 2^{n-1}I_n$$

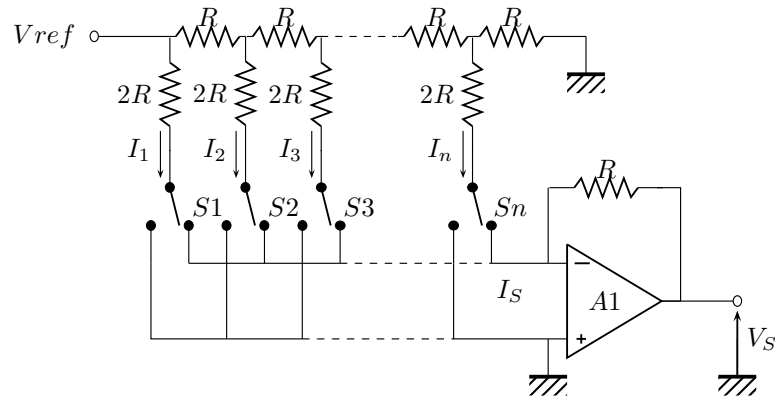


FIG. 8.18 – CNA en échelle R-2R

1. CNA à pondération de tension

Ce type de convertisseur produit une tension analogique grâce à un chemin, sélectionné par commutateurs à travers un diviseur de tension résistif (FIG. 8.19). Un circuit convertisseur n bits a besoin de 2^n résistances identiques en série. Le nombre d'éléments peut être réduit par des techniques de multiplexage. L'application principale de ce type de convertisseur est comme sous-ensemble d'un CAN à approximations successives.

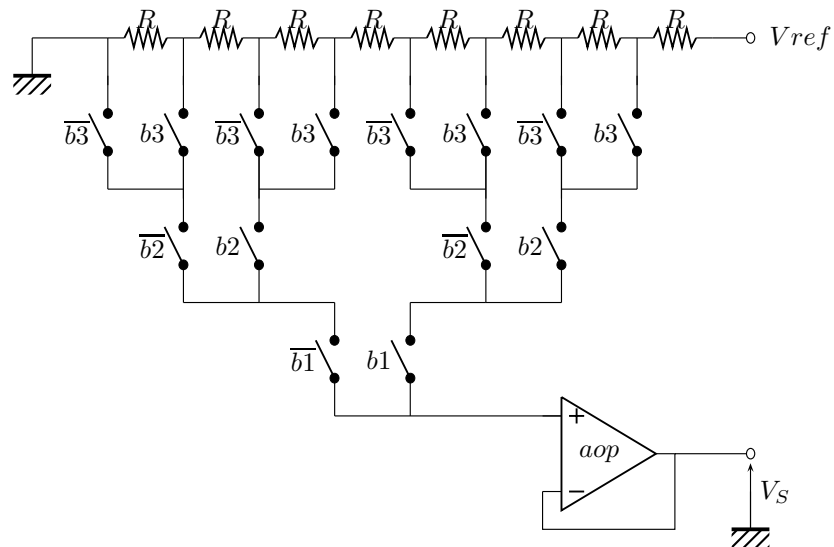


FIG. 8.19 – CNA 3 bits à pondération en tension

1. CNA à pondération de charges

La tension analogique est produite par répartition de la charge totale appliquée à un réseau de capacités (FIG. 8.20). Pendant la phase d'initialisation, tous les interrupteurs sont connectés à la masse et $V_S = 0$. Puis S_0 est ouvert et S_1 à S_n sont contrôlés par les coefficients b_1 à b_n . b_i à 1 connecte S_i à V_{ref} et b_i à 0 connecte S_i à la masse.

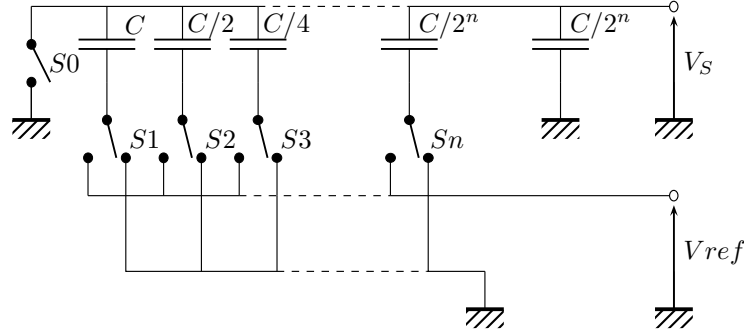


FIG. 8.20 – CNA à pondération de charges

Dans ces conditions :

$$V_S = V_{ref} \frac{C_{eq}}{C_{total}} \text{ avec } C_{eq} = b_1 C + \frac{b_2 C}{2} + \dots + \frac{b_n C}{2^n} \text{ et } C_{total} = 2C$$

on arrive ainsi à :

$$V_S = V_{ref} \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_n}{2^n} \right)$$

Ce type de convertisseur se prête à une intégration monolithique en technologie MOS permettant une bonne précision des rapports de capacités (voir chapitre 5). L'inconvénient de ce circuit est la grande étendue des valeurs capacitives :

$$\frac{C_{MSB}}{C_{LSB}} = \frac{1}{2^{n-1}}.$$

Ce circuit est utilisé comme bloc de fonctionnement d'un CNA à "répartition de charges".

Remarques sur ces trois circuits de base :

En pratique, le choix d'une de ces trois techniques de base est guidé par la technologie. La pondération en courant est utilisée en technologie bipolaire qui permet de réaliser les réseaux résistifs avec précision et de commuter les courants très rapidement. La pondération en tension et en charge est réalisée en technologie MOS analogique où les capacités MOS et les commutateurs peuvent être facilement réalisés. L'évolution actuelle est d'utiliser également des circuits mode courant en technologie MOS et BiCMOS.

1. CNA série (ou algorithmique , ou séquentiel)

Les CNA parallèles sont très rapides mais nécessitent de nombreux composants de précision ; de plus, si le mot binaire se présente sous la forme série, on perd l'avantage de la rapidité. Les CNA série pallient à ces inconvénients.

Le principe de fonctionnement se déduit de la fonction de transfert

$$V_S = V_{ref} \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_n}{2^n} \right) \text{ ou}$$

$$V_S = V_{ref} [\dots ((b_n/2 + b_{n-1})/2 + \dots + b_2) / 2 + b_1] / 2] .$$

On peut donc définir différentes tensions en partant du bit de poids faible b_n :

$$\begin{aligned} V_0 &= 0, \\ V_1 &= 2^{-1} b_n V_{ref}, \\ V_2 &= 2^{-1} (b_{n-1} V_{ref} + V_1) \\ &\vdots \\ V_i &= 2^{-1} (b_{n-i+1} V_{ref} + V_{i-1}) \\ &\vdots \\ V_n &= 2^{-1} (b_1 V_{ref} + V_{n-1}) \end{aligned}$$

Le schéma de principe est donné FIG. 8.21.

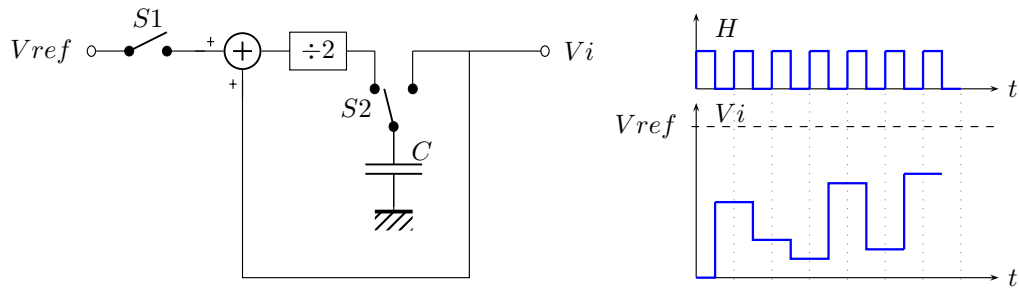


FIG. 8.21 – CNA algorithmique partant du LSB

Le fonctionnement d'un tel convertisseur est commandé bit par bit, il faut au minimum n périodes d'horloge pour convertir n bits. S_1 est commandé par le coefficient du bit à convertir en commençant par b_n et S_2 est commandé par l'horloge.

On peut également définir différentes tensions en partant du *MSB* :

$$\begin{aligned}
 V_0 &= 0, \\
 V_1 &= 2^{-1}b_1V_{ref}, \\
 V_2 &= V_1 + 2^{-2}b_2V_{ref} \\
 &\vdots \\
 V_i &= V_{i-1} + 2^{-i}b_iV_{ref} \\
 &\vdots \\
 V_S &= V_{n-1} + 2^{-n}b_nV_{ref}
 \end{aligned}$$

Ceci donne le schéma de principe de la FIG. 8.22.

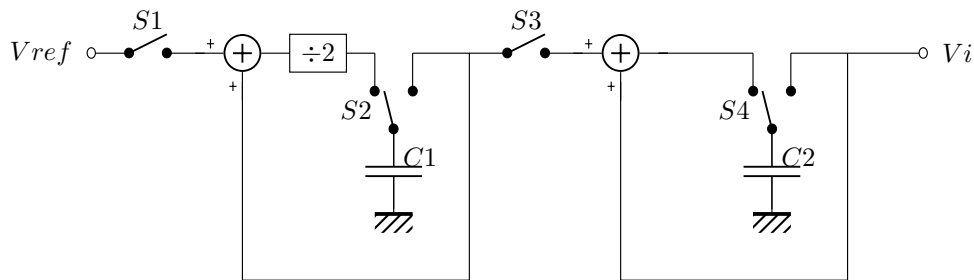


FIG. 8.22 – CNA algorithmique partant du MSB

Principe de fonctionnement :

S_1 est commandé par l'instant 1 de la conversion, S_2 et S_4 par l'horloge H et \bar{H} respectivement, S_3 par les coefficients binaires b_i . Chaque période d'horloge correspond à une opération dans le convertisseur :

- T_1 génère $(V_{ref}/2)$ dans C_1 et $(V_{ref}/2)$ est transmis en C_2 si $b_1 = 1$,
- T_2 génère $(V_{ref}/4)$ dans C_1 et $(V_{ref}/4)$ est additionné à V_1 si $b_2 = 1$,
- T_i génère $(V_{ref}/2^i)$ dans C_1 et $(V_{ref}/2^i)$ est additionné à V_{i-1} si $b_i = 1$.

A l'instant T_n , la conversion est terminée.

En résumé :

Les CNA parallèles sont rapides mais demandent de nombreux composants de précision.

Les CNA séries sont lents mais demandent peu de composants.

CNA indirects

Ce type de convertisseurs utilise une variable intermédiaire entre le mot binaire d'entrée et la tension analogique de sortie. Ce signal intermédiaire peut être analogique ou numérique. La partie analogique de ces convertisseurs et le nombre de composants de précision sont réduits, mais la vitesse de conversion est diminuée : 2^n périodes d'horloge sont en général nécessaires. Le gros avantage de ces convertisseurs est la grande résolution possible.

Les variables intermédiaires peuvent être :

- une largeur d'impulsion

- un train d'impulsion
- une rampe
- une détermination probabiliste (conversion stochastique)

A titre d'exemple est présenté FIG. 8.23 le schéma de principe d'un convertisseur dont la variable intermédiaire est une impulsion et FIG. 8.24 un CNA à rampe.

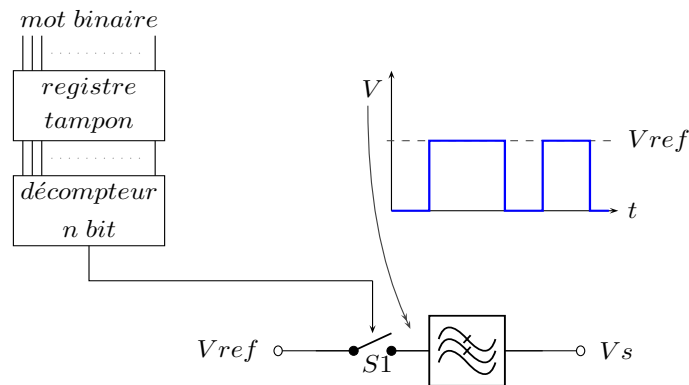


FIG. 8.23 – CNA à impulsion

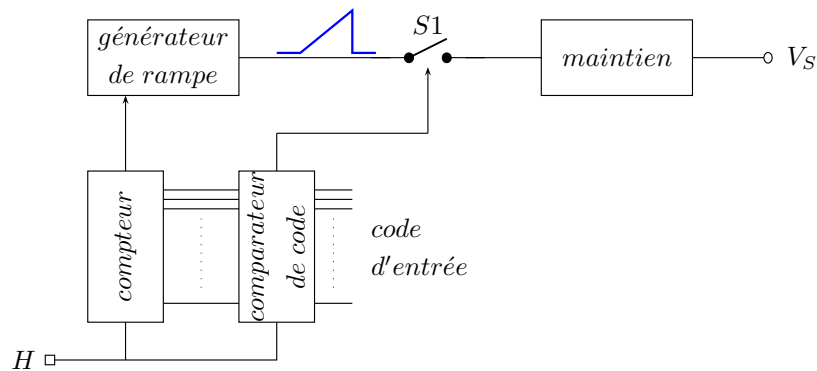


FIG. 8.24 – CNA à rampe

8.5 Conclusions sur la Conversion

Les deux paramètres importants dans le choix d'un convertisseur sont la résolution et la précision d'un côté et la rapidité de l'autre. Ces deux paramètres ne sont pas compatibles.

Si l'on souhaite des convertisseurs très rapides, on utilise les CNA ou CAN parallèles. La conversion se fait en une période d'horloge mais la résolution est vite limitée par la complexité du circuit. Les applications principales sont dans le domaine de la vidéo. La technologie est bipolaire ou MOS.

Si l'application impose une grande résolution et une bonne précision, il faut choisir des convertisseurs à largeur d'impulsion modulée (ou indirects). Le temps de conversion sera au moins de 2^n périodes d'horloge. Les applications principales sont dans l'instrumentation basses fréquences. Ils sont normalement fabriqués en technologie CMOS.

Un bon compromis entre les deux paramètres est obtenu avec les CAN à approximations successives et les CNA séries. Leurs domaines d'applications sont les télécommunications, les interfaçages avec les microprocesseurs. Le temps de conversion est d'environ n périodes d'horloge. La technologie employée est du CMOS ou du bipolaire suivant la vitesse souhaitée.

Ce chapitre a traité des convertisseurs "classiques" dits sans mémoire. En effet on ne tient pas compte de l'évolution du signal d'entrée avant la prise de l'échantillon. Il existe les convertisseurs de type $\Sigma\Delta$ qui sont à mémoire et qui donnent d'excellents résultats. Ils sont présentés dans d'autres modules d'enseignement.

8.6 Glossaire

Résolution :

- **cas du CAN** : amplitude de la plus petite variation de la grandeur d'entrée que l'on peut coder compte tenu du nombre de bits :

$$r = \frac{G_{ref}}{2^n}$$

- **cas du CNA** : amplitude de la plus petite variation de la grandeur de sortie que l'on peut obtenir compte tenu du nombre de bits imposés à l'entrée :

$$r = \frac{\text{quantum}}{\text{pleine échelle}} = \frac{G_{ref}}{2^n}$$

Précision :

- **cas du CAN** : écart existant entre la valeur théorique E_{nom} fournissant un certain mot N en sortie et la valeur réelle de l'entrée fournissant ce mot.
- **cas du CNA** : écart existant entre la valeur du signal obtenue en sortie et la valeur prévue en théorie.

La précision s'exprime souvent en % de la pleine échelle .

Temps de conversion : Temps s'écoulant entre l'application du code *ou du signal* à l'entrée du convertisseur et l'apparition du signal *ou du code* en sortie.

Vitesse de conversion ou fréquence de conversion : Nombre de conversions possibles par seconde. C'est à peu près l'inverse du temps de conversion (il peut se rajouter quelques temps morts tel que la remise à zéro par exemple).

8.7 Bibliographie

Bibliographie

- [1] F. Baillieu, Y. Blanchard, P. Loumeau, H. Petit, and J. Porte. *Capacités commutées et applications*. Dunod, 1996.
- [2] W. R. Bennett. Spectra of quantized signals. *Bell Systems Technical Journal*, Jul 1948.
- [3] J.C. Candy and G.C. Temes. *Oversampling Delta-Sigma Data Converters : Theory, Design, and Simulation*. Wiley-IEEE Press, 1992.
- [4] A.B. Grebene. *Bipolar and MOS analog integrated circuit design*. John Wiley and Sons, reprint edition, 2002.
- [5] P. Jespers. *Integrated Converters : D to A and a to d Architectures, Analysis and Simulation*. Oxford University Press, Jan 2001.
- [6] Bernard Loriferne. *La conversion analogique-numérique et numérique-analogique*. Eyrolles, 1976.

Chapitre 9

Du système au composant

9.1 Introduction

Nous avons étudié dans les chapitres précédents la mise en œuvre matérielle de diverses fonctions essentielles de traitement analogique du signal : l'amplification, la commutation, la boucle à verrouillage de phase, le filtrage et la conversion. Toutes ces fonctions sont des parties intégrantes de chaînes d'acquisition, de traitement ou de restitution d'un signal analogique. Elles s'insèrent généralement entre des capteurs ou des actionneurs et des circuits numériques.

L'évolution vers une intégration de l'ensemble d'un système sur une puce unique (système mono-puce ou en anglais : *System on Chip*, SoC) ou du moins à l'intérieur d'un boîtier unique (en anglais : *System in Package*, SiP) conduit à considérer la conception d'un système comme un tout et à développer conjointement, en particulier les parties analogiques et numériques.

Ce chapitre vise à fournir un aperçu de la conception de circuits intégrés analogiques ou mixtes (ou de sous-circuits lorsque ceux-ci sont intégrés sur le même substrat que des opérateurs numériques). Quelques principes et méthodes générales sont ainsi présentées.

Le lecteur soucieux dans apprendre davantage sur ce sujet pourra suivre avec intérêt les différentes briques du domaine électronique.

9.2 Technologie des circuits analogiques

9.2.1 Technologie d'intégration

Définition

Une technologie est le processus de fabrication d'un circuit intégré. Pour un concepteur de circuits, une technologie est au minimum définie par :

- un jeu de règles géométriques et topologiques constituant les contraintes de dessin des masques des circuits ;
- un jeu de paramètres électriques permettant d'évaluer, grâce à l'analyse ou à des programmes de simulation, le comportement probable des circuits.

Selon la technique de conception employée, la manipulation directe de ces données technologiques n'est pas toujours nécessaire.

Marché des technologies

Les prévisions indiquent pour les années à venir une réduction progressive de l'importance de la technologie bipolaire au profit de trois autres filières : la technologie BiCMOS, la technologie CMOS, la technologie AsGa. La technologie SOI (silicium sur isolant) est aussi considérée comme une technologie prometteuse.

Plusieurs facteurs justifient ces prévisions :

- De plus en plus, les parties numériques et analogiques sont intégrées au sein de circuits mixtes. Or, la technologie CMOS est de très loin la solution préférée pour les circuits numériques.
- La technologie bipolaire quoique plus utilisée en analogique est marginale dans la production globale de circuits intégrés. Son coût demeure donc plus élevé.
- L'évolution des technologies rend possible l'emploi de transistors MOS pour des applications pour lesquelles les transistors bipolaires étaient traditionnellement utilisés.
- Les applications portables, donc à faible consommation, connaissent un essor énorme. La technologie MOS est nettement plus avantageuse que la technologie bipolaire dans ce cas.

La technologie BiCMOS alliant transistors bipolaires et MOS sur un même support offre sans doute la meilleure alternative pour les applications à très hautes performances.

Masques technologiques

Nous nous limitons à présenter la structure d'une technologie CMOS micrométrique.

Le **substrat** (c'est-à-dire la tranche ou *wafers*) est un cristal de silicium, généralement faiblement dopé P. Afin de pouvoir intégrer les transistors PMOS, des zones faiblement dopées N sont réalisées. Ce matériau constitue le substrat des transistors PMOS (**caisson**).

La grille des transistors est réalisée en **polysilicium**, au dessus d'une couche mince d'oxyde (SiO_2), séparant le canal du transistor dans le substrat de la grille. Le polysilicium peut également servir à réaliser des connexions courtes.

Les sources et drains des transistors sont des zones diffusées, fortement dopées N ou P selon qu'il s'agisse de transistor NMOS ou PMOS (**diffusion**).

Un **second masque de polysilicium** est souvent utilisé dans les technologies analogiques afin de réaliser l'armature supérieure des condensateurs. Un condensateur est réalisé à l'aide des deux couches de polysilicium séparées par une fine couche d'oxyde. De plus en plus souvent cependant, les capacités sont réalisées entre deux couches supérieures de métal séparées par une fine couche d'isolant. Cette technique présente l'avantage d'éloigner la capacité du substrat et de réduire ainsi fortement le couplage avec celui-ci.

Des **couches métalliques** (le plus souvent des alliages à base d'aluminium, de cuivre ou de tungstène) servent à établir les connexions entre les transistors. Des **contacts** sont réalisés entre la couche métallique inférieure et la diffusion ou le polysilicium par perforation de l'oxyde épais. Des contacts appelés **vias** relient les différentes couches métalliques entre elles. Les technologies actuelles supportent généralement 6 couches ou davantage. La couche supérieure, en général plus épaisse, est réservée au routage des alimentations ou des signaux d'horloge.

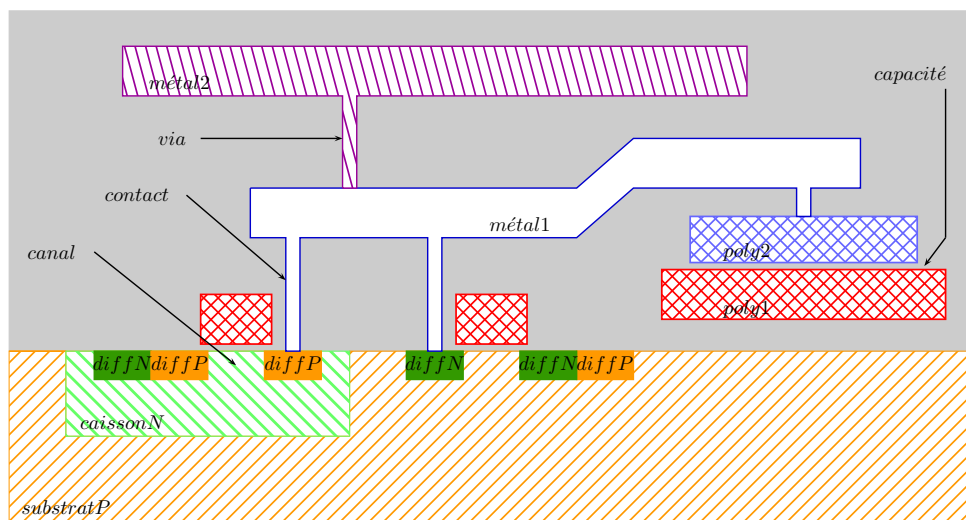


FIG. 9.1 – : Vue en coupe des masques d'une technologie MOS analogique

Au dessus de l'ensemble de ces couches, une couche isolante, dite couche de **passivation**  tablit une protection vis- -vis de la poussie re, de la lumi re, des radiations, etc... Seuls les plots (points d'entr e-sortie externes du circuit) restent d couverts afin de permettre la soudure de fils avec les broches du bo tier.

Grandeurs g om triques

Le nombre de r gles topologiques ou g om triques d passe g n ralement plusieurs centaines. Les r gles g om triques d finissent des largeurs, des espaces, des d bordements ou des intersections. Les contraintes d finissent le plus souvent des minima ou des valeurs fixes (largeur des contacts, par exemple). L'unit  est le micron mais la pr cision (r solution de dessin) est aujourd'hui de l'ordre d'une dizaine de nanom tres, voire moins.

Param tres  lectriques

Les param tres  lectriques d finissent des caract ristiques physiques des transistors, la r sistance des mat riaux, les capacit s lin iques et surfaciques, etc. Les param tres des transistors sont en g n ral sp cifi s pour d fferents mod les et d fferents simulateurs.

La r sistance des conducteurs est indiqu e selon le principe suivant : la formule g n rale de calcul de la r sistance d'un mat riau homog ne est :

$$R = \frac{\rho \cdot l}{w \cdot e}$$

O  ρ est la r sistivit , w la largeur, l la longueur et e l' paisseur du conducteur. L' paisseur comme la r sistivit  sont des donn es caract ristiques de la technologie. Si nous consid rons un segment

carré de conducteur ($w = l$), la résistance de ce segment est égale au rapport ρ/e . Cette grandeur, caractéristique de la technologie s'exprime en **ohms par carré**.

Les matériaux sont affectés de capacités par rapport au substrat et par rapport aux autres conducteurs. Ces capacités sont exprimées par unité de surface de superposition des conducteurs mais aussi par unité de longueur car les bords jouent un rôle important dans la valeur totale.

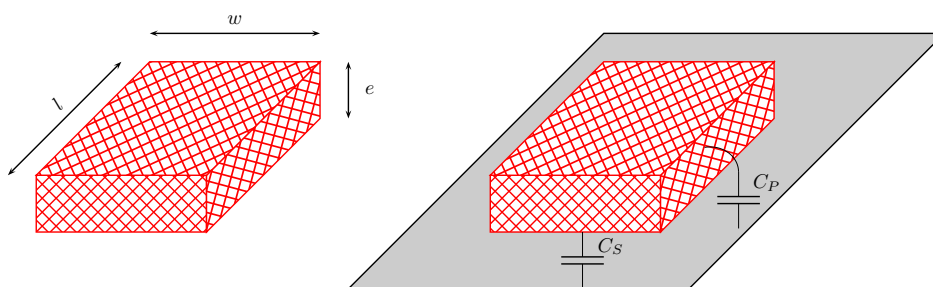


FIG. 9.2 – Résistance et capacité

Les paramètres électriques sont en général définis par la donnée de trois valeurs : une valeur en meilleur cas, une valeur en cas typique et une valeur en pire cas.

9.2.2 Techniques de conception

En microélectronique analogique, trois approches sont principalement utilisées pour produire les circuits :

- Les *circuits pré-diffusés* : il s'agit d'adapter une circuiterie à mettre en oeuvre à un ensemble de composants de base prédéfinis et intégrés au sein de circuits génériques. La particularisation du circuit est réalisée par l'ajout des couches technologiques supérieures métalliques qui réalisent les connexions entre les composants élémentaires. Cette technique présente l'avantage d'un coût de fabrication réduit puisque seules les couches de connexions sont implantées à la demande sur des circuits génériques. Des outils de conception assistée par ordinateur (CAO) dédiés facilitent le travail de l'électronicien. Cette technique est limitée à des applications pour lesquelles de très hautes performances ne sont pas nécessaires : le concepteur ne dispose que d'un choix limité de types de composants, les longueurs de connexion sont sous-optimales et la densité d'intégration effective est assez faible.
- Les *circuits précaractérisés* : une bibliothèque de cellules ou de générateurs de macro-cellules réalisant des fonctions élémentaires (commutateur, Aop, etc.) ou complexes (convertisseur) est à la base de cette technique. Un schéma structurel du circuit faisant appel aux cellules de la bibliothèque est tout d'abord décrit. Les masques sont ensuite obtenus grâce à des outils de CAO spécifiques (placement et routage). L'intérêt de cette méthode dépend beaucoup de la diversité et de la qualité des cellules de la bibliothèque. Dans un cas favorable, les performances atteignables sont supérieures à celles obtenues par une conception à base de circuits pré-diffusés mais pour un coût de fabrication beaucoup plus important puisque, cette fois, le circuit est entièrement fabriqué en fonction de l'application.
- Les circuits "*faits main*" (*full custom*) : lorsque les performances à atteindre sont très élevées, les techniques décrites ci-dessus ne sont pas satisfaisantes. Il est alors nécessaire de concevoir chaque cellule du circuit pour l'application envisagée avant d'assembler les différents éléments par aboutement (optimum de densité) ou par placement et routage. Cette technique permet de tirer au mieux parti des ressources d'une technologie mais au détriment d'un temps de développement considérablement accru. Le circuit est entièrement fabriqué en fonction de l'application.

Le choix entre l'une ou l'autre des méthodes citées dépend donc des performances à atteindre, des contraintes temporelles et financières mais aussi des compétences des concepteurs.

Pour un circuit pré-diffusé, la liberté du concepteur est limitée au choix des composants élémentaires à interconnecter parmi une offre restreinte (en nombre et en variété). Pour un circuit pré-caractérisé, la liberté du concepteur est dans le choix des cellules de bibliothèques, dans leur placement et dans leur routage. Pour un circuit *full custom* aucune limite n'est *a priori* imposée.

Il est possible de concevoir un circuit partiellement avec une approche pré-caractérisée et de développer les parties les plus critiques avec une approche *full custom*.

9.2.3 Dessin de masques de circuits analogiques

Cette section a pour objet la présentation de quelques techniques fondamentales et spécificités du dessin des masques de circuits analogiques. Elle se situe plus particulièrement dans le cadre d'une conception " fait main ".

En micro-électronique analogique, les performances d'un circuit sont étroitement liées au soin apporté au dessin de ces masques.

Facteur de forme des composants

Les transistors MOS utilisés pour les circuits analogiques ont bien souvent une largeur (W) bien plus importante que la dimension minimale autorisée par la technologie. Afin de réduire la résistance de grille et les capacités de source et de drain, le transistor est divisé en plusieurs autres identiques entre eux, mis en parallèles et dont la somme des largeurs est égale à celle du transistor désiré. Le transistor obtenu offre alors un facteur de forme plus carré ce qui peut constituer un intérêt pour la maîtrise des influences parasites des éléments au voisinage.

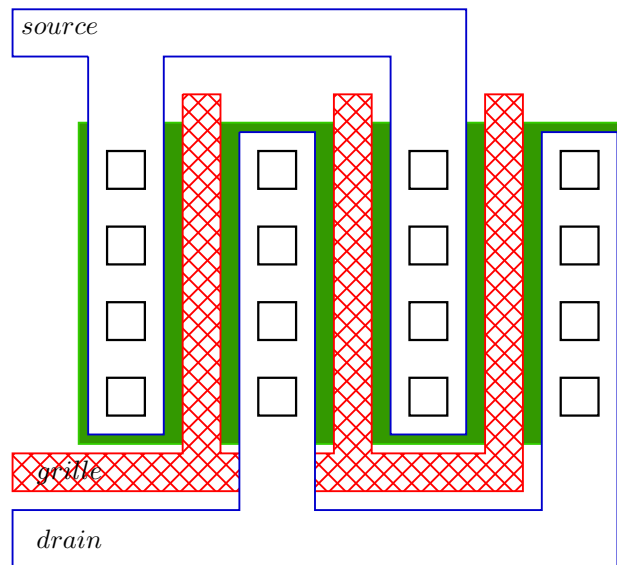


FIG. 9.3 – Transistor replié

La technique du repliement est également utilisée pour l'intégration des résistances.

Appariement de composants

Les montages pour lesquels plusieurs transistors doivent avoir des caractéristiques le plus possible identiques sont nombreux (paire différentielle, miroir de courant, etc.). Pour y parvenir, il est nécessaire de respecter quelques règles lors du dessin des masques :

- Placer les éléments le plus près possible ;
- Orienter identiquement les composants ;
- Obtenir un environnement géométrique (physique) le plus possible identique.

Le soucis de placer les composants le plus près possible est parfois poussé jusqu'à imbriquer les éléments les uns dans les autres. Ceci est notamment pratiqué pour les transistors d'une paire différentielle dès lors que les largeurs sont suffisamment importantes, pour des résistances ou des capacités.

L'intérêt d'une orientation identique est illustré sur les deux figures suivantes : en pratique, les masques ne sont jamais parfaitement alignés selon les cotes dessinées. Dans l'exemple ci-dessous, un décalage vers la droite du masque de polysilicium qui constitue les grilles des transistors MOS est envisagé.

Avec une orientation différente des deux transistors, ce décalage ne change rien pour l'un mais a pour effet d'augmenter l'aire et le périmètre du drain du second et de diminuer les mêmes grandeurs pour sa source (FIG. 9.1). Une dissymétrie est donc introduite.

Lorsque les deux transistors ont exactement la même orientation, le même défaut produit des altérations identiques sur les composants (FIG. 9.2). L'appariement est donc maintenu.

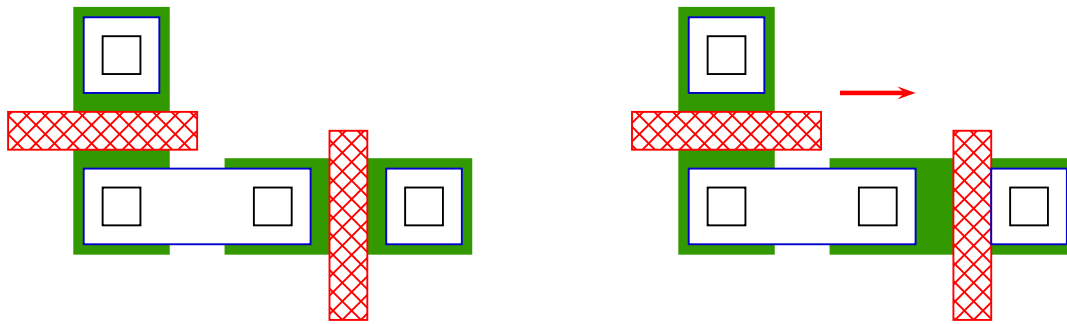


FIG. 9.4 – : Paire différentielle mal dessinée

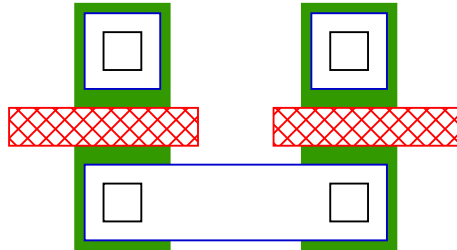


FIG. 9.5 – : Paire différentielle correctement dessinée

Symétrie

Au delà de l'identité de composants, un circuit peut posséder un axe de symétrie : la moitié d'un réseau électrique peut être obtenue par copie de l'autre. Il est intéressant d'exploiter cette propriété lors de la conception des masques. En concevant les masques d'une moitié d'un circuit, les masques de la partie manquante sont obtenus par simple symétrie. Outre le gain en complexité, ceci garantit à chaque composant et son symétrique un environnement identique.

Cette notion de symétrie peut exister à l'échelle d'un circuit analogique complet (structures différentielles).

Voisinage

Le voisinage dans lequel est placé un composant est extrêmement important. En effet, des perturbations issues de la proximité de certains éléments peuvent provoquer des pertes de performances voire le non fonctionnement.

Il est nécessaire d'éloigner les éléments les plus sensibles de ceux susceptibles d'être sources de perturbations, de dimensionner avec soin les alimentations et parfois d'ajouter des éléments factices pour constituer un environnement physique identique pour tous les éléments appariés (un miroir de courant multiple, par exemple).

9.3 Méthode de conception des circuits analogiques

9.3.1 Introduction

Cette section présente la méthode commune de conception de circuits intégrés analogiques. Elle n'est ni unique ni figée. C'est pourquoi, nous nous limiterons à présenter les principales phases et à évoquer les outils de CAO associés.

9.3.2 Le cahier des charges

Tout projet naît d'une idée ou d'un besoin. Il se traduit par un algorithme et un ensemble de spécifications qui sont validés par la description puis la **simulation** d'un **modèle** (écrit à l'aide d'un langage de programmation classique ou d'un langage dédié, tels que VHDL, Verilog ou leurs extensions mixtes). Ce premier modèle est dénué de toute présupposition quant aux techniques et technologies futures d'implantation.

9.3.3 La pré-étude

Rapidement, une fois l'algorithme et les spécifications globales validées, il est nécessaire de vérifier que l'idée peut être matérialisée, dans quelles conditions, en combien de temps, grâce à quelles techniques et à quel prix.

Il est donc nécessaire, à ce stade, de définir jusqu'où doit-on traiter le signal sous forme analogique ou numérique, de répartir le traitement entre matériel et logiciel et de choisir la ou les formes de mise en oeuvre : Le projet est-il intégrable en seul circuit ? Faut-il prévoir une ou plusieurs cartes ? Peut-on utiliser des composants existants ? Faut-il utiliser des *DSPs* (*Digital Signal Processors*) ou des circuits reconfigurables ? etc.

La définition précise des interfaces est très importante : sur le plan global tout d'abord : comment le système conçu communiquera avec l'extérieur ? Sur le plan interne ensuite : si nous nous intéressons davantage à la partie analogique, quels capteurs ou transducteurs employer ? Quels sont les caractéristiques des interfaces analogique-numérique ?

Afin de répondre à ces interrogations, la définition de l'architecture globale du système est réalisée. Le système est divisé en modules fonctionnels dont les caractéristiques et les interfaces doivent être précisément spécifiées.

De nouveau, une modélisation est décrite et simulée afin de valider les choix effectués.

9.3.4 Principes généraux

Lorsque l'on réalise une conception matérielle, à l'instar d'une conception logicielle, quelques principes généraux doivent être appliqués afin d'améliorer l'efficacité et la fiabilité du travail effectué.

Hierarchisation

Compte tenu de la complexité des systèmes à concevoir, il est indispensable de faire appel à l'abstraction afin de toujours appréhender une quantité d'informations gérable par les capacités humaines ou les moyens de calculs. L'étude commence donc par l'abstraction maximale puis, petit à petit, la description est enrichie jusqu'à préciser les ultimes données de chaque composant élémentaire constituant le système.

Prenons un exemple : un système de traitement du signal contient entre autres un modem. Au niveau le plus haut, le système est décrit comme une boîte noire caractérisée par une fonction, un algorithme, des entrées-sorties. Le modem n'est alors pas identifié.

Au niveau inférieur, le système est décrit comme un ensemble de boîtes noires, interconnectées. Chacun de ces éléments est lui aussi décrit à l'aide de ses caractéristiques et de ses fonctions. Le modem est l'un d'entre eux.

La construction hiérarchique peut ainsi continuer : par exemple, le modem contient un filtre, le filtre contient des amplificateurs opérationnels. A chaque amplificateur opérationnel correspond un schéma électrique. A partir de ce schéma électrique sont conçus les masques.

Modularité

Le principe de modularité consiste à diviser un système en un ensemble de sous-parties, chacune étant définie par sa fonction, ses spécifications et son interface. Cette technique permet de réduire la complexité en restreignant l'étude aux modules (en particulier, le découpage en sous-modules) et aux communications inter-modules.

Régularité

Aux différents échelons hiérarchiques, le système peut être décrit de telle sorte que l'emploi de fonctions identiques soit mis en évidence. De cette façon, si un sous-module est associé à une fonction, il suffira de le décrire une seule fois.

En reprenant l'exemple décrit précédemment, un filtre contient plusieurs amplificateurs opérationnels qui peuvent être décrits par un unique graphe électrique et une unique description de masques. Attention : procéder de la sorte conduit à un moindre effort de conception ; ceci peut entraîner un gain en surface mais peut signifier un résultat sous-optimal du point de vue des performances.

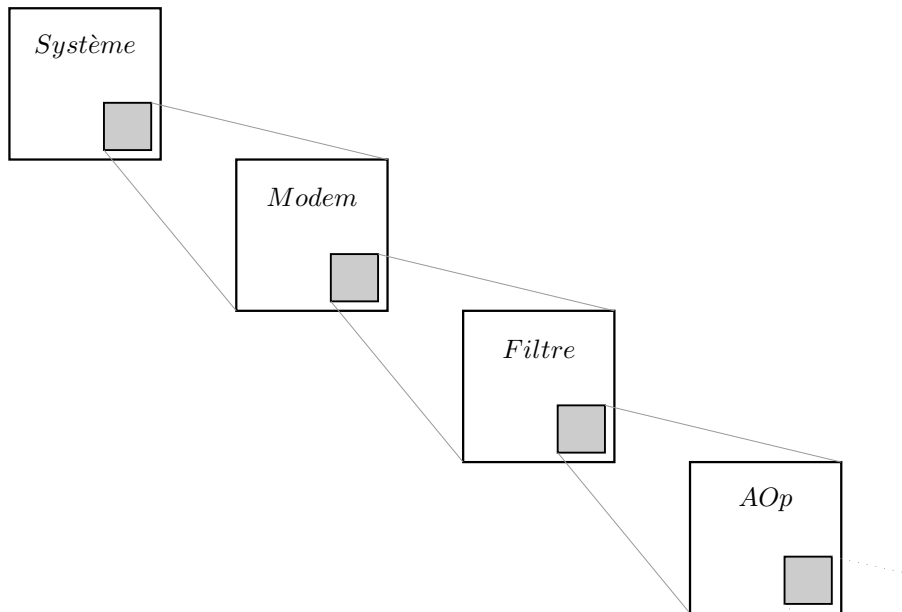


FIG. 9.6 – : Hiérarchisation de la conception

Localité

La localité consiste à introduire et à ne rendre visibles les informations que là où elles sont strictement nécessaires.

Dans l'exemple ci-dessus, il ne servirait à rien de préciser les caractéristiques d'un amplificateur opérationnel lors de la description du système global.

Portabilité ou réemploi

Moins fondamental que les propriétés précédentes lorsqu'on ne s'intéresse qu'à un seul projet, le fait de pouvoir profiter de résultats acquis est souvent essentiel en terme de productivité dans le cas général. La technique de conception pré-caractérisée illustre bien cet intérêt : une bibliothèque de cellules génériques est constituée pour servir un très grands nombres d'applications de natures très diverses.

9.3.5 L'étude architecturale

L'étude architecturale a pour objet de définir un système comme un ensemble de modules eux-mêmes hiérarchiquement organisés comme un ensemble de sous-modules interconnectés, etc. jusqu'à atteindre une description en composants élémentaires, c'est-à-dire en cellules standards pour une conception pré-caractérisée ou en transistors pour une conception *full custom*. A chaque étape, l'étude architecturale précise les interfaces, les spécifications externes et introduit les caractéristiques locales.

9.3.6 La modélisation et la simulation

La **modélisation** du système a pour objet de décrire celui-ci à l'aide d'un langage de programmation classique ou dédié, de telle sorte qu'un programme de calcul, appelé **simulateur**, est à même de produire les valeurs des signaux en sortie en fonction des valeurs introduites sur les entrées.

La modélisation et la simulation peuvent prendre des formes très différentes dont la présentation n'entre pas dans le cadre de ce cours.

La simulation joue un rôle d'aide à la définition d'une architecture et de vérification de la conception. Enrichie de données issues des niveaux les plus détaillés de la conception, elle permet par rétro-annotation, de valider *a posteriori* des modélisations de plus haut niveau.

La **simulation électrique** est plus particulièrement utilisée dans le cadre d'une conception *full custom* car elle permet de valider des choix de circuiterie. Elle consiste à décrire un circuit comme un ensemble de transistors, résistances, capacités, etc. interconnectés. Les transistors sont eux-mêmes décrits par des modèles dont les valeurs des paramètres dépendent de la technologie utilisée. L'analyse

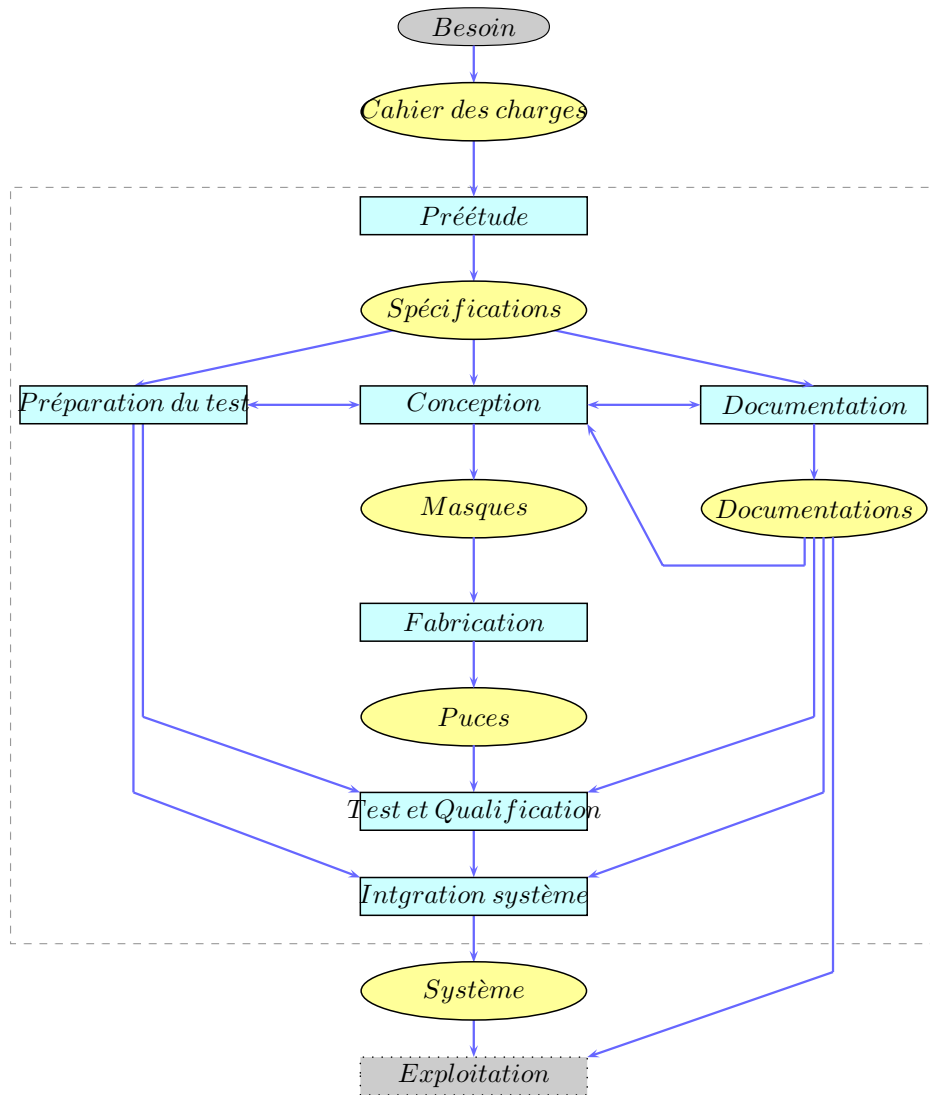


FIG. 9.7 – Synoptique d'un projet de conception

effectuée peut être en régime transitoire, en régime continu, en régime harmonique (fréquentiel) et statistique.

9.3.7 La synthèse des masques

La synthèse des masques nécessite tout d'abord le dessin des masques (ou *layout*) des sous modules élémentaires encore appelés cellules. Dans le cas d'une conception pré-caractérisée, ce travail n'est pas nécessaire puisqu'il a été fait une fois pour toute lors de la conception de la bibliothèque de cellules. Dans le cas d'une conception *full custom*, le dessin des masques est réalisé par le simple emploi des règles de la technologie et d'un programme d'édition de masques ou grâce à des programmes de génération de masques des composants ou grâce à des outils de synthèse plus élaborés, capables de produire les masques à partir de la représentation électrique et de spécifications ou contraintes supplémentaires. Cette dernière catégorie d'outils est encore peu utilisée pour les cellules analogiques.

La cohérence des masques produits vis-à-vis des règles géométriques de la technologie est vérifiée à l'aide d'un programme appelé **DRC** (*Design Rule Checker*).

Une fois les masques des cellules obtenus, il est nécessaire de procéder à l'assemblage de ceux-ci. Deux techniques sont possibles :

- L'assemblage par aboutement : il faut pour cela que les masques des cellules aient été conçus en prévision de la localisation des cellules dans le circuit et des interconnexions à établir. Cette technique est la plus efficace en terme de surface de circuit mais elle requiert un travail plus lourd, plus complexe et la portabilité des cellules n'est pas assurée.
- L'assemblage par placement et routage. Les cellules sont placées et les connexions sont routées par des programmes dédiés. Le gain en effort de conception est très important mais le résultat produit est moins dense. De plus, la maîtrise souvent sommaire du routage des interconnexions constitue un handicap pour les circuits analogiques.

A l'issue de l'assemblage, le DRC doit être appliqué aux masques du circuit.

9.3.8 La validation de la conception

Alors que la synthèse est un processus descendant, la vérification est un processus ascendant. Elle a pour objet de valider la synthèse.

Nous ne présentons ici que les techniques couramment utilisées pour les circuits analogiques. La simulation a déjà été évoquée.

Une fois les masques d'une cellule ou d'un circuit obtenus, il est nécessaire de vérifier d'une part que le dessin produit correspond bien au schéma électrique souhaité et d'autre part que les éléments parasites (capacités et résistances) ne remettent pas en cause la fonctionnalité ni les caractéristiques attendues.

La première opération à effectuer est une **extraction**. L'extraction consiste à construire un schéma électrique à partir des masques. Le résultat peut ne contenir que les composants connectés de façon idéale ou peut être enrichi des éléments parasites, c'est-à-dire principalement les résistances et capacités parasites affectant les interconnexions.

La vérification de la conformité des masques au schéma électrique initial n'a besoin que d'une extraction minimale. Un programme appelé **LVS** (*Layout Versus Schematic*) opère une comparaison de graphes entre le schéma extrait et le schéma source.

Le schéma issu d'une extraction avec éléments parasites est simulé. Si les performances obtenues ne sont plus conformes à celles attendues, il est indispensable de remettre en cause une partie de la conception et de la réeffectuer après correction.

9.3.9 La conception en vue du test

Le test consiste à vérifier le bon fonctionnement des circuits après fabrication. Tout système un tant soit peu complexe pour lequel rien n'a été prévu pour le tester est réputé instable. La testabilité d'un système doit être étudiée dès la phase de pré-étude.

9.3.10 La documentation

Tout projet doit être accompagné d'une documentation : tous les choix importants et les résultats intermédiaires acquis y sont consignés et justifiés. Sans cela, l'exploitation du travail effectué est quasiment impossible.

Une documentation spécifique également les caractéristiques du produit fini et précise son mode d'utilisation.

9.3.11 Les logiciels de CAO

Certains programmes utiles à la conception de circuits analogiques ont déjà été évoqués. Un schéma synoptique d'une chaîne de CAO minimale est représenté sur la figure ci-dessous.

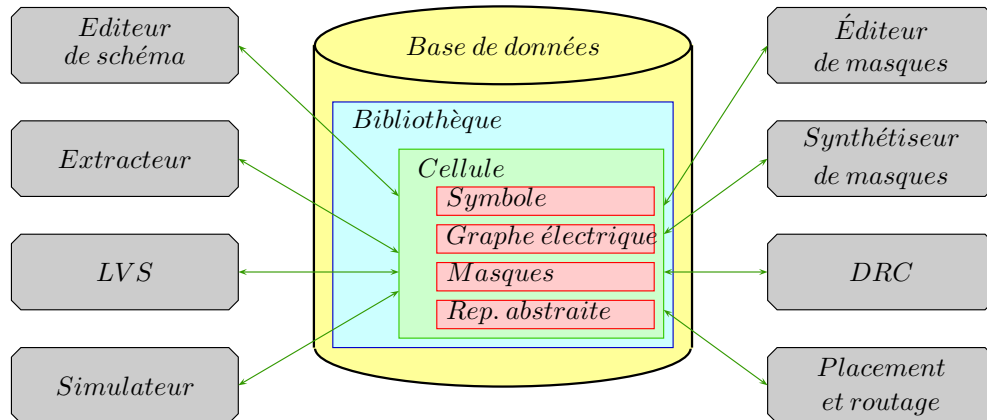


FIG. 9.8 – : Chaîne de CAO minimale

9.3.12 La fabrication et le test

Une fois les masques du circuit obtenus et vérifiés, les données sont adressées au fabricant de circuit intégrés (encore appelé fondeur) qui effectuera lui aussi des contrôles avant de lancer la production. Pour un prototypage ou de petites séries, les délais de fabrication sont de trois à quatre mois. Selon l'accord conclu entre le client et le fondeur, celui-ci peut assurer une partie des tests des composants ou non. Le test fait appel en général à des équipements complexes et coûteux qu'il s'agisse de circuits numériques ou analogiques.

9.4 Exemple de circuit intégré analogique

Le circuit présenté (FIG. 9.9) intègre un convertisseur analogique-numérique à modulateur sigma-delta. Ses caractéristiques principales sont les suivantes :

- Application : radio-téléphonie
- Fréquence d'horloge : 5,4 MHz
- Résolution : 12 bits
- Taux de sur-échantillonnage : 20
- Alimentation : $\pm 2,5$ V
- Technologie : 1 μm CMOS
- Architecture : différentielle
- Technique d'intégration à capacités commutées (signal analogique échantillonné)

Ce circuit a été étudié et conçu au laboratoire d'électronique analogique de l'ENST, en collaboration avec le centre du CNET (FT R&D) à Grenoble.

9.5 Bibliographie

Bibliographie

- [1] International technology roadmap for semiconductors, 2004.
- [2] M. Poller. Réalisation d'un convertisseur delta-sigma pour les fréquences intermédiaires. Mémoire de fin d'études, ENST, 1995.
- [3] Geert Van der Plas, Georges Gielen, and Willy Sansen. *A Computer-Aided Design and Synthesis Environment for Analog Integrated Circuits*. Kluwer Academic Publishers, 2002.

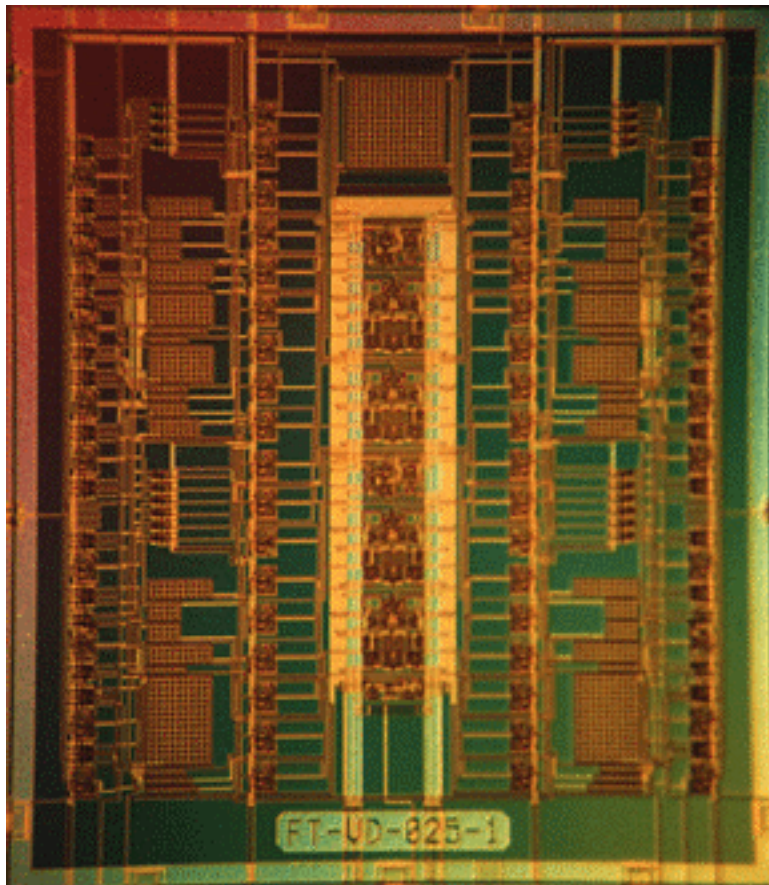


FIG. 9.9 – : CAN sigma-delta à sur-échantillonnage

- [4] Piet Wambacq, Georges Gielen, and John Gerrits. *Low-power design techniques and CAD tools for analog and RF integrated circuits*. Kluwer Academic Publishers, 2001.