



Électronique des Systèmes d'Acquisition

Bases de connaissances indispensables
Traitement et Propagation des Signaux Physiques
AST 2A - Année Scolaire 2011-2012(T1)

Contrôle de Connaissances

Durée 1h30 - Documents et calculatrice autorisés

Exercices

Exercice Etage d'entrée d'un convertisseur analogique-numérique	2
Exercice Sommateur passif ou actif ?	3

Tous les exercices sont indépendants.

Exercice 1 - Etage d'entrée d'un convertisseur analogique-numérique

Le circuit à l'entrée d'un convertisseur analogique-numérique (A/N) est modélisé selon le schéma de la figure 1. La source d'entrée est modélisée par un générateur de tension idéal (V_1), une résistance interne R_1 et une capacité de sortie C_1 . Le circuit d'échantillonnage de l'A/N est modélisé par une résistance R_2 , un commutateur S_1 et une capacité d'échantillonnage C_2 aux bornes de laquelle est prélevée la tension V_2 à numériser.

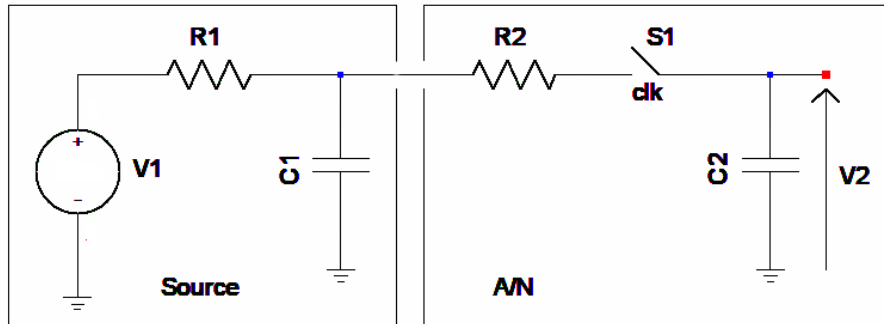


FIGURE 1 – Circuit équivalent

On suppose dans un premier temps que la source est idéale avec $R_1 = 0$ et $C_1 = 0$. L'interrupteur S_1 est fermé (échantillonnage du signal).

Question 1.1 Déterminer la fonction de transfert $T_s(p) = \frac{V_2(p)}{V_1(p)}$ en fonction de la constante de temps $\tau_2 = R_2C_2$.

Question 1.2 Calculer la fréquence de coupure f_c à 3 dB ($\approx 10 \log_{10}(2)$) de ce filtre.
Application numérique : $\tau_2 = 1 \text{ ns}$

On suppose toujours S_1 fermé et une source idéale ($R_1 = 0$ et $C_1 = 0$). On considère à présent l'évolution temporelle de la sortie $V_2(t)$.

Question 1.3 Déterminer $V_2(t)$ lorsque la source V_1 est un échelon de tension :

$$V_1(t) = V_o \cdot U(t)$$

avec $V_o = 1 \text{ V}$ et $V_2(0) = 0 \text{ V}$.

Question 1.4 En déduire l'erreur $\epsilon(t_s) = V_1(t_s) - V_2(t_s)$ en fin d'échantillonnage sachant que le temps d'échantillonnage t_s (temps de fermeture de S_1) est $t_s = 5 \text{ ns}$.

Question 1.5 Sachant que la plage d'entrée du convertisseur est $[0, V_o]$, quelle est la résolution maximale n (en bit) du convertisseur telle que $\epsilon(t_s) \leq q/2$ où q est le quantum du convertisseur ?

En supposant toujours l'interrupteur S_1 fermé (échantillonnage), on prend maintenant en compte les valeurs R_1 et C_1 de la source. On donne la fonction de transfert $T(p) = \frac{V_2(p)}{V_1(p)}$ correspondante :

$$T(p) = \frac{V_2(p)}{V_1(p)} = \frac{1}{1 + \tau p + \tau_1 \tau_2 p^2}$$

avec

$$\tau_1 = R_1 C_1 \quad \tau_2 = R_2 C_2 \quad \tau_{12} = R_1 C_2 \quad \tau = \tau_1 + \tau_2 + \tau_{12}$$

Question 1.6 Montrer dans le cas général que les pôles de $T(p)$ sont nécessairement réels.
(vous pouvez traiter les questions suivantes même si vous ne répondez pas à cell-ci)

Question 1.7 Calculer les pôles de $T(p)$ sachant que $\tau_1 = \tau_2 = 1 \text{ ns}$ et $\tau_{12} = 0,5 \text{ ns}$.

Question 1.8 Calculer l'affaiblissement aux fréquences associées à ces deux pôles et en déduire une valeur approchée de la fréquence de coupure à 3 dB du circuit d'entrée.

Exercice 2 - Sommateur passif ou actif?

Dans les convertisseurs analogiques numériques de type Sigma Delta, il est souvent nécessaire de faire une somme de plusieurs signaux juste avant le comparateur (voir figure 2). Il existe deux approches pour implémenter ce sommateur : l'approche active ou l'approche passive.

Dans cet exercice, on propose d'étudier les avantages et les inconvénients de ces deux implémentations.

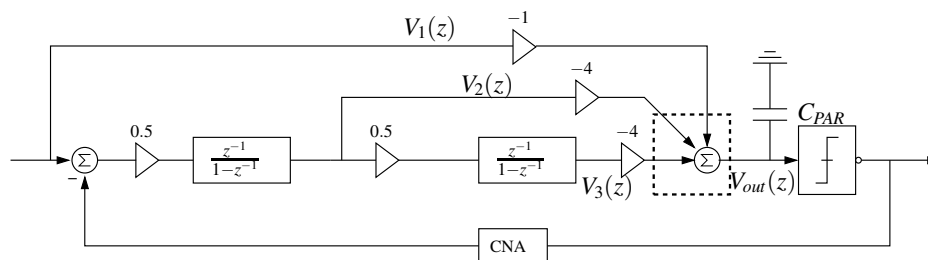


FIGURE 2 – Modulateur Sigma Delta

mentations.

Intéressons nous d'abord à l'approche active. La figure 3 montre une implémentation possible d'un sommateur actif en utilisant la technique des capacités commutées. (Un circuit actif est un circuit qui contient des éléments qui consomment de la puissance, en occurrence l'amplificateur opérationnel. Tandis qu'une implémentation passive a une consommation de puissance quasi-nulle.)

Notez que C_{PAR} est la capacité parasite d'entrée du comparateur.

Question 2.1 En effectuant la conservation des charges pendant la phase P , déterminer l'expression de $V_{out}^P(z)$ en fonction de $V_1^P(z)$, $V_2^P(z)$ et $V_3^P(z)$.

A.N $C_1 = 100 \text{ fF}$, $C_2 = C_3 = 400 \text{ fF}$, $C = 100 \text{ fF}$, $C_{PAR} = 100 \text{ fF}$

Intéressons nous à présent à l'amplificateur opérationnel. Ses spécifications sont présentées dans le tableau 1.

Question 2.2 Expliquer la signification de ces quatre caractéristiques très brièvement (deux lignes/caractéristique).

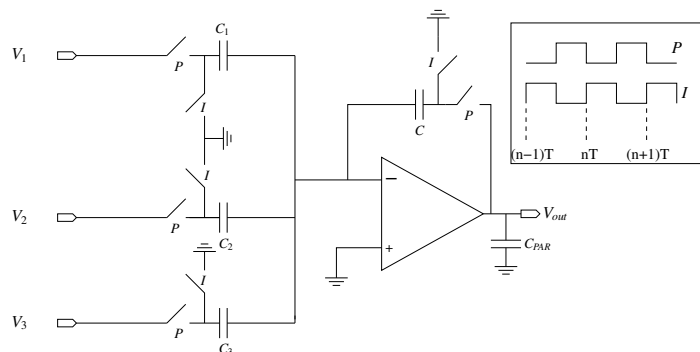


FIGURE 3 – Sommateur actif

Caractéristique	Valeur
DC Gain	50 dB
Fréquence de transition	100 MHz
Vitesse de balayage (Slew rate)	500 V/ μ s
Dynamique de sortie	± 1 V

TABLE 1 – Caractéristiques de l’amplificateur opérationnel

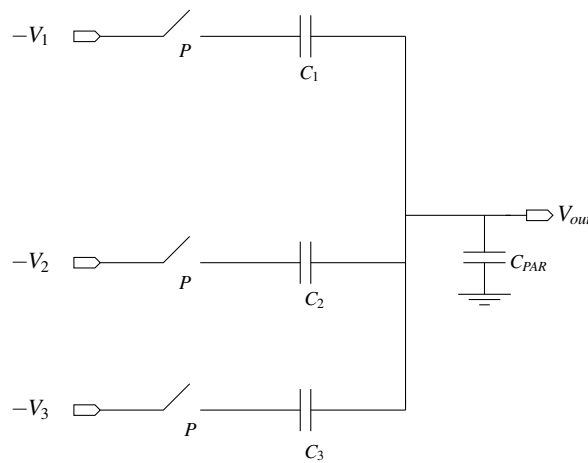


FIGURE 4 – Sommateur passif

Passons maintenant à l’approche passive. Une implémentation possible de l’additionneur d’une manière passive est présentée dans la figure 4. On suppose que la charge aux bornes de la capacité C_{PAR} est nulle à la fin de la phase I . Notez aussi que les tensions d’entrée ont été préalablement inversées.

Question 2.3 Montrer que l’expression de $V_{out}^P(z)$ pourra être exprimée pour les mêmes valeurs de capacités que celles utilisées pour le sommateur actif de la manière suivante :

$$V_{out}^P(z) = \gamma(-V_1^P(z) - 4 \times V_2^P(z) - 4 \times V_3^P(z))$$

, où γ est une constante à déterminer, qu’on appellera le facteur d’atténuation.

Question 2.4 Expliquer pourquoi la sortie d’un comparateur idéal précédé d’un additionneur actif est identique à celle obtenue avec un additionneur passif et ceci malgré le facteur d’atténuation γ .

En fait, l’équivalence entre sommateur actif et passif n’est vraie que si tous les composants sont idéaux et notamment le comparateur. En effet, ce dernier souffre de plusieurs imperfections. Dans le cadre de cet exercice, on va prendre en considération juste l’offset. Ceci se traduit par un changement du seuil de comparaison. Idéalement ce seuil est à 0 mais dû à des défauts de fabrication, le seuil sera à 0+off. (voir figure 5-a)

Question 2.5 En supposant que les échantillons à la sortie d’un sommateur actif sont uniformément répartis entre $[-1 \text{ V}; +1 \text{ V}]$ (voir figure 5-b), déterminer la dynamique à la sortie d’un sommateur passif pour un même signal d’entrée. Déduisez-en le pourcentage d’échantillons erronés dans les deux cas pour un offset de 10 mV.

Question 2.6 Discuter très brièvement (3 à 4 lignes) les avantages et les inconvénients des deux approches l’une par rapport à l’autre.

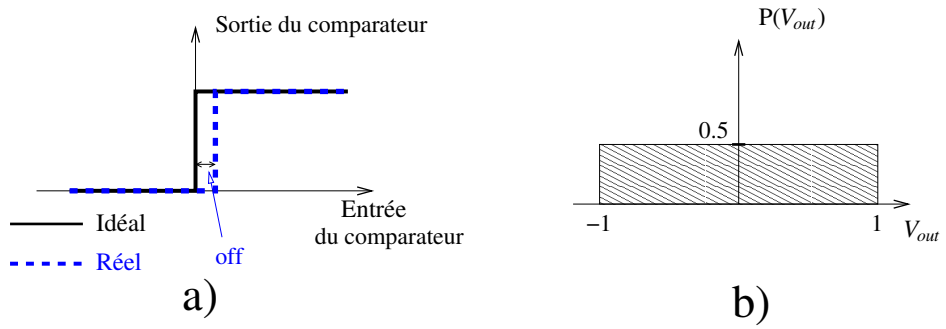


FIGURE 5 – a) Offset du comparateur b) Distribution de probabilité de V_{out}