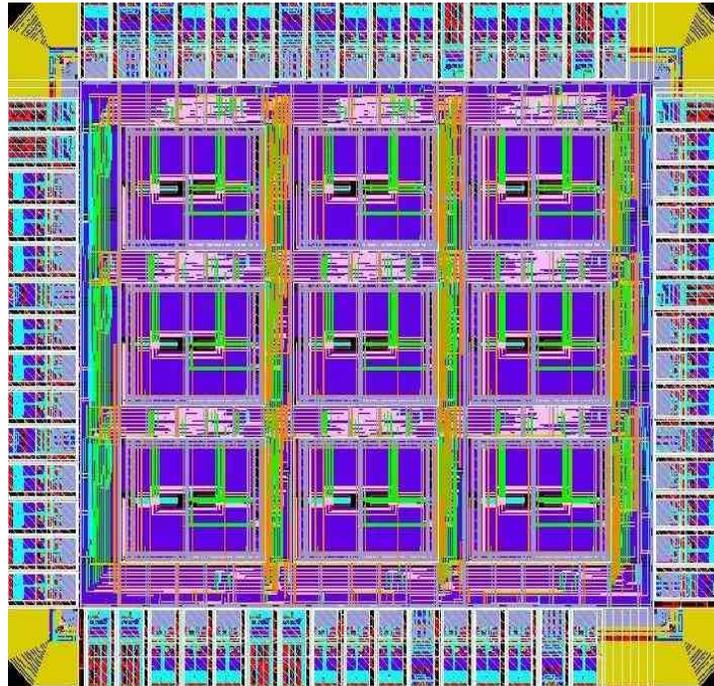




Les FPGAs

Principes innovants et tendances



Jean-Luc Danger

8 Mars 2012



PLAN

- ➔ ■ **Qu'est ce qu'un FPGA ?**
- **Place et Marché**
- **Les principes innovants**
 - Technologie microélectronique
 - Cellules
 - Interconnexion
 - Blocs embarqués, I/Os
 - Configuration
 - Consommation, sûreté
- **Tendances, Recherche**



Qu'est ce qu'un FPGA ?

❑ Circuit **Electronique**

- Dispose d'une structure régulière de portes ou « cellules »
 - « Field Programmable Gate Array »
- Calculs concurrents et rapides (qq100MHz), propres au matériel
- Circuit déjà fabriqué

❑ Circuit **Programmable**

- Contient une mémoire
- Le contenu de la mémoire « bitstream » définit :
 - La fonction de chaque cellules
 - L'interconnexion entre les cellules
- Le « bitstream » n'est pas du logiciel
 - Ce n'est pas un fichier exécutable,
 - mais une description de portes ou « netlist »

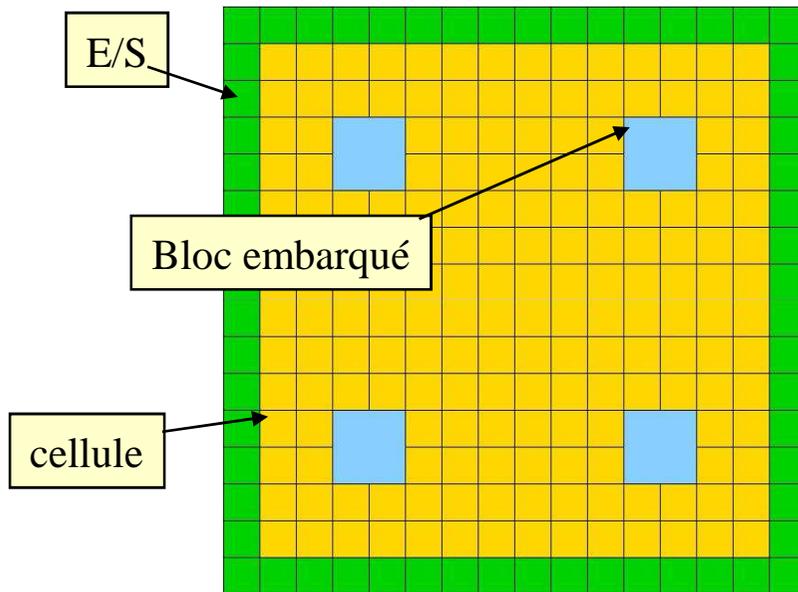


Architecture d'un FPGA

■ 3 plans virtuels :

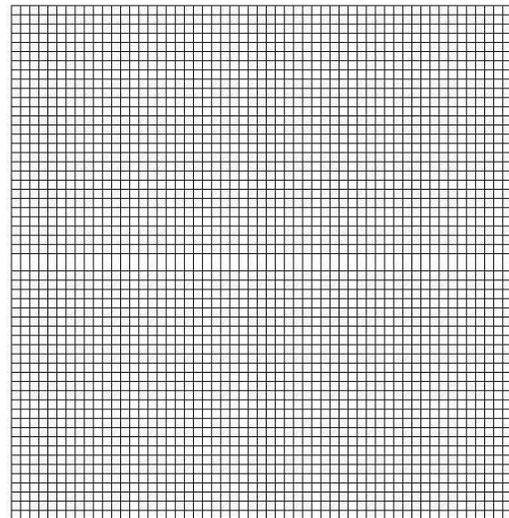
Logique

Matrice de cellules



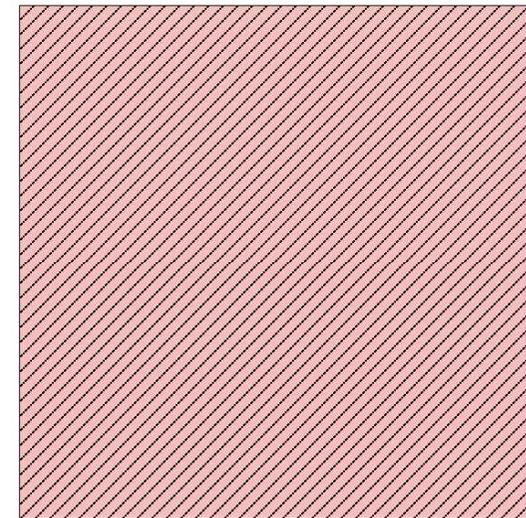
Interconnexion

Canaux de routage
et commutateurs



Programmation

Mémoire de configuration
Contient le « bitstream »

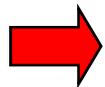


- L'interconnexion occupe environ 80% de la surface
- Pour une même fonction, la surface est environ 30 fois celle d'un circuit ASIC



PLAN

■ Qu'est ce qu'un FPGA ?



■ **Place et Marché**

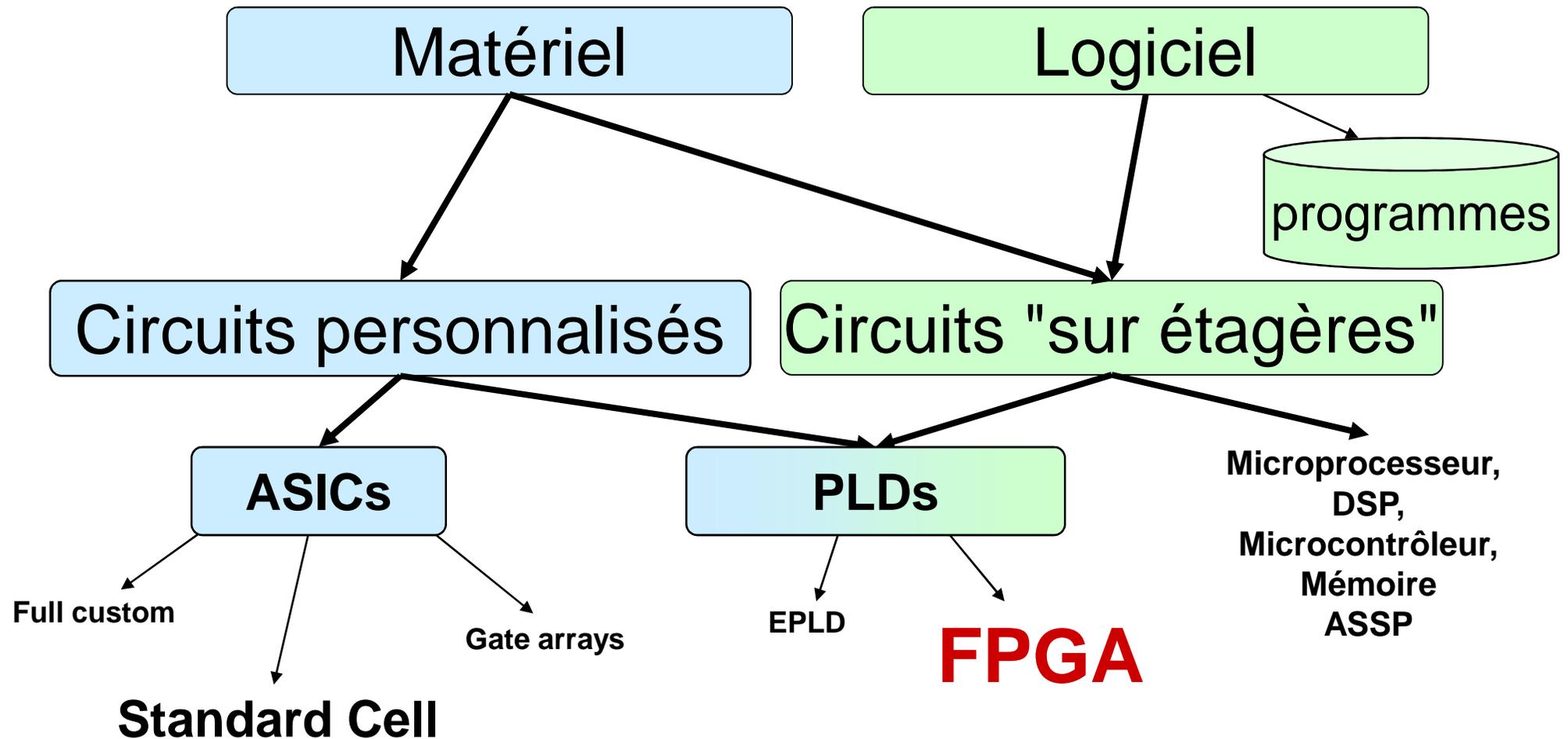
■ Les principes innovants

- Technologie microélectronique
- Cellules
- Interconnexion
- Blocs embarqués, I/Os
- Configuration
- Consommation, sûreté

■ Tendances, Recherche



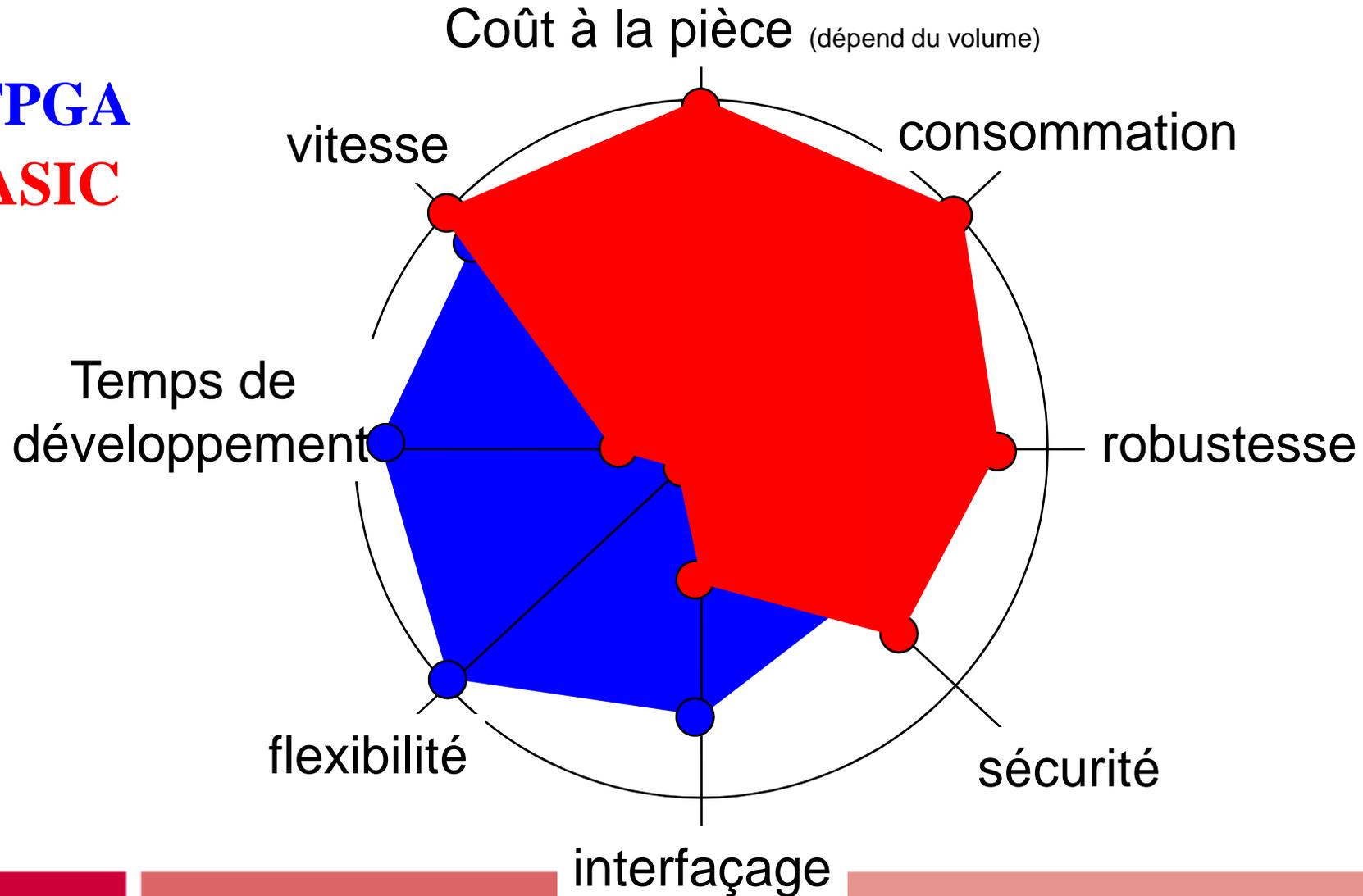
Place dans les filières technologiques





Comparaison multi-critères ASIC/FPGA

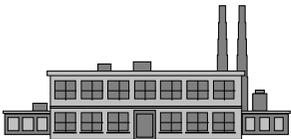
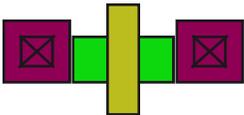
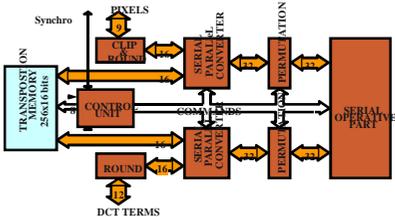
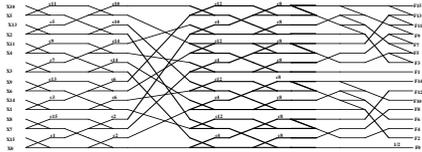
FPGA
ASIC





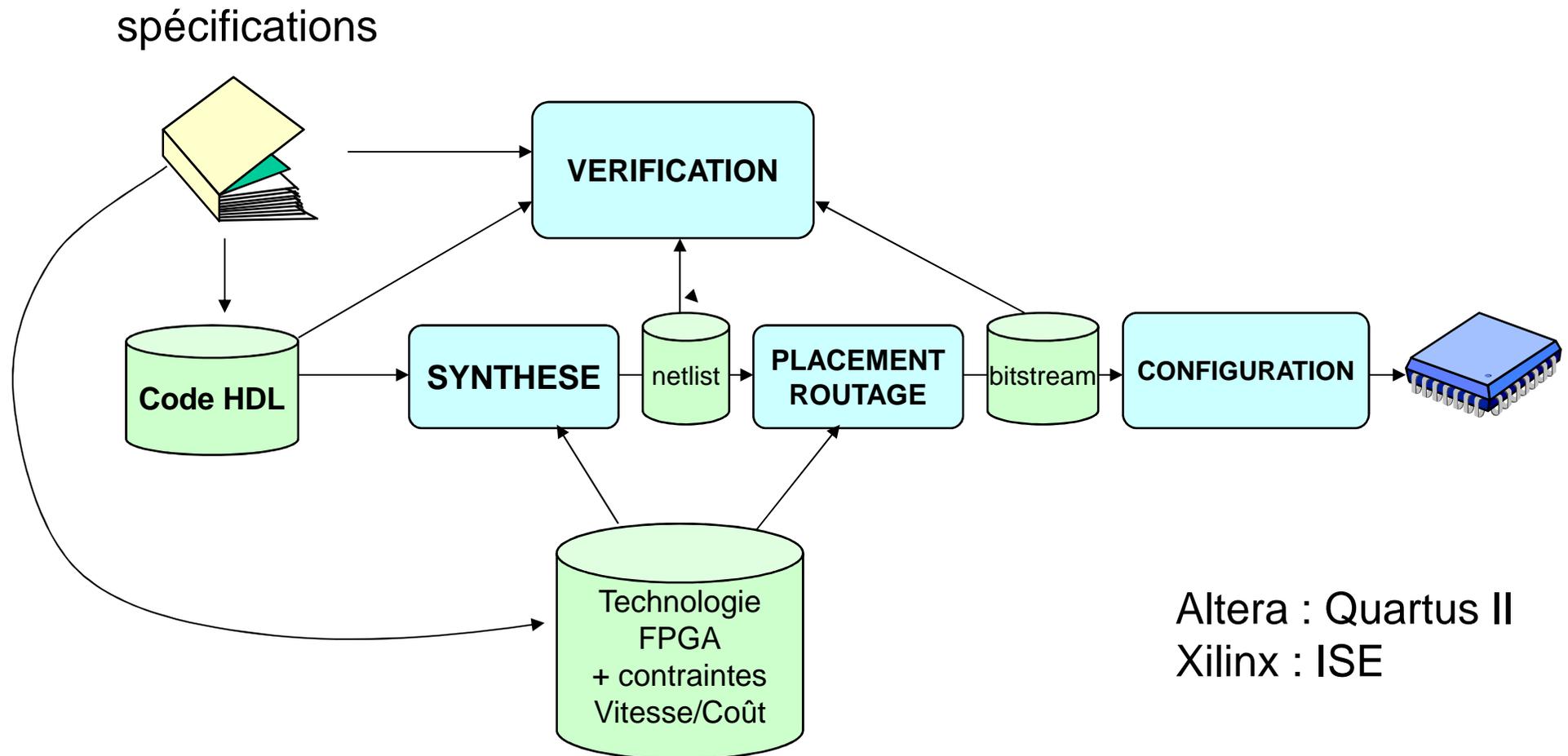
Comparaison en terme de conception

- reprogrammable
- À concevoir 1 fois
- existant



	logiciel	ASIC Standard cell	FPGA
Algorithme	Logiciel CPU	Logiciel SoC	Logiciel SoC
Architecture	CPU existe	Code HDL	Code HDL
Logique		Netlist	Netlist
transistors		schémas portes	circuit existe
masques		Lay-out portes Lay-out global	
fonderie		Fonte + test	

Flot de conception FPGA

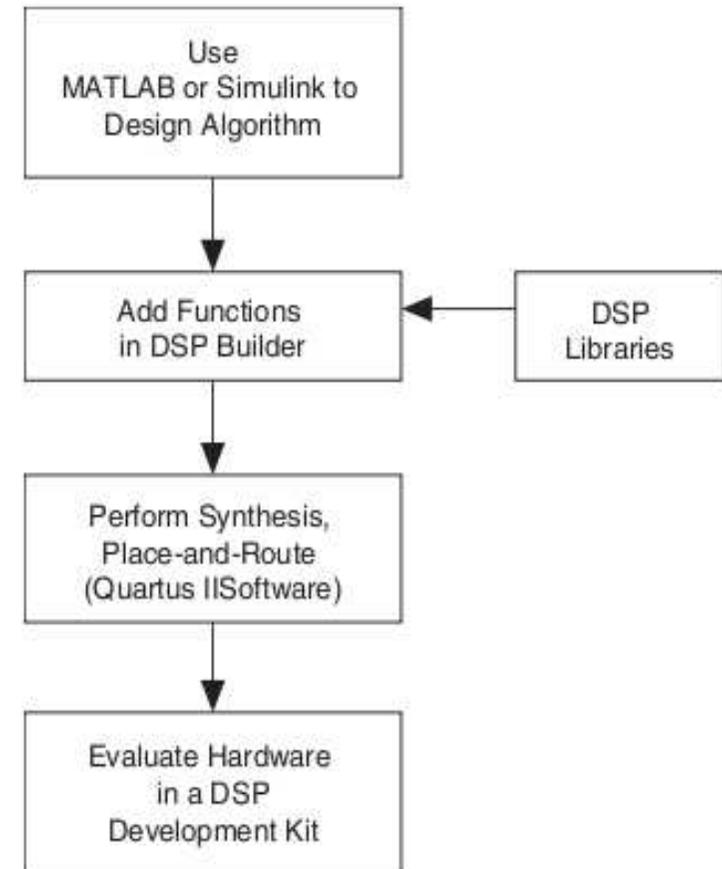




Conception pour les chercheurs non électroniciens

□ Passerelles Matlab/simulink

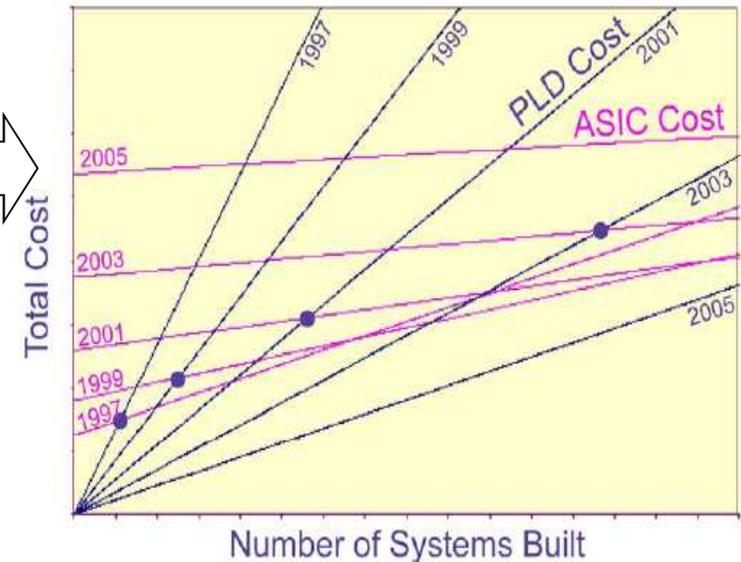
- Vers ISE :
 - System Generator
- Vers Quartus II :
 - DSP Builder





Applications des FPGAs

- ❑ **Marché petit et moyen volume**
 - Etude des coûts pour le choix ASIC ↔ FPGA
- ❑ **Prototypage rapide avant conception ASIC**
- ❑ **Accélération de simulation**
- ❑ **Validation de concept en Recherche**
 - Plate-forme quantique
 - Plate-forme 100Ghz
 - Fiabilité, sécurité,...
- ❑ **Enseignement de l'électronique**



Nick Tredennick, Brion Shimamoto. *The Rise of Reconfigurable Systems*. In proceeding of Engineering of Reconfigurable Systems and Algorithms, ERSA'2003. June 23-26, Las Vegas, Nevada, USA.



Marché des FPGAs

Worldwide FPGA/PLD vendor revenues and rankings, 2007-2008

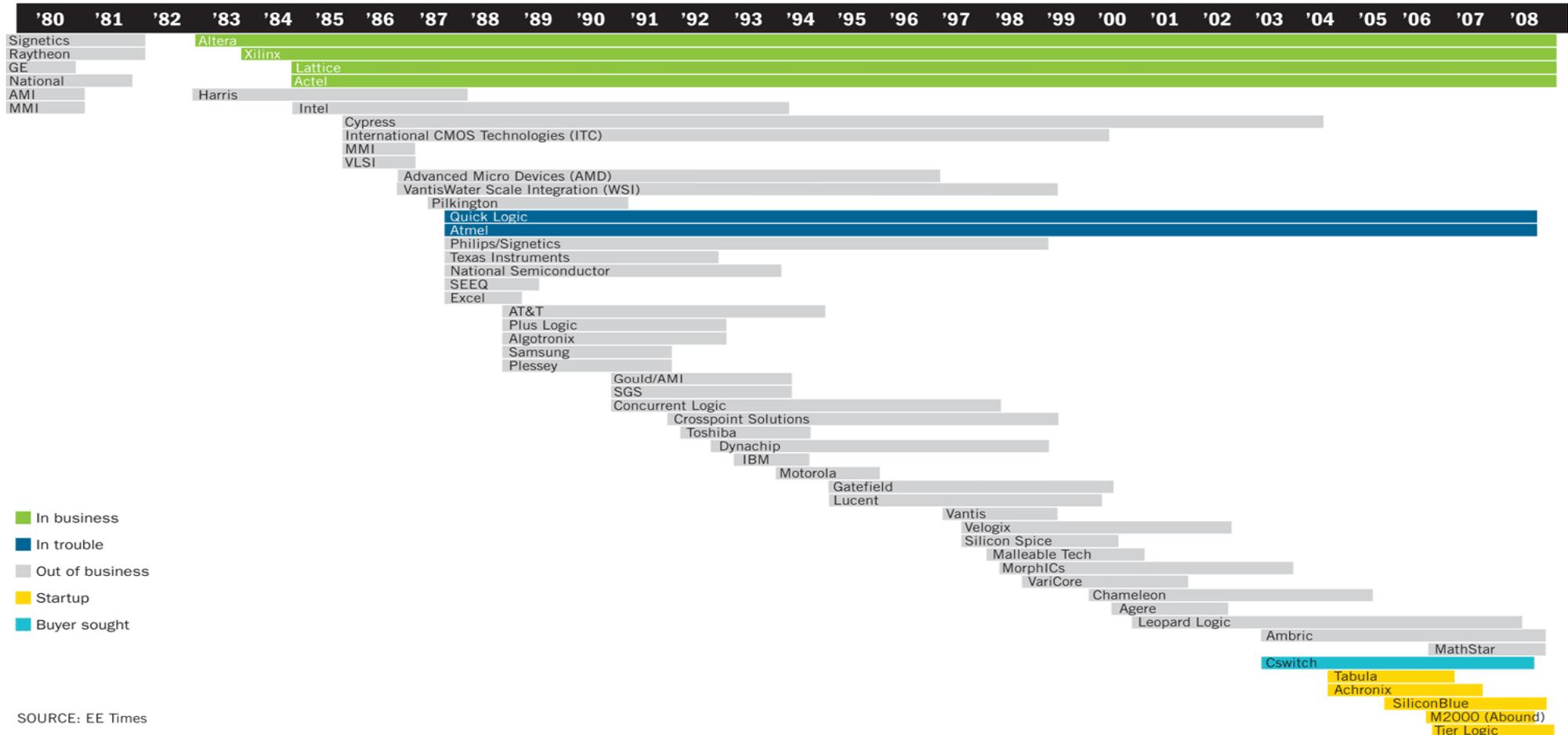
Rank 2007	Rank 2008	Company	Revenue (\$M) 2007	Revenue (\$M) 2008	Revenue Change 2007-2008	Market Share 2008
1	1	Xilinx	1,809	1,906	5.4%	51.2%
2	2	Altera	1,216	1,323	8.8%	35.5%
3	3	Lattice Semiconductor	229	222	-3.1%	6.0
4	4	Actel	196	218	11.2%	5.9%
6	5	QuickLogic	28	23	-17.9%	0.6%
5	6	Cypress Semiconductor	32	21	-34.4%	0.6%
7	7	Atmel	14	9	-35.7%	0.2%
8	8	Chengdu Sino Microelectronics System	4	3	-25.0%	0.1%
		Others	0	0	NM	0.0%
		Total Market	3,528	3,725	5.6%	100.0%

Source: Gartner



Histoire : Concurrence féroce, beaucoup d'échecs

History of PLD startups



SOURCE: EE Times

- L'innovation des nouvelles sociétés doit présenter une vraie rupture
- Beaucoup de juristes dans les sociétés de FPGAs (toutes américaines)

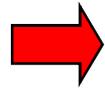


PLAN

■ Qu'est ce qu'un FPGA ?

■ Place et Marché

■ **Les principes innovants**



- Technologie microélectronique
- Cellules
- Interconnexion
- Blocs embarqués, I/Os
- Configuration
- Consommation, sûreté

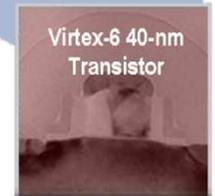
■ Tendances, Recherche



Les technologies micro-électroniques des FPGAs

□ Les dernières technologies sont utilisées

- Permet de satisfaire le besoin fort en densité
- Permet au fondeur de tester sa technologie



Evolution des FPGAs XILINX :

famille	année	technologie	Max cellules	Détail techno
Virtex4	2004	90nm	200000 LUT4	
Virtex5	2007	65nm	330000 LUT6	* Triple oxyde (réduction de la consommation)
Virtex6	2010	40nm	760000 LUT6	* Lithographie par immersion (finesse de gravure) * Implants SiGe (augmentation de la vitesse)
Virtex7	2012	28nm	2000000 LUT6	* High-K technology (réduit les courants de fuite)



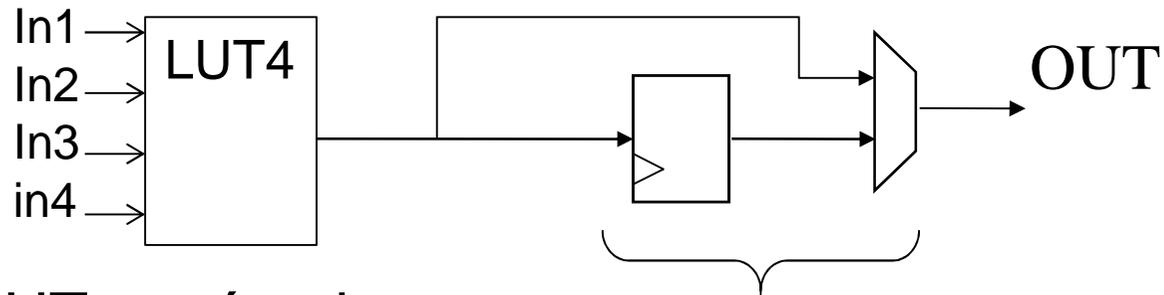
PLAN

- Qu'est ce qu'un FPGA ?
- Place et Marché
- **Les principes innovants**
 - Technologie microélectronique
 - • **Cellules**
 - Interconnexion
 - Blocs embarqués, I/Os
 - Configuration
 - Consommation, sûreté
- Les tendances
- Les FPGAs pour la recherche



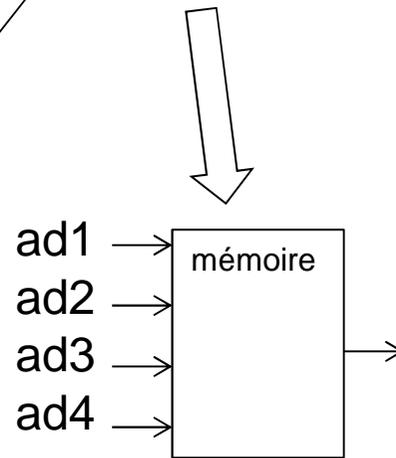
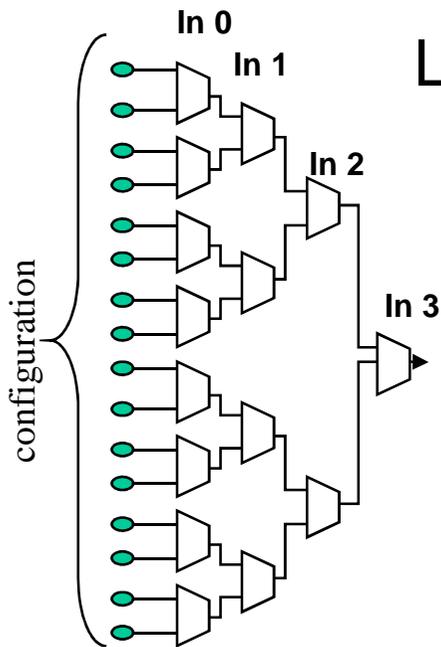
La cellule ou Comment générer une fonction logique quelconque?

Cellule = LUT (+ bascule)



DFF pour la logique séquentielle

LUT \equiv mémoire



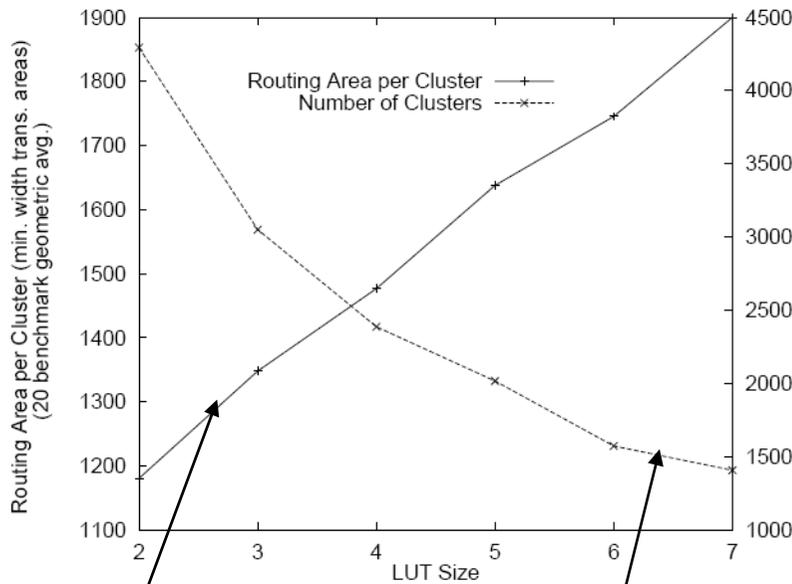
Modes d'utilisation de la LUT :

- Additionneur 1 bit : 1LUT4 = 2 LUT3 (résultat, retenue)
- Mémoire RAM 16 bits (Xilinx)
- Registre à décalage (Xilinx)



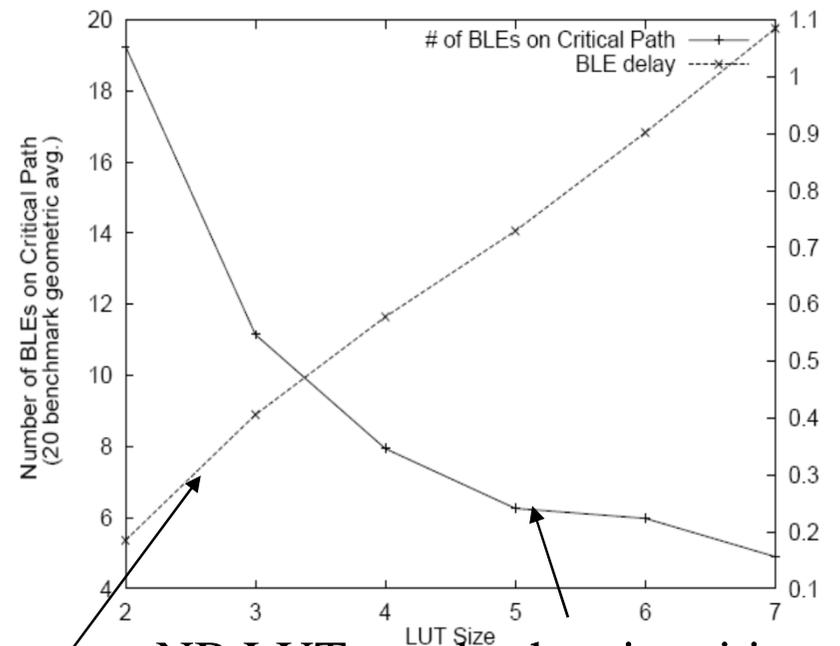
Combien d'entrées pour la LUT ?

Si beaucoup d'entrées : mémoire énorme mais moins de LUT sur le chemin de calcul . Quel est le meilleur compromis ?



interconnexion

Nb LUTs



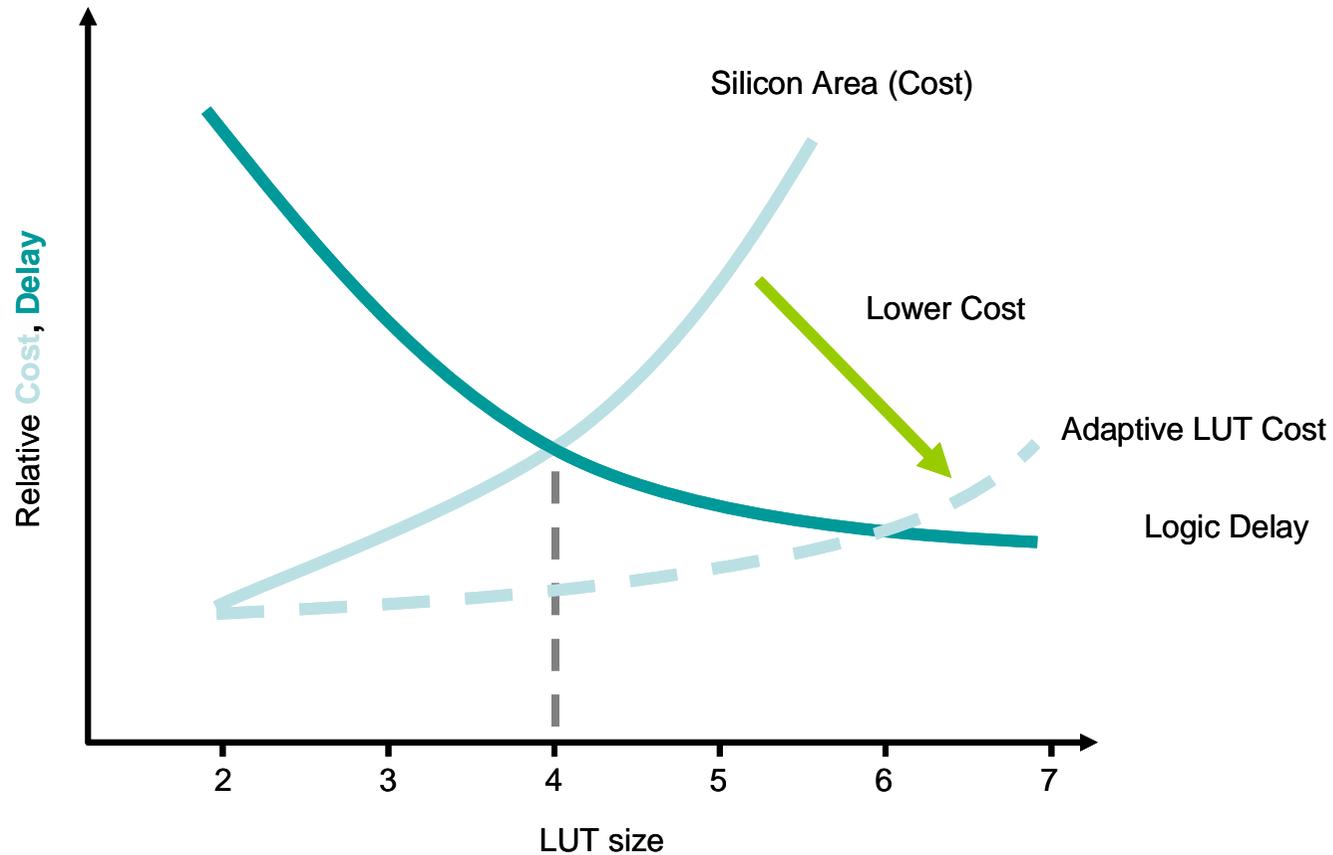
Temps critique

NB LUTs sur le chemin critique

Elias Ahmed, Jonathan Rose: The effect of LUT and cluster size on deep-submicron FPGA performance and density. IEEE Trans. VLSI Syst. 12(3): 288-298 (2004)



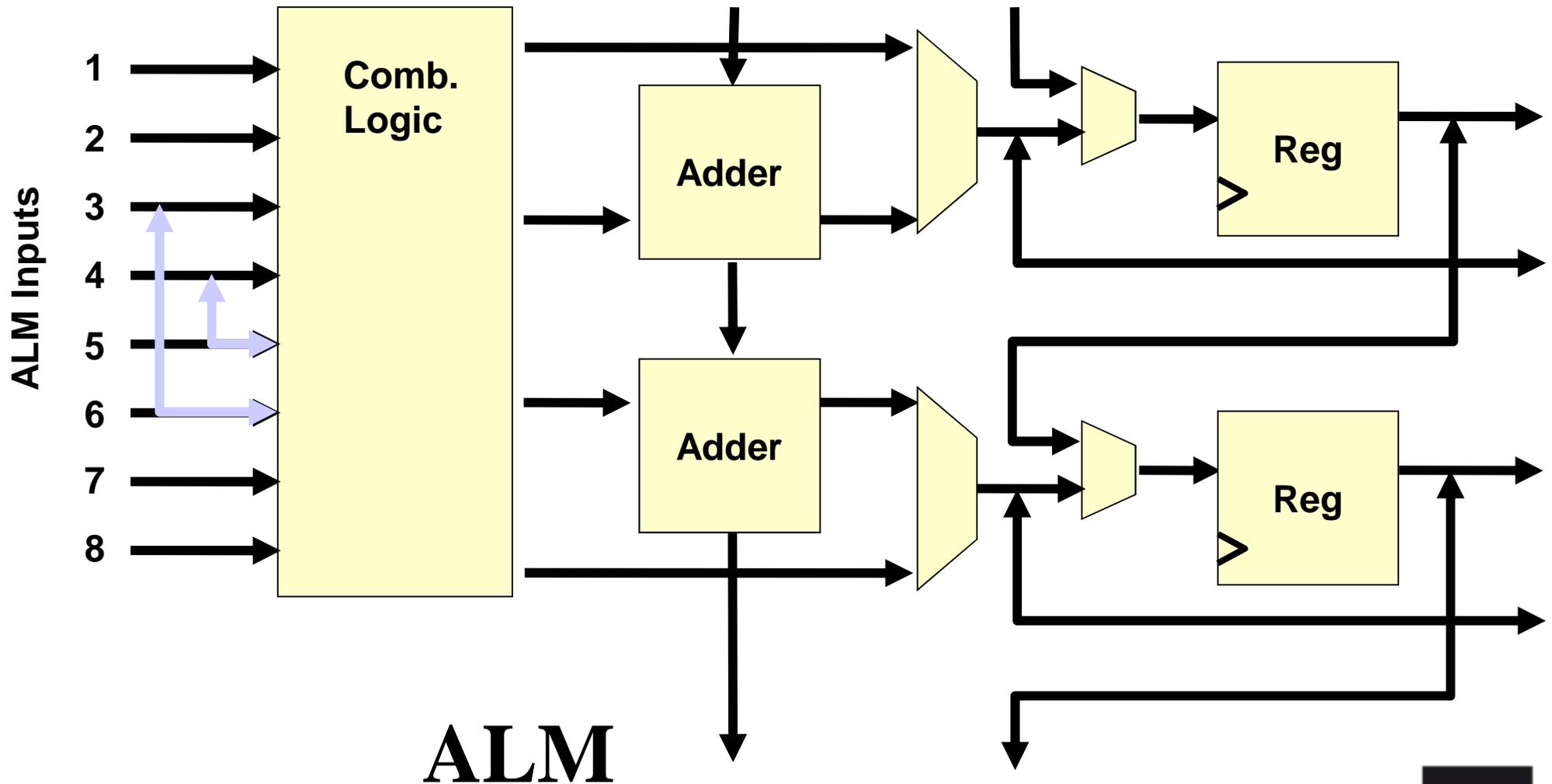
Combien d'entrées pour la LUT ?



Source : ALTERA



ALTERA Adaptive Logic Module (STRATIXII,III,IV,V)



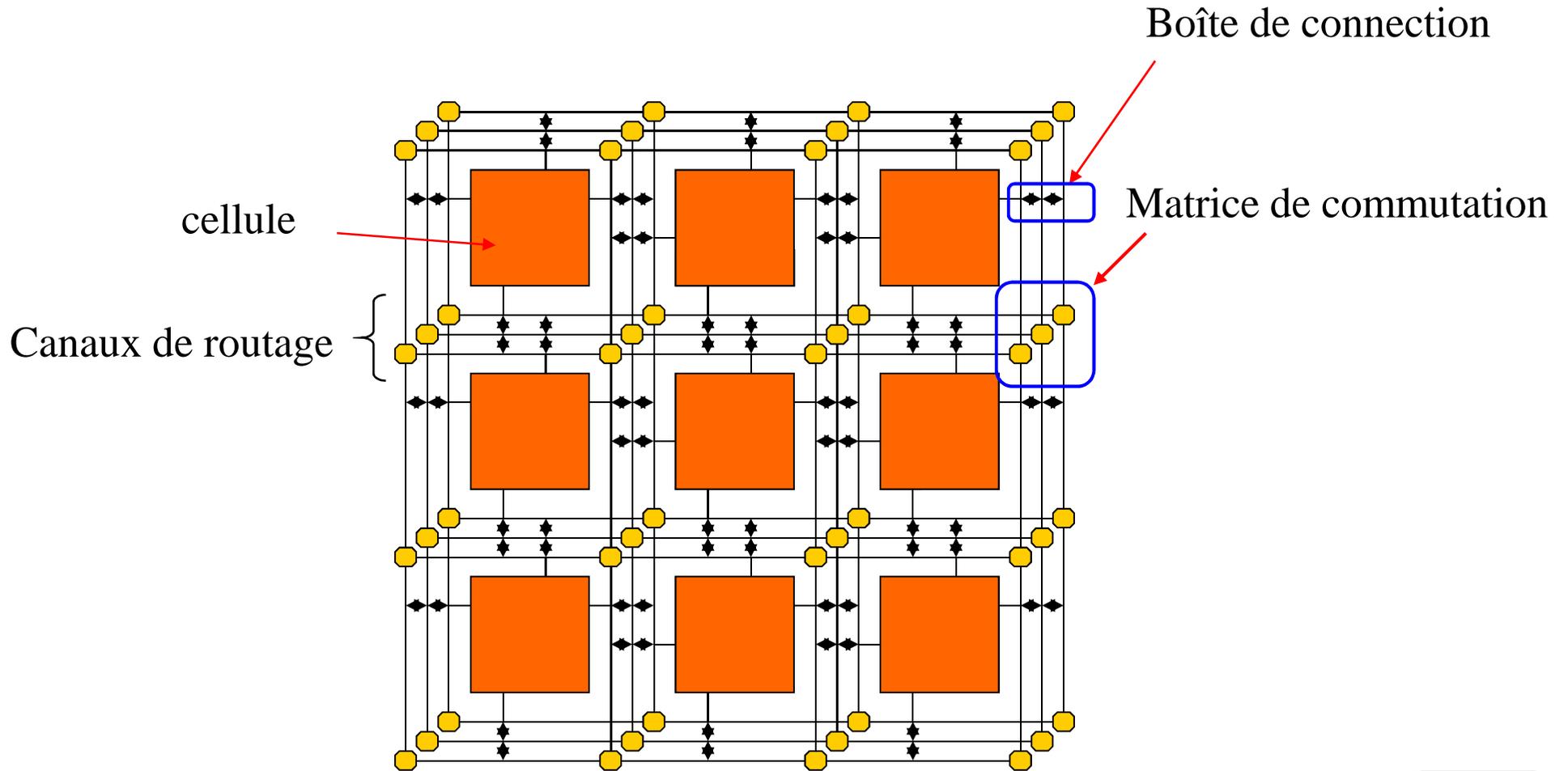


PLAN

- Qu'est ce qu'un FPGA ?
- Place et Marché
- **Les principes innovants**
 - Technologie microélectronique
 - Cellules
 - • **Interconnexion**
 - Blocs embarqués, I/Os
 - Configuration
 - Consommation, sûreté
- Tendances, Recherche



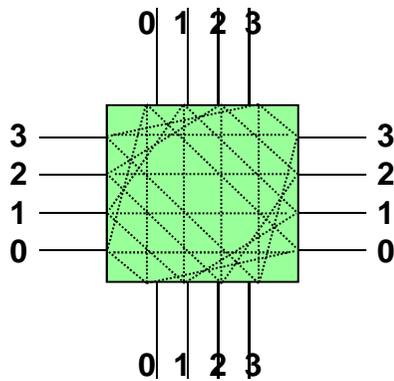
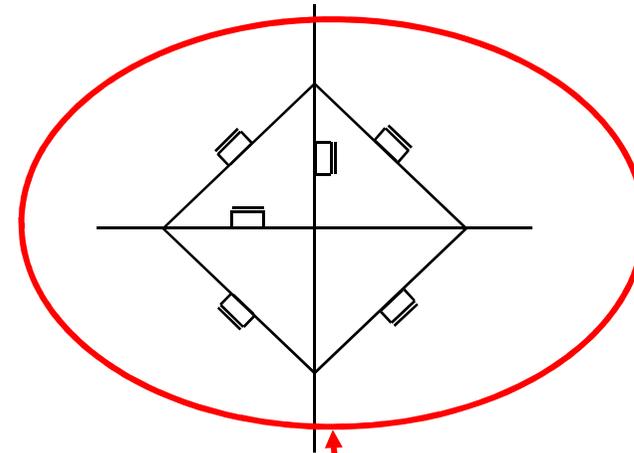
Topologie d'interconnexion en matrice



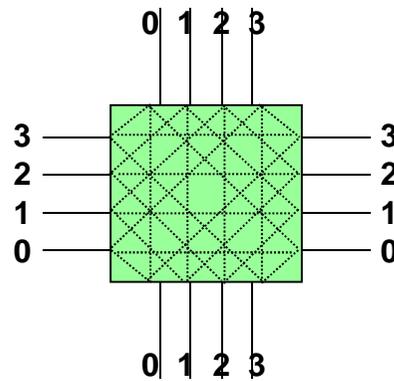


La matrice de commutation

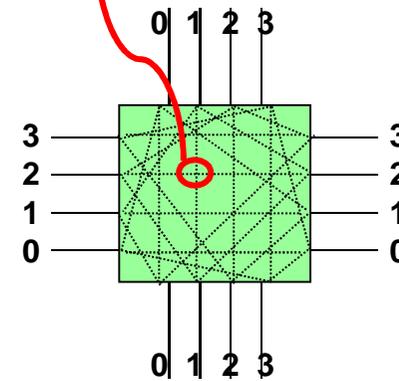
Nombreuses possibilités



DISJOINT



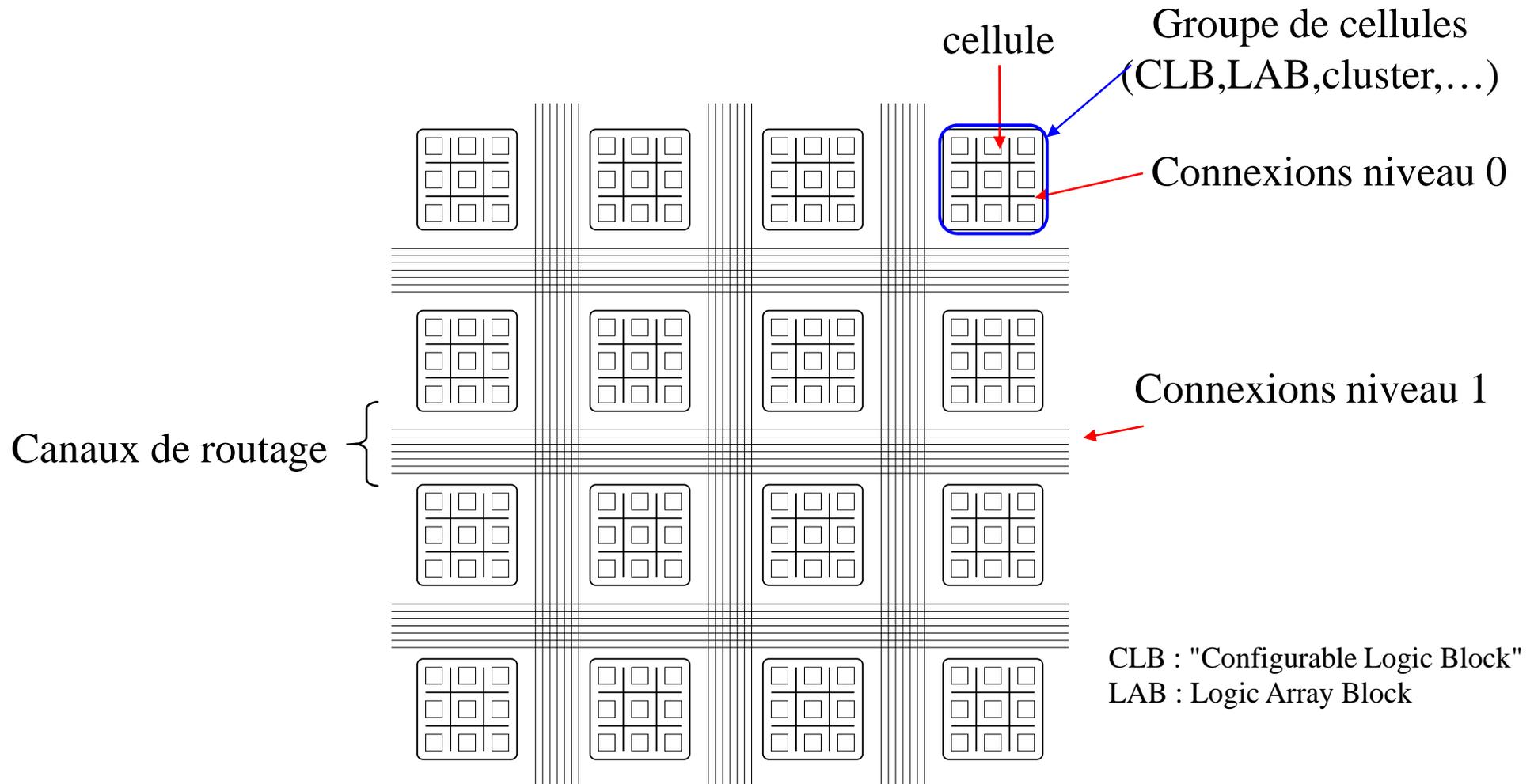
UNIVERSEL



WILTON

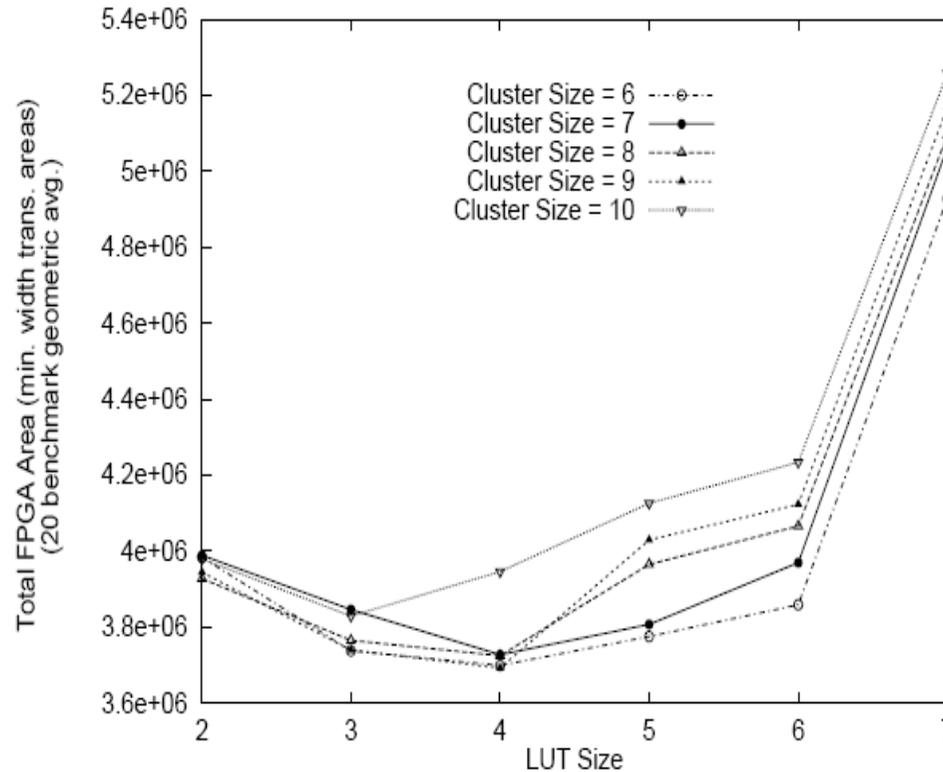


Topologie de type matrice hiérarchique





Taille des clusters



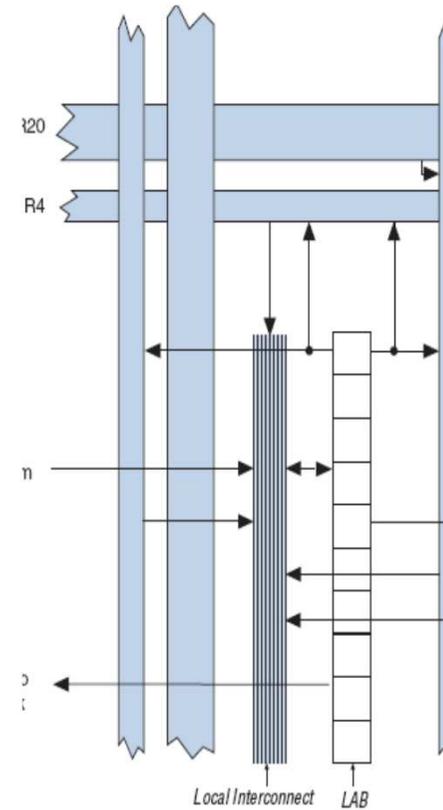
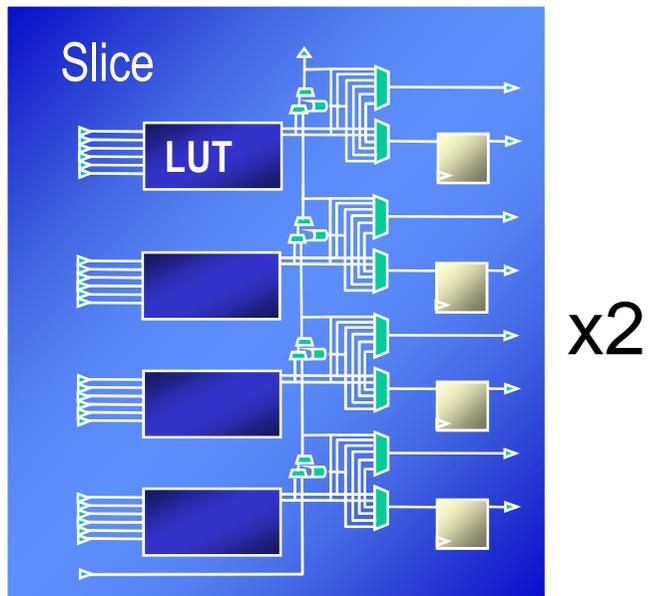
Un grande taille de cluster facilite les contraintes de timings :
=> taille d'au moins 8

Taille du FPGA pour différentes tailles de LUT et cluster

Elias Ahmed, Jonathan Rose: The effect of LUT and cluster size on deep-submicron FPGA performance and density. IEEE Trans. VLSI Syst. 12(3): 288-298 (2004)



Exemple de clusters

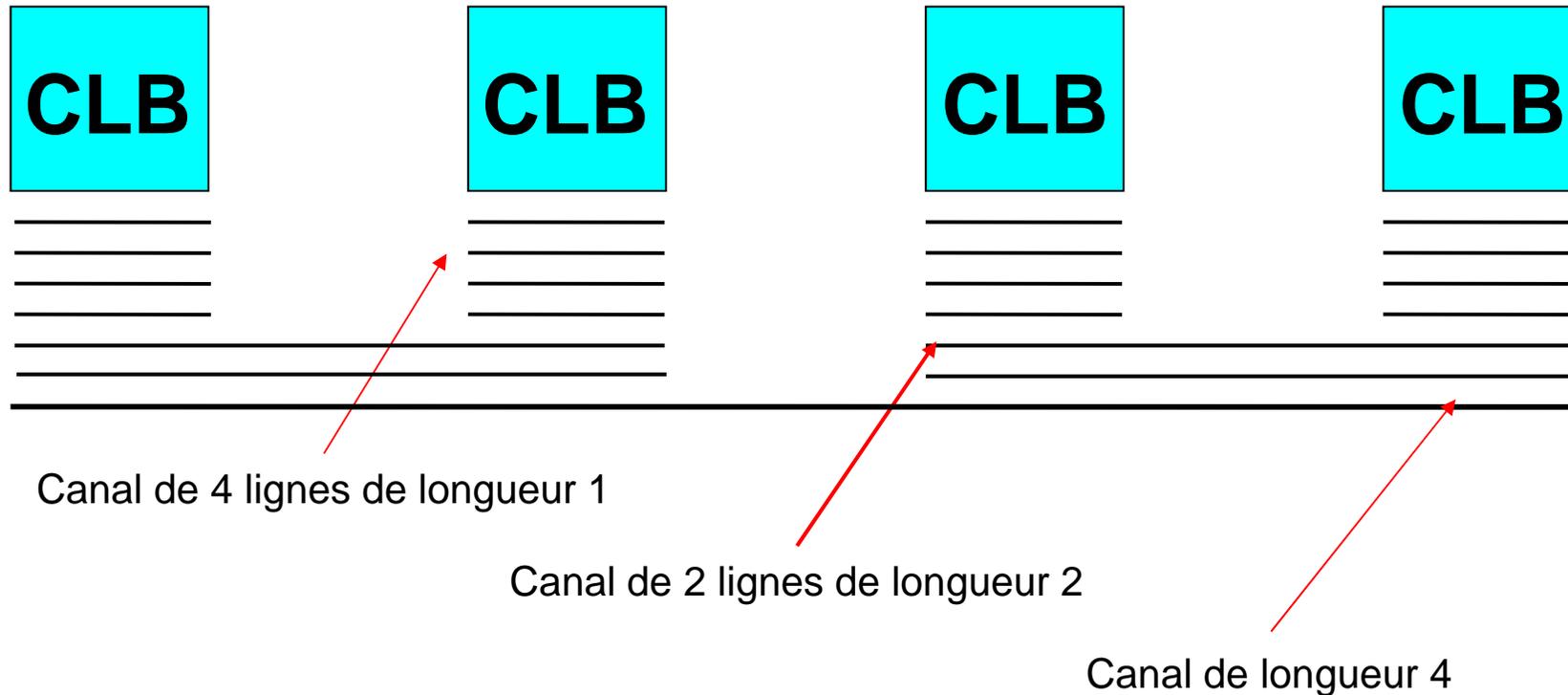


Virtex5 : **CLB** = 2 slices * 4 LUT6

StratixIII : **LAB** = 8 ALM



Matrice : interconnexions segmentées

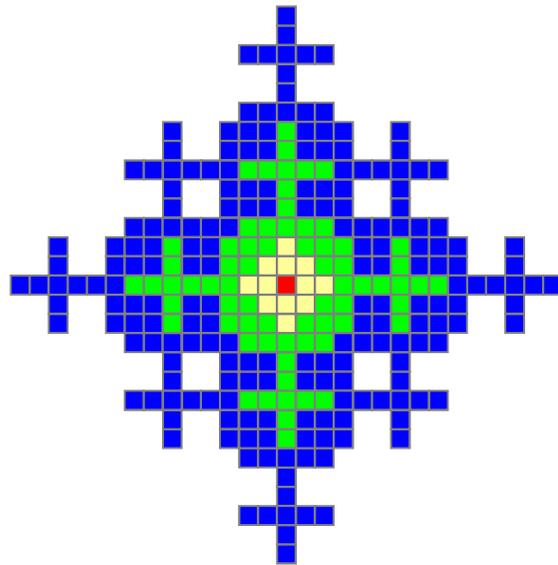
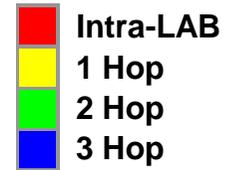


Un canal faisant toute la largeur sert pour les signaux globaux (horloge, reset,...)

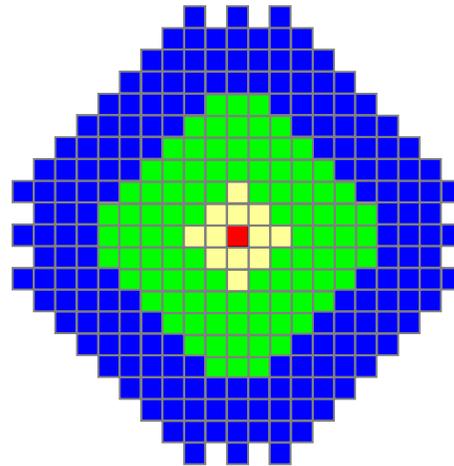


Effet de la segmentation : gain en vitesse

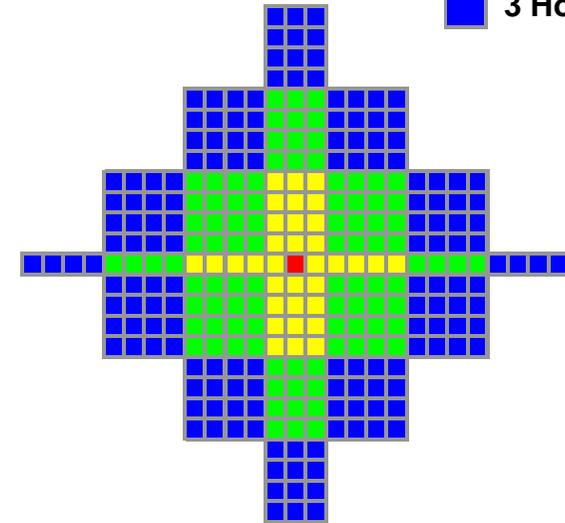
1 hop = passage par un commutateur



XILINX
Virtex 4



XILINX
Virtex 5
Segmentation diagonale



ALTERA
StratixIII
Segmentation très forte



PLAN

- Qu'est ce qu'un FPGA ?
- Place et Marché
- **Les principes innovants**
 - Technologie microélectronique
 - Cellules
 - Interconnexion
 - ➔ • **Blocs embarqués, I/Os**
 - Configuration
 - Consommation, sûreté
- Tendances, Recherche



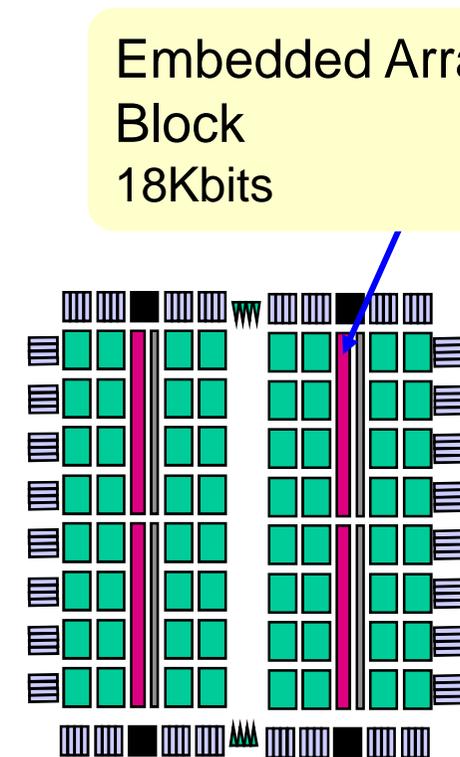
Un FPGA est plus qu'un ensemble de cellules

		Stratix V GT FPGAs (0.85 V), Up to 28.05-Gbps Transceivers ¹		
		5SGTC5	5SGTC7	
cellules	ALMs	160,400	234,720	
	Equivalent LEs	425,000	622,000	
	Registers ²	641,600	938,880	
mémoires	M20K memory blocks	2,304	2,560	
	M20K memory (Mb)	45	50	
	MIAB memory (Mb)	4.9	7.16	
Multiplieurs	18-bit x 18-bit multipliers	512	512	
	27-bit x 27-bit DSP blocks	256	256	
Clocks	Speed grades: FPGA fabric (fastest to slowest)	-1, -2, -3		
	Speed grades: transceiver (fastest to slowest)	-2, -3		
	Global clock networks	16		
	Regional clock networks	92		
I/Os	Design security	✓		
	HardCopy series device support	Contact Altera		
interfaces	I/O voltage levels supported (V)	1.2, 1.5, 1.8, 2.5, 3.3 ²		
	I/O standards supported	LVTTTL, LVCMOS, PCI™, PCI-X™, LVDS, mini-LVDS, RSDS, LVPECL, Differential SSTL-15, Differential SSTL-18, Differential SSTL-2, Differential HSTL-12, Differential HSTL-5, Differential HSTL-18, SSTL-15 (I and II), SSTL-18 (I and II), SSTL-2 (I and II), 1.2-V HSTL (I and II), 1.5-V HSTL (I and II), 1.8-V HSTL (I and II)		
	LVDS channels, 1.4 Gbps (receive/transmit)	150	150	
	Embedded DPA circuitry	✓		
	Series, parallel, and differential OCT	✓		
I/Os	Transceiver (SERDES) channels (28.05 Gbps/14.1 Gbps)	4/32	4/32	
	PCIe Gen3 hard IP blocks	1	1	
	Memory devices supported	DDR3, DDR2, DDR, QDR II, RLD RAM II, SDR		



Mémoires dans les FPGA

- ❑ **Distribuée**
 - Utilisation des LUTs des cellules en mode mémoire
- ❑ **Embarquée**
 - La mémoire est un bloc spécifique
 - Tailles entre 512b et 512Kb
 - Utilisable en
 - Simple / Double Port
 - ROM
 - FIFO
- ❑ **Quelques Mbits dans les dernières familles**
 - 17Mbits dans les Virtex7





Blocs arithmétiques dans les FPGAs

□ Additions/soustractions

- Se font généralement en propagation de retenue par un chemin de routage spécifique le long des cellules

□ Multiplications, MACs

- Blocs dédiés
 - Souvent 18x18 utilisables en 4 (9x9)
 - Accumulation
 - Mise en Cascade, Arrondi, troncature, saturation
- Quelques milliers dans les dernières familles
 - 4000 dans les Virtex7



Blocks de gestion d'horloge

□ Besoins

- Eviter le « Skew » d'horloge
 - Du à la forte charge et la longueur des lignes
- Fréquence interne différente de la fréquence externe
 - Nécessité d'un asservissement fréquence
- Besoin de plusieurs horloges corrélées

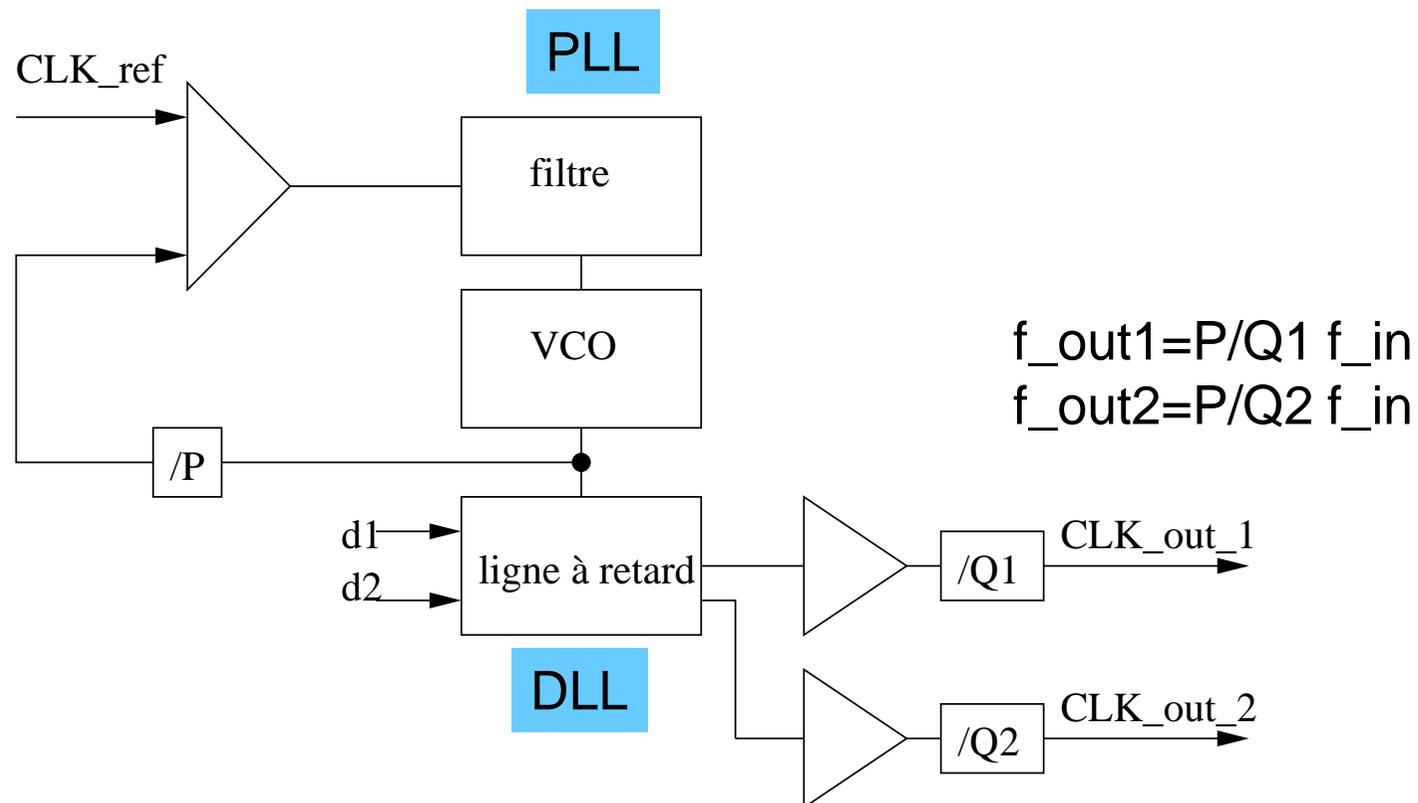
□ Solutions 2 niveaux :

- Interconnexion
 - lignes dédiées pour les horloges : arbre d'horloge bufferisés
- Bloc PLL/DLL dédié à la génération :
 - Asservissement sur l'extérieur
 - Compensation du skew d'horloge



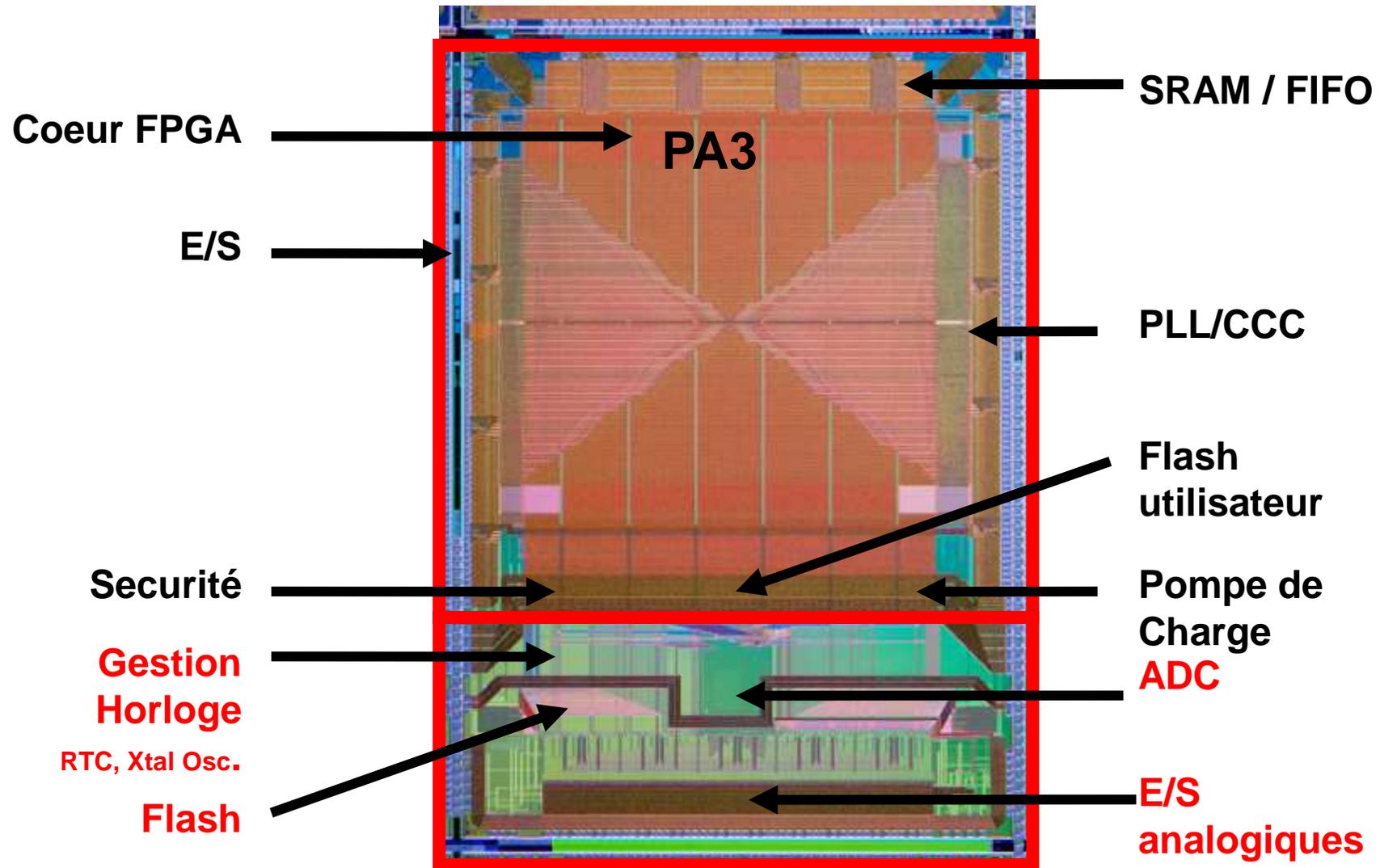
Circuit de génération d'horloge

- Ajustement en fréquence et phase sur plusieurs horloges





Blocs embarqués analogiques : ACTEL Fusion





Cellule E/S

E/S configurable

- Nombreux paramètres et standards
 - Mode Terminaison simple
 - Mode Différentiel
 - Synchronisation avec les horloges
 - Sérialisation/désérialisation
 - Ajustement du Slew Rate
 - Adaptation d'impédance
 - Adaptation du retard

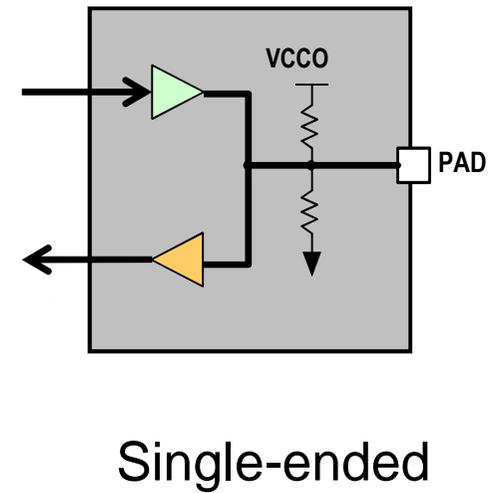
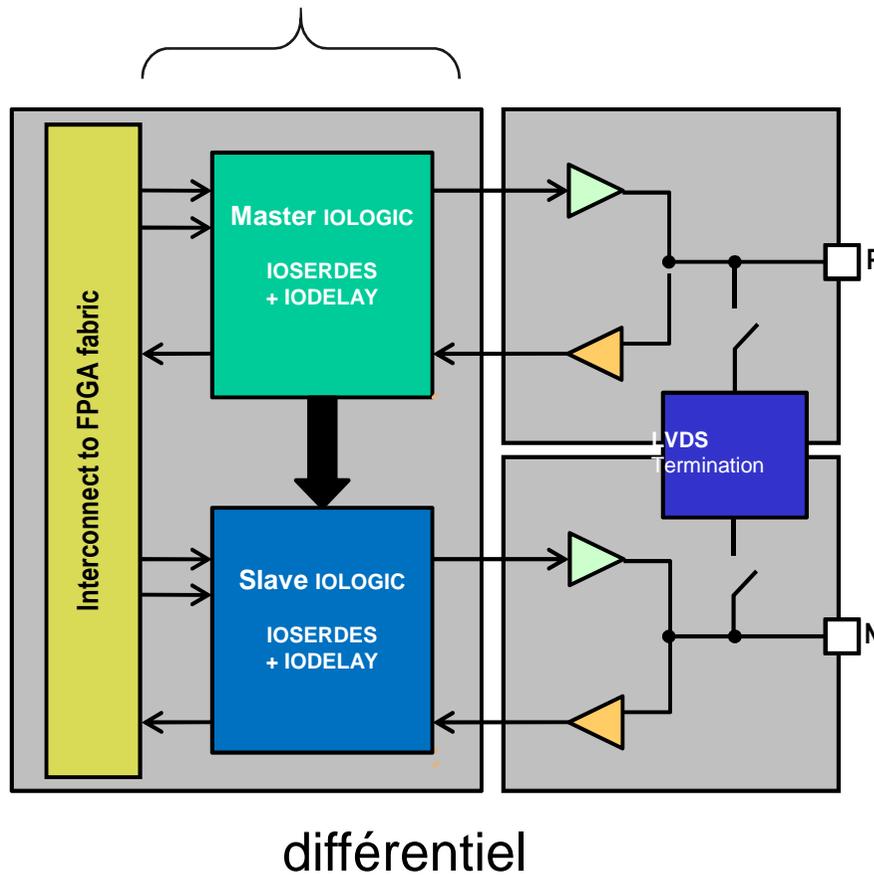
Transceivers

- Gigabit Transceivers jusqu'à 28Gbps (Virtex7)

Accepte diverse tensions d'alimentation

Cellule E/S : Virtex7

SERDES : s rialisation/d s rialisation





Standards Virtex7

I/O Standard	3.3V	2.5V	1.8V	1.5V	1.2V
LVC MOS	LVC MOS33 (up to 16mA)	LVC MOS25 (up to 16mA)	LVC MOS18 (up to 24mA)	LVC MOS15 (up to 24mA)	LVC MOS12 (up to 12mA)
LVDS	TMDS	LVDS Mini LVDS PPDS RSDS (pt-to-pt) Sub LVDS			
PCI	PCI				
SSTL			SSTL18_I* SSTL18_II** DIFF_SSTL18_I* DIFF_SSTL18_II**	SSTL15** DIFF_SSTL15**	
HSTL			HSTL_I_18* HSTL_II_18** DIFF_HSTL_I_18* DIFF_HSTL_II**	HSTL_I* HSTL_II** DIFF_HSTL_I* DIFF_HSTL_II**	



PLAN

- Qu'est ce qu'un FPGA ?
- Place et Marché
- **Les principes innovants**
 - Technologie microélectronique
 - Cellules
 - Interconnexion
 - Blocs embarqués, I/Os
 - • **Configuration**
 - Consommation, sûreté
- Les tendances
- Les FPGAs pour la recherche

■ Technologie interne

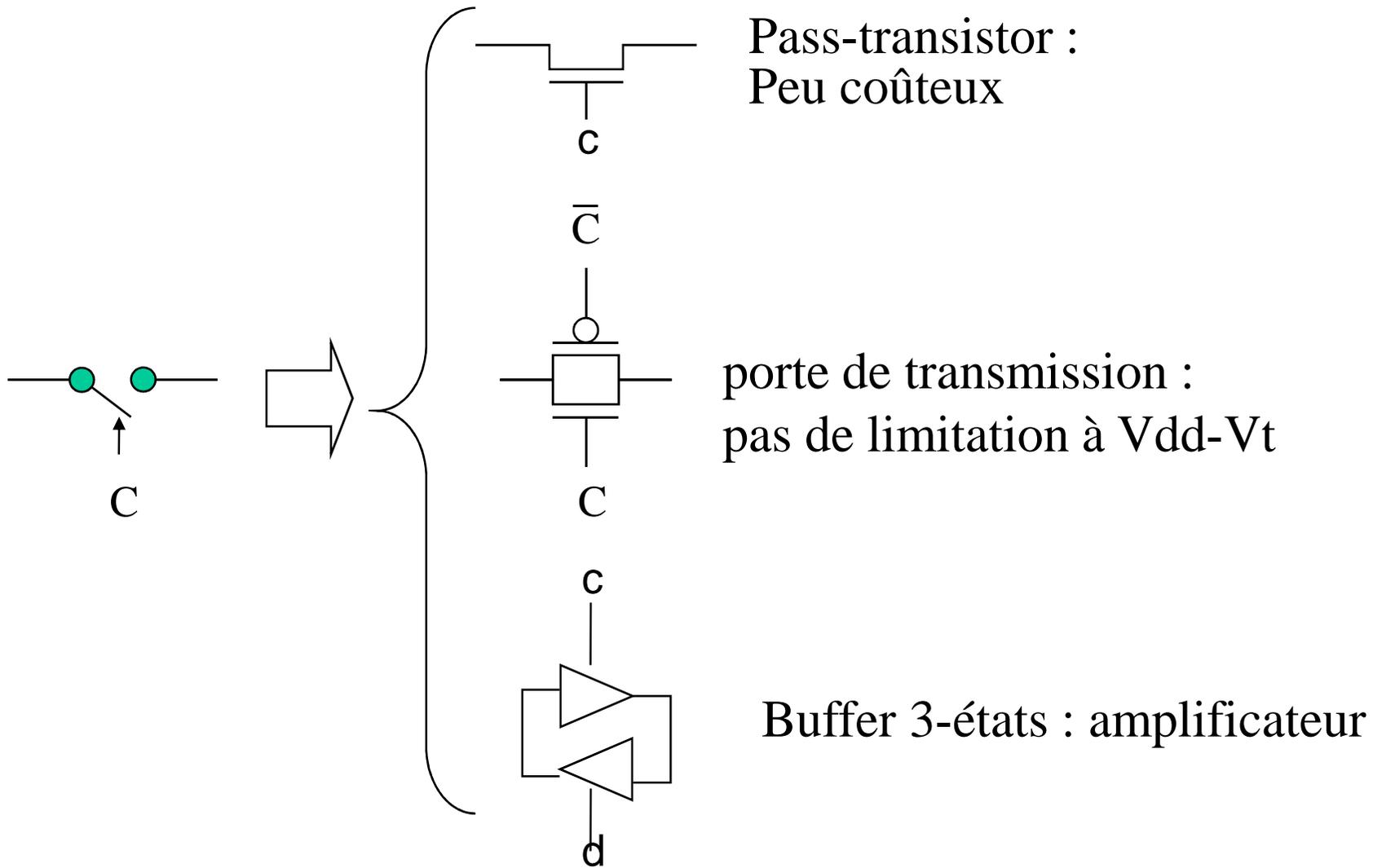
- Volatile : Mémoire SRAM. Un "bitstream" est stocké à l'extérieur
 - On parle de configuration car la reprogrammation est possible
- Nonvolatile :
 - Mémoire FLASH ou équivalent
 - Antifusible

■ Méthode de configuration pour SRAM

- Interface spécifique
- Configuration totale/partielle
- Sécurisation du transfert



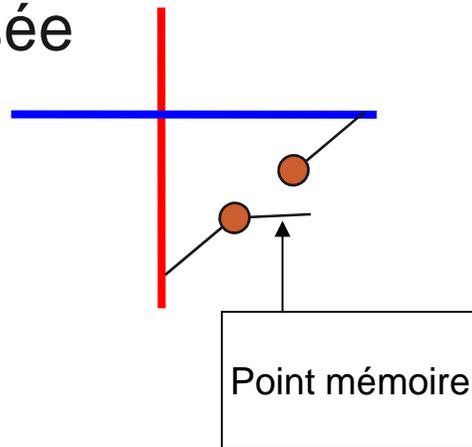
Technologies des commutateurs



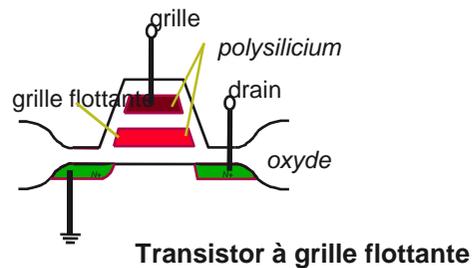
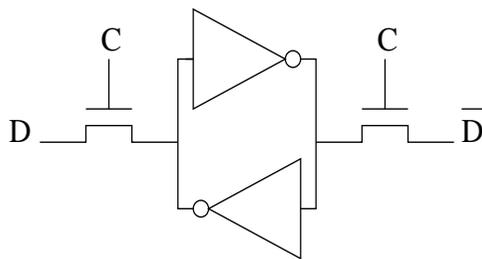


□ Mémoire

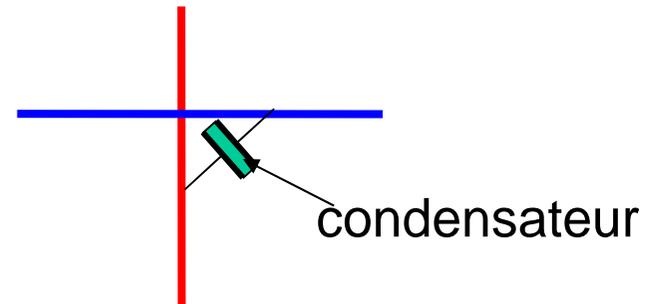
La plus utilisée



Point mémoire SRAM ou FLASH



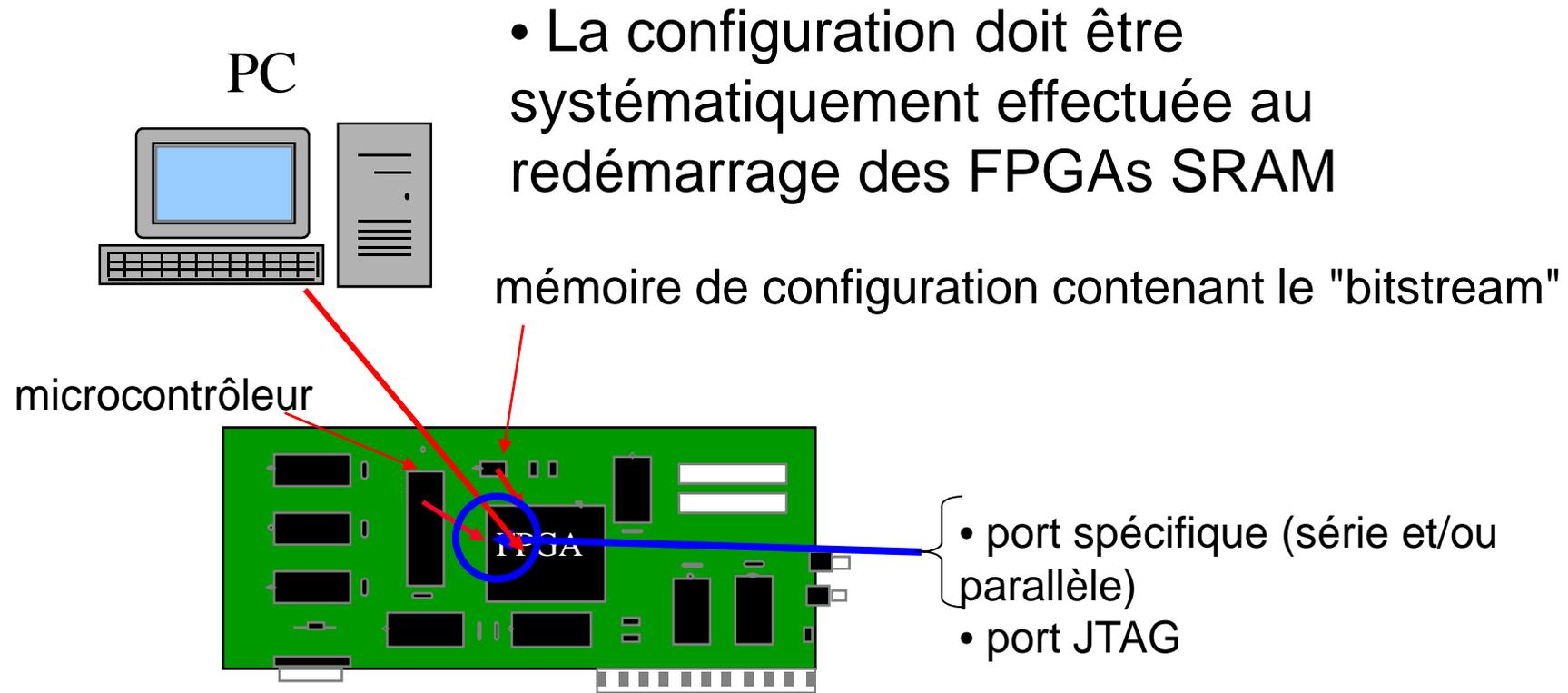
□ Antifusible (Actel)



- Opération de fusion du diélectrique irréversible (OTP)



Interface de Configuration



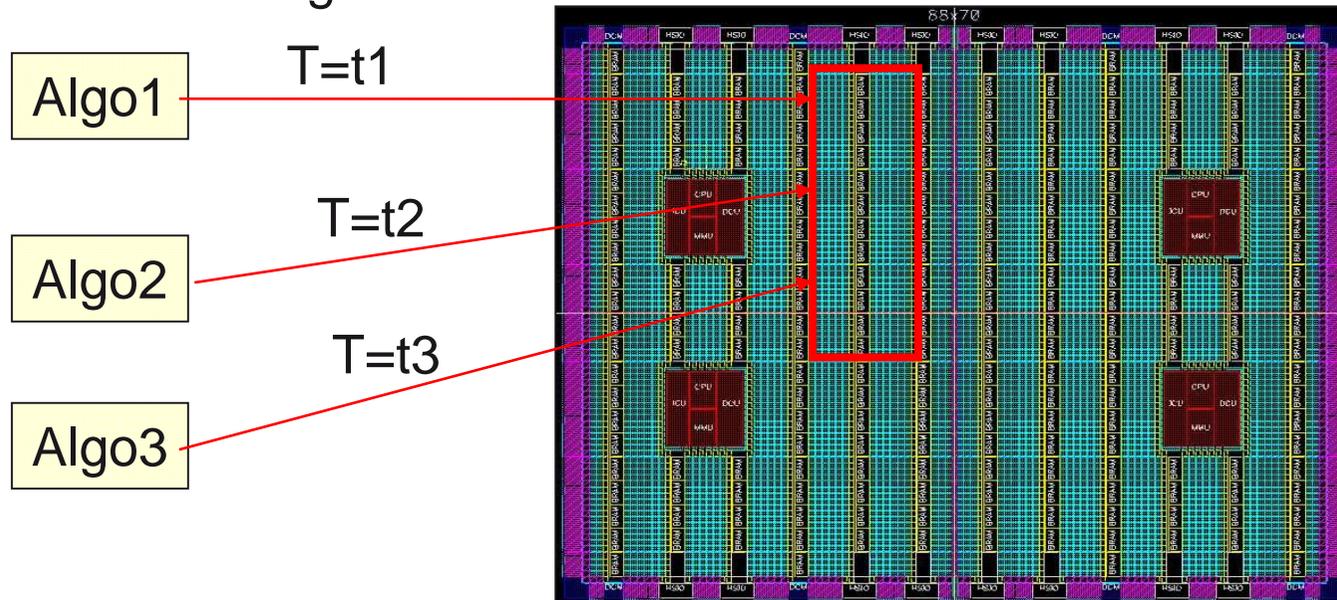
Le FPGA peut être Maître (il pilote la configuration) ou Esclave



Configuration partielle

- Permet de minimiser le matériel
- Possibilité Xilinx

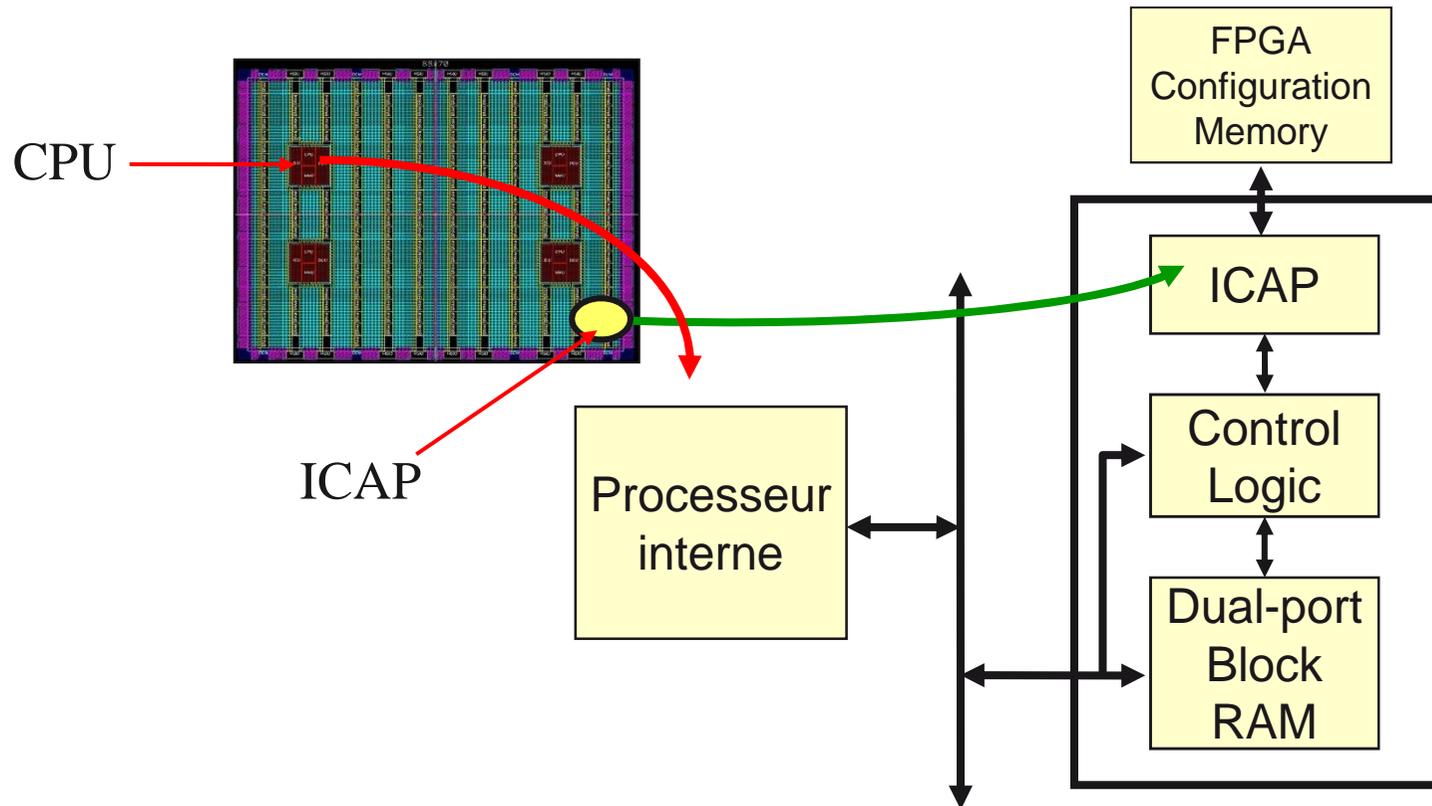
Fichiers de configuration





Auto reconfiguration

- Xilinx : Utilisation du port de configuration interne : ICAP et d'un microprocesseur local



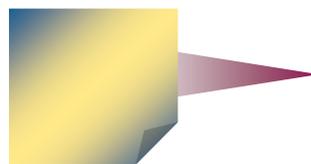


Configuration sécurisée : exemple ALTERA

Etape 1 : Programmation de la clé dans le FPGA



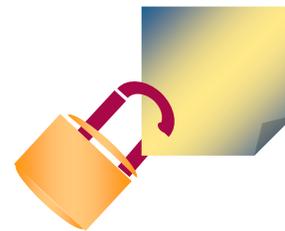
Etape 2 : Chiffrement du fichier de configuration avec cette clé



chiffrement



Clé



Bitstream chiffré

Mémoire
de
Configuration



PLAN

- Qu'est ce qu'un FPGA ?
- Place et Marché
- **Les principes innovants**
 - Technologie microélectronique
 - Cellules
 - Interconnexion
 - Blocs embarqués, I/Os
 - Configuration
 - ➔ • **Consommation, sûreté**
- Les tendances
- Les FPGAs pour la recherche



Consommation dans les FPGAs

Le prix à payer de la programmabilité : x14 vs ASIC

❑ Consommation dynamique

- En CMOS, l'essentiel de la consommation provient des courants de charge et décharge des capacités réparties

$$P = \frac{1}{2} C V_{dd}^2 f$$

v_{dd} ↘ f ↗ C ↗ ⇒ P ↗

❑ Consommation statique

- Due aux courants de fuite. Quasi nulle dans les technologies >130nm mais devient non négligeable si <130nm

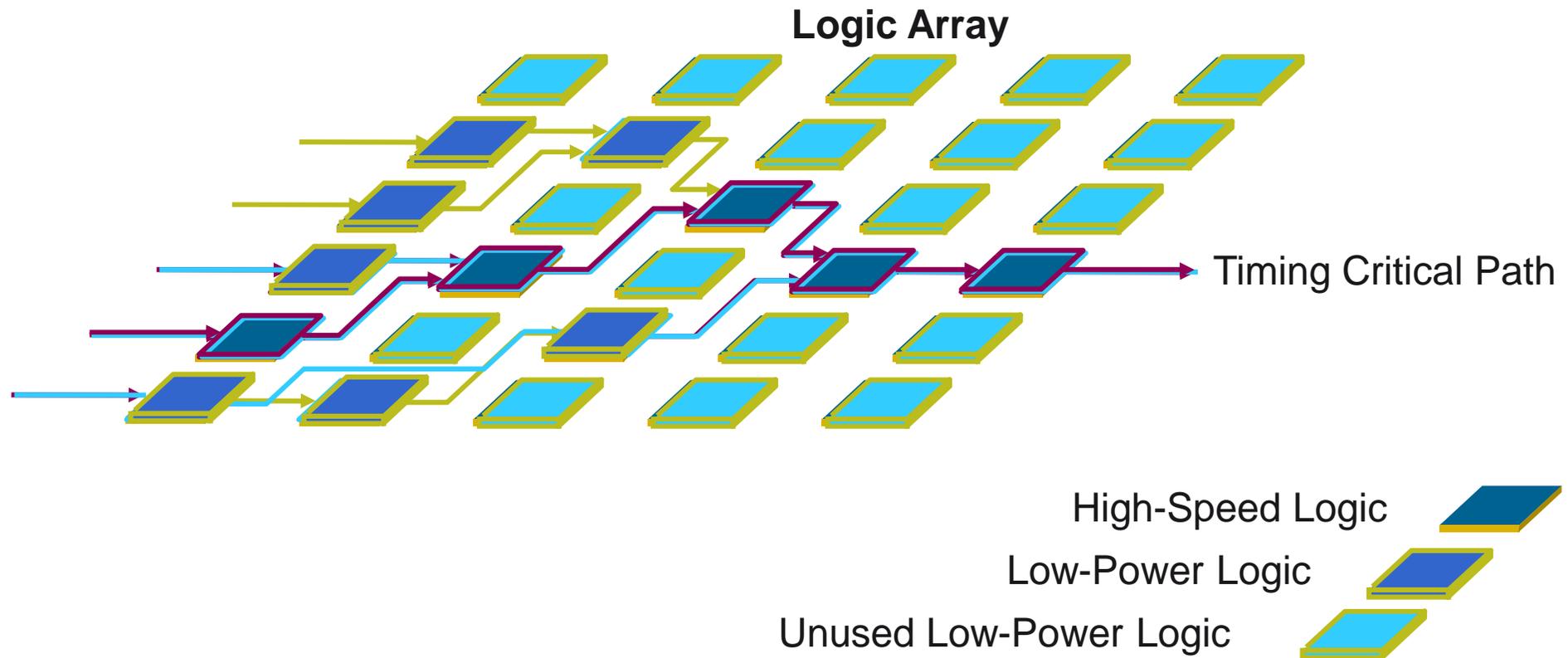
❑ Stratégie de réduction

- Transistors faible consommation
- Gestion pour la mise en veille



Stratégie pour réduire la puissance dynamique

Stratix III





Robustesse dans les FPGAS

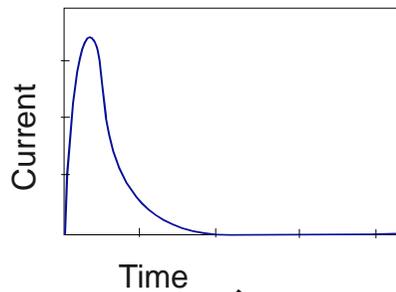
❑ Plusieurs sources de “fautes”

- Rayonnements cosmiques
 - Affecte les mémoires SRAM
 - ✓ Mémoires embarquées
 - ✓ Mémoire de configuration (à part Flash et anti-fusible)
- Vieillesse des technologies
- Bruit interne détériorant l'intégrité du signal
 - Interférences
 - Bruit de masse (Simultaneous Switching Noise)
 - Mauvaises adaptations d'impédance
- Actes malveillants

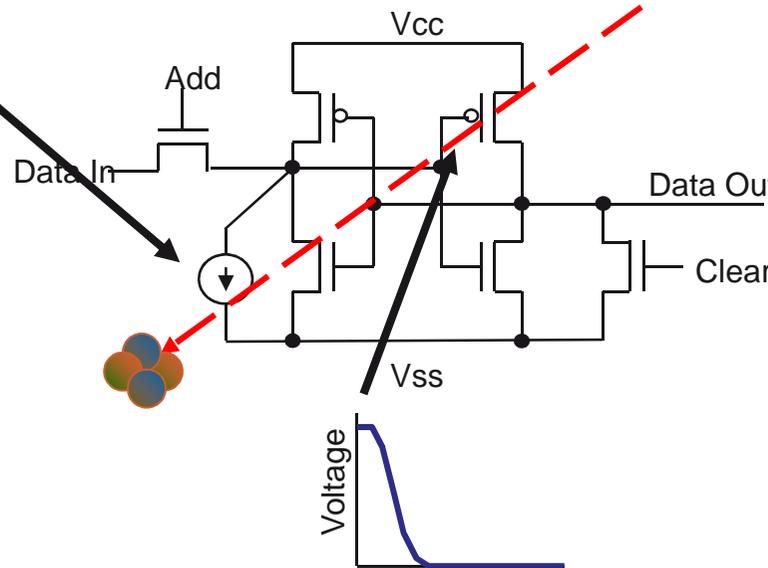


Rayonnement cosmique

■ Erreur SEU "Single Event Upset"



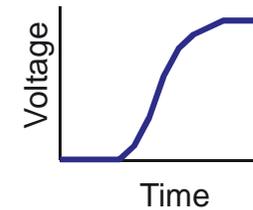
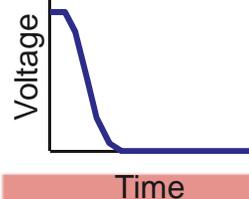
Point mémoire SRAM



Rayon cosmique

Neutron

atmosphère





Parades au rayonnement cosmique

❑ Mémoire de configuration

- Signature CRC dans le bitstream
- Mesure régulière du CRC (Xilinx) ou utilisation d'un processeur pour mesurer la "criticalité" (Altera)
- Utilisation de technologies robustes (Actel : FLASH, Antifusibles)

❑ Mémoire utilisateur

- Code correcteur d'erreur ECC associé aux mémoires embarquées



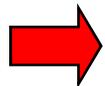
Amélioration de l'intégrité du signal

- ❑ **Action au niveau des E/S**
 - Ajustement du « slew rate »
 - Ajustement de la puissance des sorties
 - Adaptation d'impédance
 - Ajustement du retard
- ❑ **Action au niveau du boîtier**
 - Respecter le ratio $V_{dd}/G_{nd}/ E/S$ (8)
 - Mettre des capacités de découplage ou utiliser des boîtiers pré-équipés



PLAN

- **Qu'est ce qu'un FPGA ?**
- **Place et Marché**
- **Les principes innovants**
 - Technologie microélectronique
 - Cellules
 - Interconnexion
 - Blocs embarqués, I/Os
 - Configuration
 - Consommation, sécurité, sûreté



- **Les tendances, Recherche**



Offre SoC avec processeurs en « dur »

❑ Existants : processeur en « HDL »

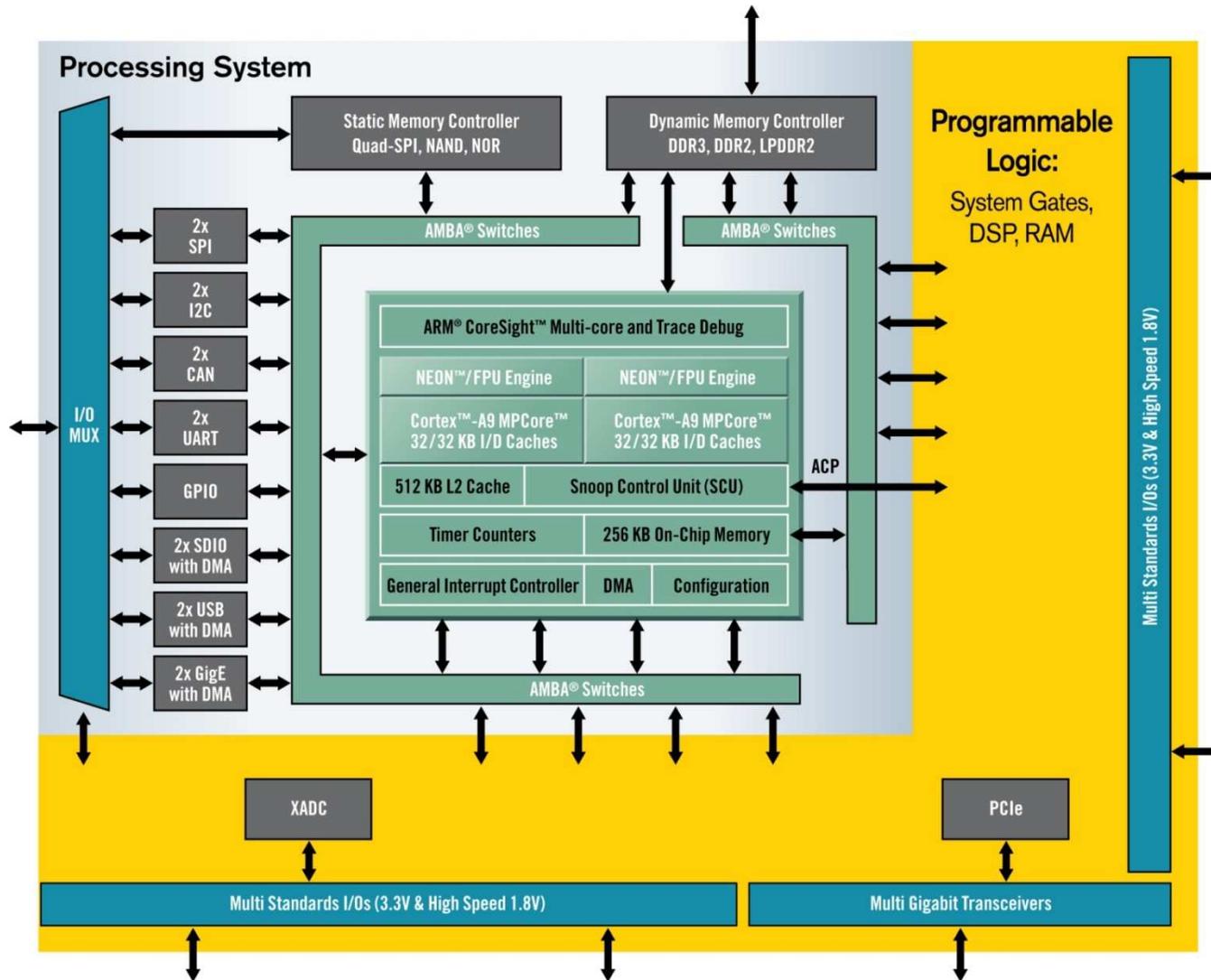
- Processeurs Propriétaires (netlist seulement)
 - XILINX : MicroBlaze 32 bits
 - ALTERA : NIOS 32 bits
 - ACTEL+ARM : ARM7 32bits
- Processeurs Libres LGPL, GPL
 - Code VHDL ou Verilog
 - LATTICE : MICO 32bits
 - 32 bits RISC :Leon (SPARC 32 bits)

❑ Tendances : processeur en « dur »

- Xilinx Zynq 7000 : Dual core ARM cortex A9
- Altera ARRIA SX : Dual core ARM cortex A9
- Actel Smartfusion cSoc : ARM cortex M3

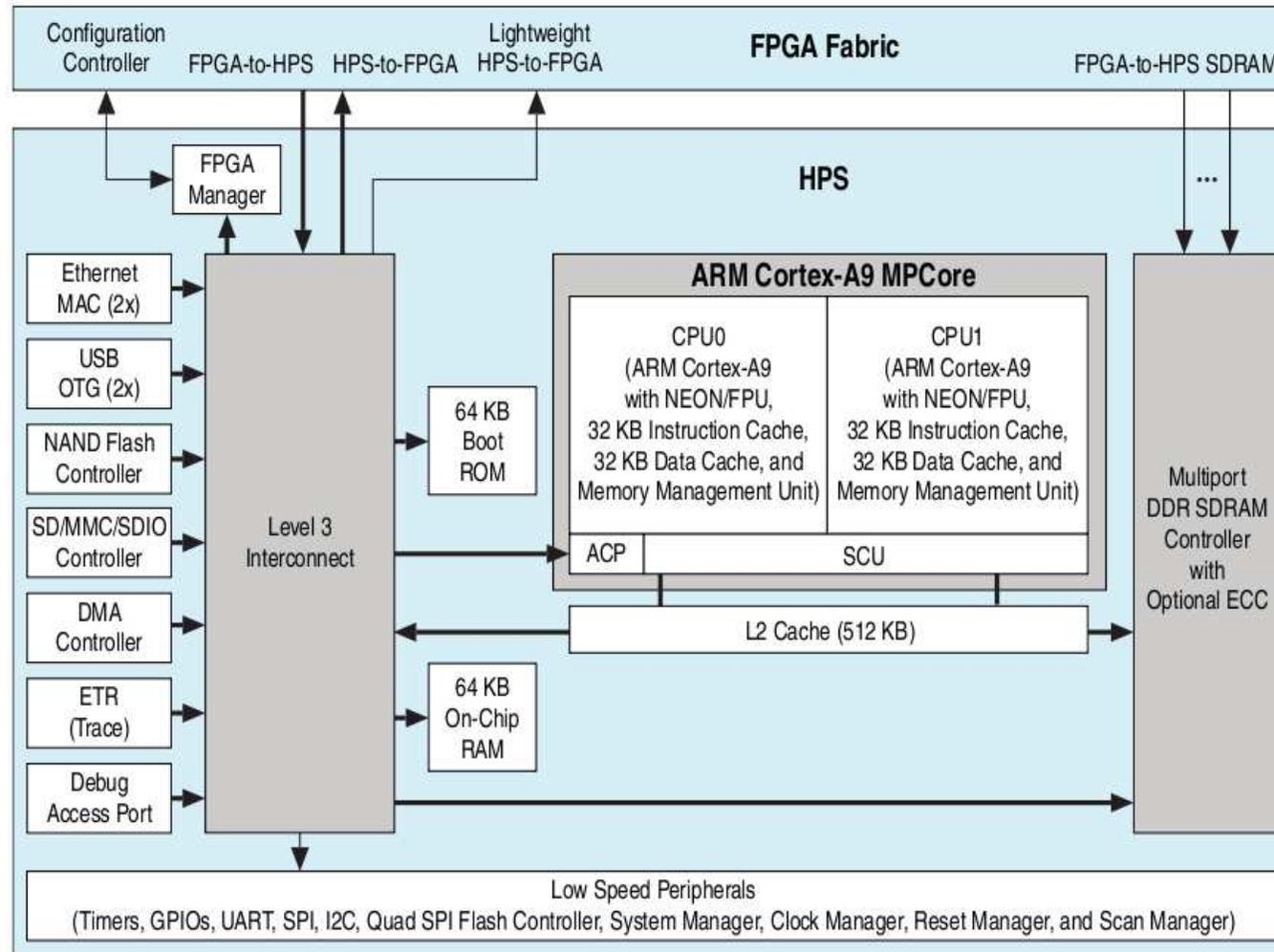


Xilinx Zynq 7000





Altera ARRIA SX





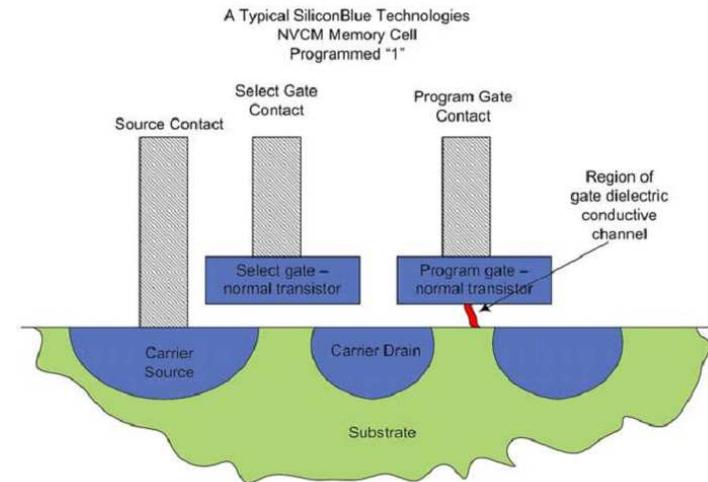
Réduire la consommation

❑ Technologies Low-Power Flash

- Silicon Blue : NVCM
 - Mémoire NV à partir de process CMOS à 2 transistors (technologie Kilopass)
- ACTEL : Famille IGLOO
 - Flash freeze mode : mode veille

❑ Technologies SRAM

- Altera CYCLONE V
- Xilinx ARTIX-7





Augmenter les interfaces et leur rapidité

- ❑ De plus en plus de blocs d'interface durs dans les derniers FPGAs
 - PCI-express, Ethernet/MAC, Transceivers 28Gbps
- ❑ FPGA dédié I/O
 - CSwitch CS90 (configurable switch)
 - Interconnexion et logique au centre de blocs périphériques durs

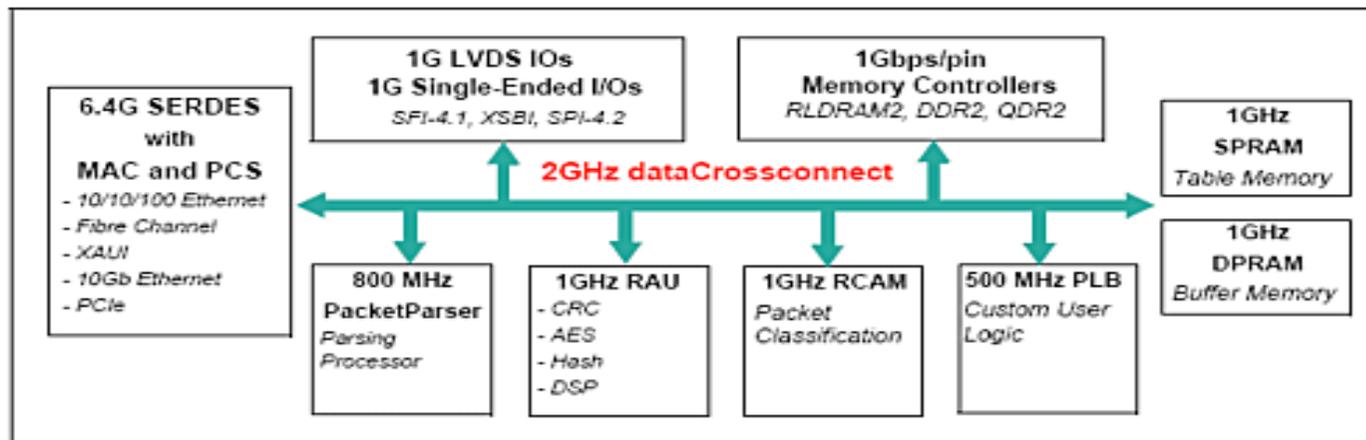
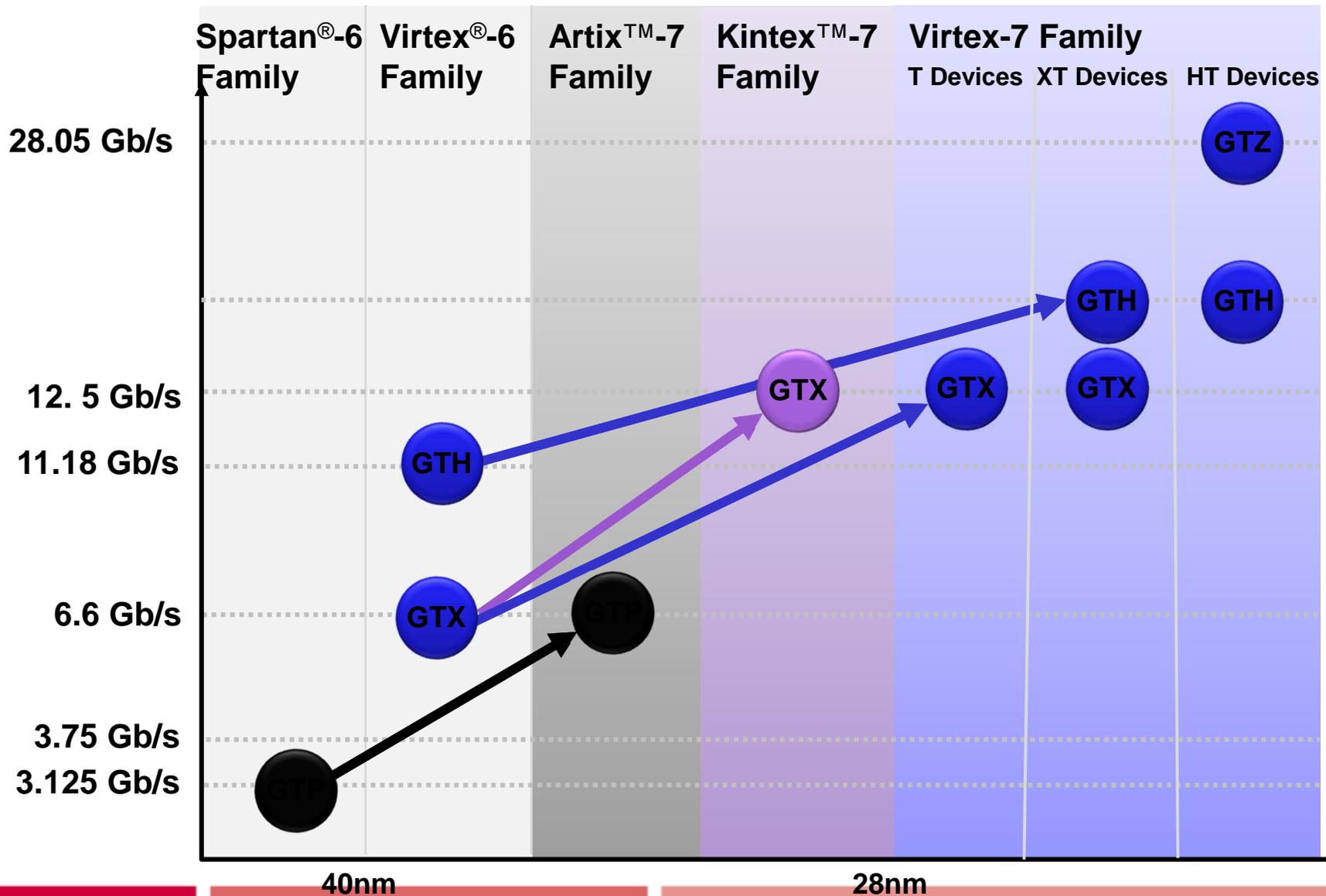


Figure 1 CS90 Configurable Switch Array Dataflow Diagram

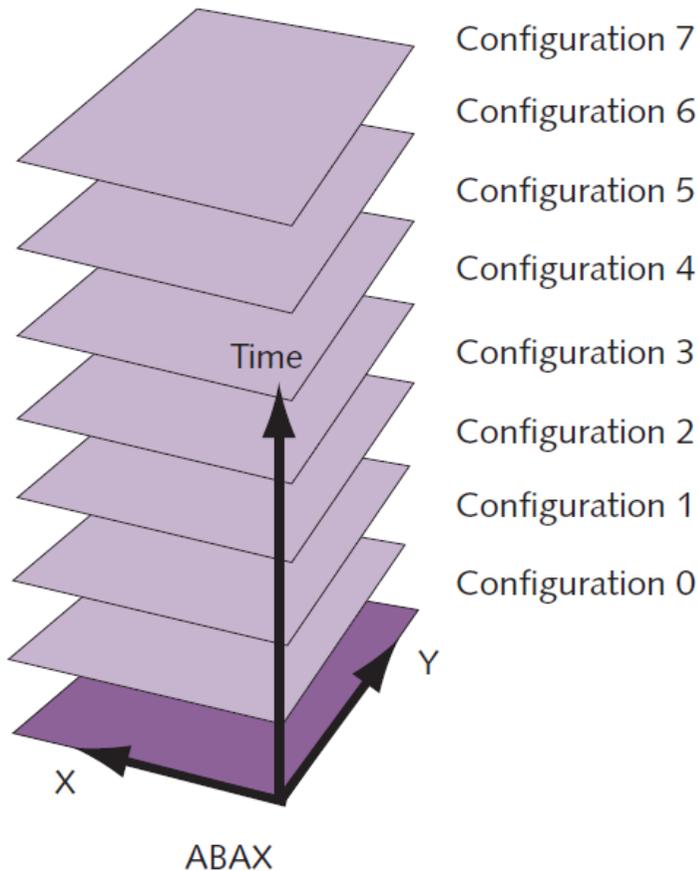


Transceivers Xilinx





ReConfiguration à la volée



■ Start-up Tabula

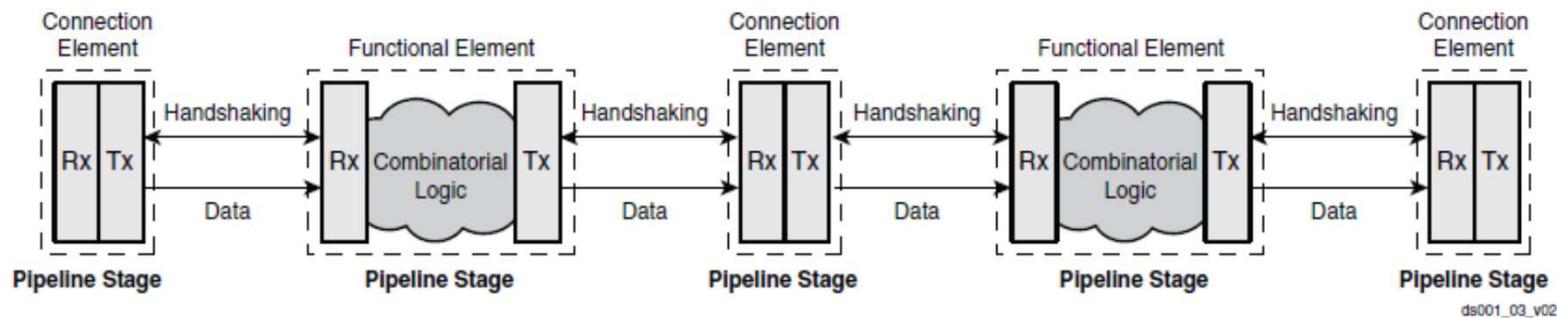
- 2D + Temps
- Reconfigurations permanentes @1.6GHz
- 8 configurations
- Mémoires simple port équivalente à 8 ports 200MHz
- Diminue les ressources de routage



Calcul Asynchrone : plus d'horloge globale

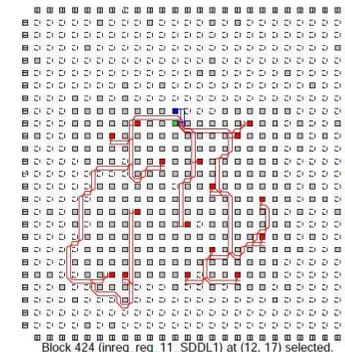
❑ Pour augmenter les Performances

- startup **Achronix** (*techno Intel 22nm transistors 3D*)
 - **Speedster 22i** : Technologie « Picopipe » =>1.5GHz



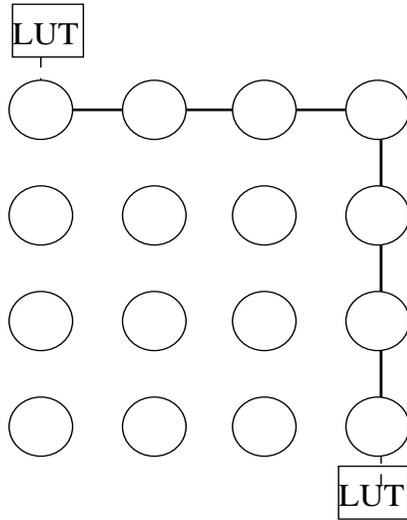
❑ Pour augmenter la sécurité

- Projet « SAFE » TIMA + TPT
 - Implante le protocole QDI
 - Routage et calcul dual rail





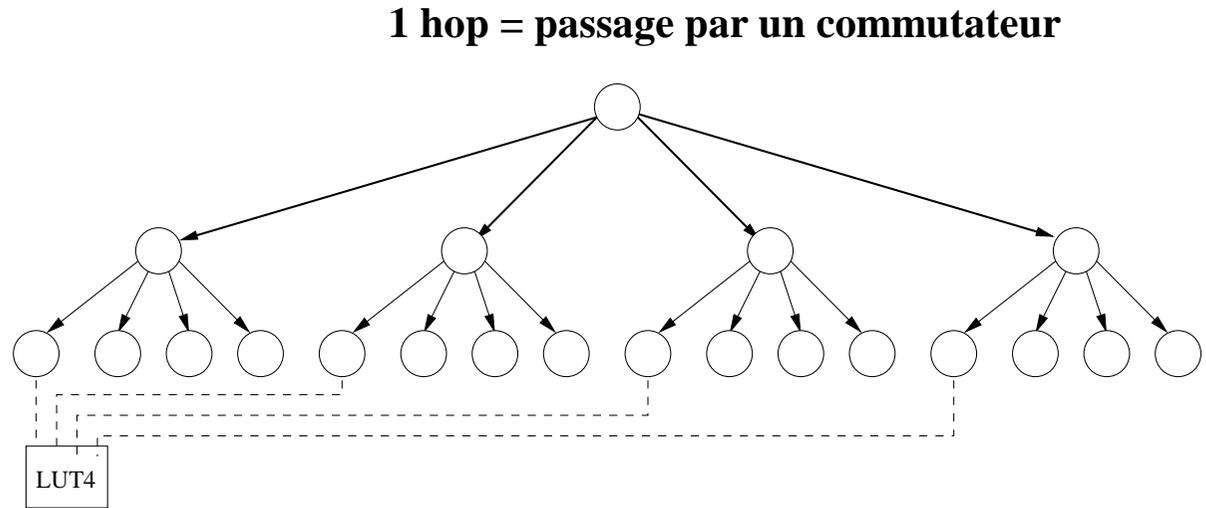
Topologie en arbre



Matrice 4x4 :

Longueur max sans segmentation = 8 hops

Pour une matrice N^2 cellules :
longueur max = $2N$



Arbre base 4 :

longueur max = 6 hops

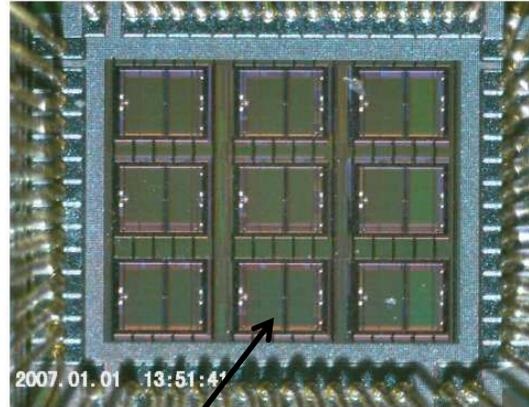
Pour N^2 cellules en base B:
longueur max = $4 \log_B N$

**Gain en interconnexion très intéressante mais la réalisation du layout est très difficile
=> Structure mixte en Matrice d'arbres (société Abound Logic +)**

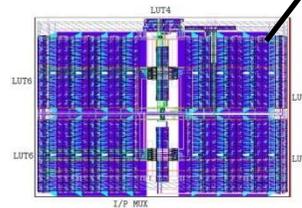
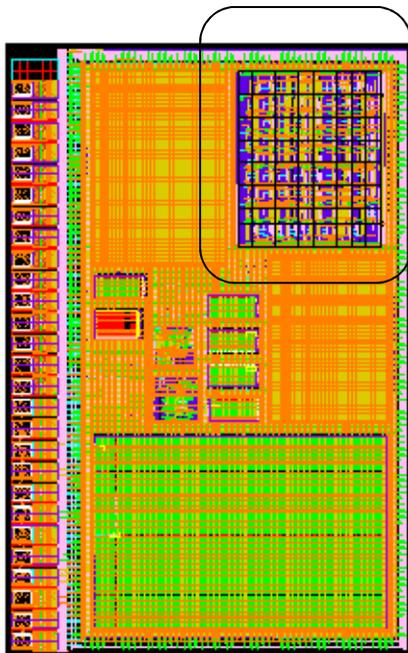


Circuits FPGA « custom » Télécom ParisTech

Projet **SAFE** : 65nm
FPGA asynchrone 3x3



Projet **FASE** : 130nm
FPGA reconfigurable
dynamiquement 8x8



Projet **SeFPGA** : 65nm
FPGA en arbre
2048 cellules

