



Du transistor à la logique CMOS

Mise en perspective

Eloi de Chérisey, Sylvain Guilley



Table des matières

Introduction

Le transistor à effet de champ

- Du transistor bipolaire au FET

- Fonctionnement des transistors MOS

- Simplifications

Construction de portes logiques

- Le modèle interrupteur

- La logique complémentaire CMOS

- Portes complexes

- Pourquoi les PMOS en haut et les NMOS en bas ?

Vitesse de traitement

TD

Table des matières

Introduction

Le transistor à effet de champ

Du transistor bipolaire au FET

Fonctionnement des transistors MOS

Simplifications

Construction de portes logiques

Le modèle interrupteur

La logique complémentaire CMOS

Portes complexes

Pourquoi les PMOS en haut et les NMOS en bas ?

Vitesse de traitement

TD



Objectifs

- Comprendre le fonctionnement d'un transistor à effet de champ (transistor FET).



Objectifs

- Comprendre le fonctionnement d'un transistor à effet de champ (transistor FET).
- Connaître les états passant et bloqué pour un transistor dopé N ou P.



Objectifs

- Comprendre le fonctionnement d'un transistor à effet de champ (transistor FET).
- Connaître les états passant et bloqué pour un transistor dopé N ou P.
- En déduire la construction de portes simples.



Objectifs

- Comprendre le fonctionnement d'un transistor à effet de champ (transistor FET).
- Connaître les états passant et bloqué pour un transistor dopé N ou P.
- En déduire la construction de portes simples.
- Maîtriser la dualité entre transistors PMOS et NMOS dans une fonction logique.



Objectifs

- Comprendre le fonctionnement d'un transistor à effet de champ (transistor FET).
- Connaître les états passant et bloqué pour un transistor dopé N ou P.
- En déduire la construction de portes simples.
- Maîtriser la dualité entre transistors PMOS et NMOS dans une fonction logique.
- Appréhender la notion de temps de propagation et de temps de basculement.



Table des matières

Introduction

Le transistor à effet de champ

Du transistor bipolaire au FET

Fonctionnement des transistors MOS

Simplifications

Construction de portes logiques

Le modèle interrupteur

La logique complémentaire CMOS

Portes complexes

Pourquoi les PMOS en haut et les NMOS en bas ?

Vitesse de traitement

TD

Rappels sur le transistor bipolaire

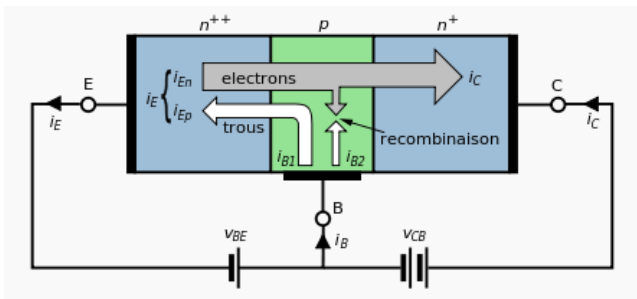


Figure : Schéma de fonctionnement d'un transistor bipolaire

Rappels sur le transistor bipolaire

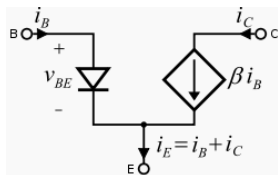


Figure : Modèle de fonctionnement d'un transistor bipolaire

Principal inconvénient

En commutation, on aura toujours un courant de fuite entre la base et le collecteur.

Présentation du transistor à effet de champ

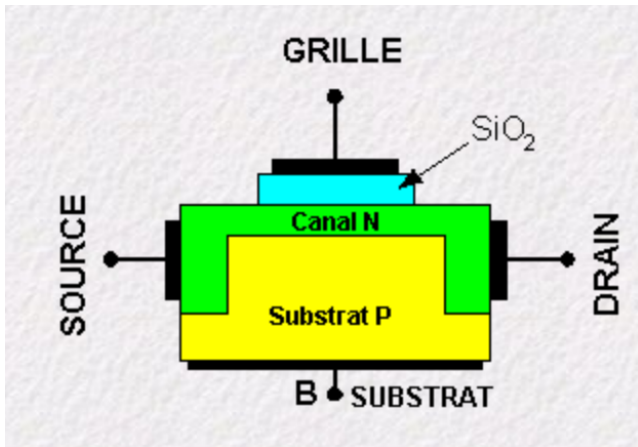


Figure : Schéma d'un transistor à canal N - NMOS

Présentation du transistor à effet de champ

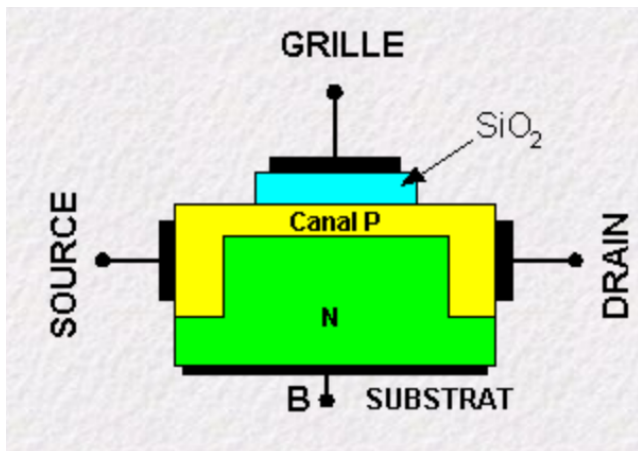


Figure : Schéma d'un transistor à canal P - PMOS

Régimes de fonctionnement des transistors MOS

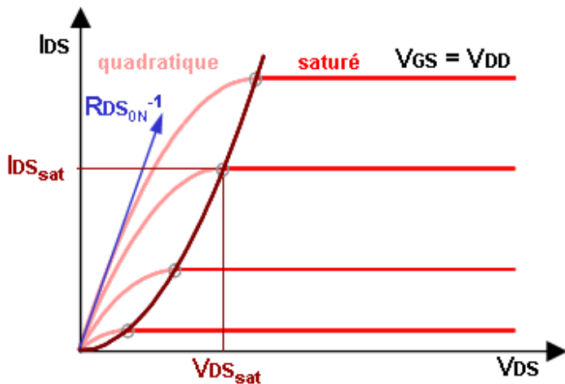


Figure : Régime de fonctionnement du transistor NMOS

Régimes de fonctionnement des transistors MOS

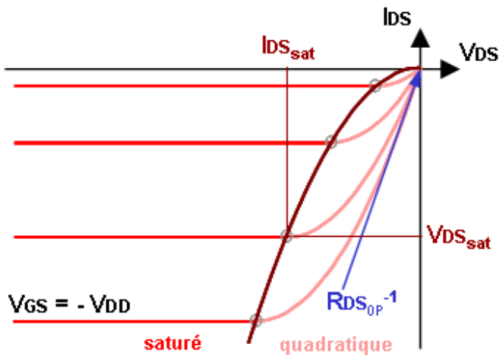


Figure : Régime de fonctionnement du transistor PMOS

Conditions des différents régimes

Conditions		Régime	Courant
$V_{GS} \leq V_{TN}$	$\forall V_{DS}$	bloqué	$I_{DS} = 0$
$V_{GS} > V_{TN}$	$V_{DS} < V_{DS_{sat}}$	quadratique	$I_{DS} = 2 \cdot K_n \cdot \left(V_{GS} - V_{TN} - \frac{V_{DS}}{2} \right) \cdot V_{DS}$ $K_n = \frac{1}{2} \mu_{0N} \cdot C'_{ox} \frac{W}{L}$ <p>et $V_{DS_{sat}} = V_{GS} - V_{TN}$</p>
	$V_{DS} \geq V_{DS_{sat}}$	saturé	$I_{DS_{sat}} = K_n \cdot (V_{GS} - V_{TN})^2$
$V_{GS} = V_{DD}$	$V_{DS} \approx 0$	ohmique	$R_{DS_{0n}} = \frac{1}{2 \cdot K_n \cdot (V_{DD} - V_{TN})}$

Figure : Tableau récapitulatif des régimes pour un NMOS

Conditions des différents régimes

Conditions		Régime	Courant
$V_{GS} \geq V_{TP}$	$\forall V_{DS}$	bloqué	$I_{DS} = 0$
$V_{GS} < V_{TP}$	$V_{DS} > V_{DS_{sat}}$	quadratique	$I_{DS} = -2 \cdot K_p \cdot \left(V_{GS} - V_{TP} - \frac{V_{DS}}{2} \right) \cdot V_{DS}$ $K_p = \frac{1}{2} \mu_{0P} \cdot C'_{ox} \frac{W}{L}$ <p>et $V_{DS_{sat}} = V_{GS} - V_{TP}$</p>
	$V_{DS} \leq V_{DS_{sat}}$	saturé	$I_{DS_{sat}} = -K_p \cdot (V_{GS} - V_{TP})^2$
$V_{GS} = -V_{DD}$	$V_{DS} \approx 0$	ohmique	$R_{DS_{0P}} = -\frac{1}{2 \cdot K_p \cdot (-V_{DD} - V_{TP})}$

Figure : Tableau récapitulatif des régimes pour un PMOS



A retenir

1. Dans un premier temps, on ne retient que les états bloqués et saturés pour chacun des deux transistors.
2. Avec ces hypothèses, aucun courant de fuite : donc aucune perte (on verra après les limites de cette hypothèse).

A retenir

1. Dans un premier temps, on ne retient que les états bloqués et saturés pour chacun des deux transistors.
2. Avec ces hypothèses, aucun courant de fuite : donc aucune perte (on verra après les limites de cette hypothèse).
3. Le transistor NMOS est donc passant si $V_G = V_{DD}$ et bloqué si $V_G = 0$.
4. Au contraire, un transistor PMOS est passant si $V_G = 0$ et bloqué si $V_G = V_{DD}$.



Table des matières

Introduction

Le transistor à effet de champ

Du transistor bipolaire au FET

Fonctionnement des transistors MOS

Simplifications

Construction de portes logiques

Le modèle interrupteur

La logique complémentaire CMOS

Portes complexes

Pourquoi les PMOS en haut et les NMOS en bas ?

Vitesse de traitement

TD

Modèle interrupteur







dipôle d'entrée	niveau logique sur la grille	
	0	1
transistor	modèle en interrupteur du dipôle de sortie	
NMOS	O	F
		
PMOS	F	O
		

Figure : Récapitulatif du modèle interrupteur des transistors MOS

Rappel

Un niveau d'entrée 0 correspond à $V_G = 0$. Un 1 correspond à $V_G = V_{DD}$.

Branches en série

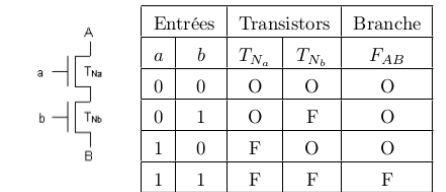


Figure : Deux transistors NMOS en série

Branches en série

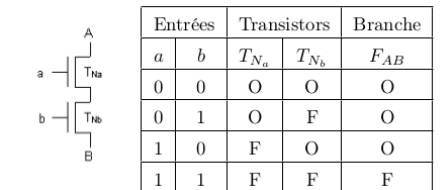


Figure : Deux transistors NMOS en série

Logique

$$F_{AB} = a.b$$

Branches en série

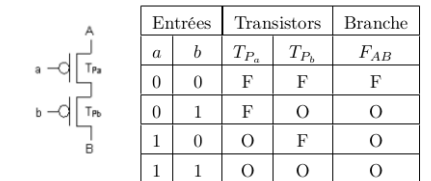


Figure : Deux transistors PMOS en série

Branches en série

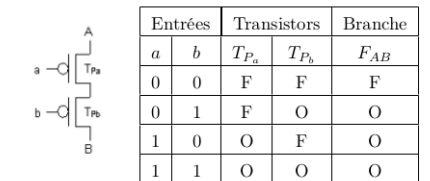


Figure : Deux transistors PMOS en série

Logique

$$F_{AB} = \bar{a} \cdot \bar{b}$$

Branches en parallèle

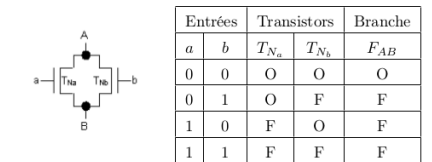
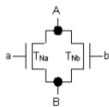


Figure : Deux transistors NMOS en parallèle

Branches en parallèle



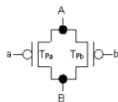
Entrées		Transistors		Branche
a	b	T_{Na}	T_{Nb}	F_{AB}
0	0	O	O	O
0	1	O	F	F
1	0	F	O	F
1	1	F	F	F

Figure : Deux transistors NMOS en parallèle

Logique

$$F_{AB} = a + b$$

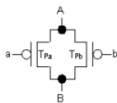
Branches en parallèle



Entrées		Transistors		Branche
a	b	T_{P_a}	T_{P_b}	F_{AB}
0	0	F	F	F
0	1	F	O	F
1	0	O	F	F
1	1	O	O	O

Figure : Deux transistors PMOS en parallèle

Branches en parallèle



Entrées		Transistors		Branche
a	b	T_{P_a}	T_{P_b}	F_{AB}
0	0	F	F	F
0	1	F	O	F
1	0	O	F	F
1	1	O	O	O

Figure : Deux transistors PMOS en parallèle

Logique

$$F_{AB} = \bar{a} + \bar{b} = \overline{a \cdot b}$$

Pourquoi la logique CMOS ?

Exemple avec une porte NOT

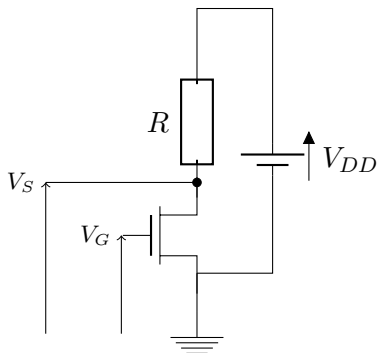


Figure : Schéma d'une porte inverseuse avec un transistor NMOS

Pourquoi la logique CMOS ? (suite)

Résultats de l'analyse précédente:

1. Lorsque $V_G = V_{DD}$ ("1" logique), alors l'interrupteur est fermé. On a donc $V_S = 0V$, soit un "0" logique.
2. Dans le cas où $V_G = 0V$, l'interrupteur est ouvert. aucun courant ne circule donc dans la résistance. On a donc $V_S = V_{DD}$, ce qui correspond à un "1" logique.

Pourquoi la logique CMOS ? (suite)

Résultats de l'analyse précédente:

1. Lorsque $V_G = V_{DD}$ ("1" logique), alors l'interrupteur est fermé. On a donc $V_S = 0V$, soit un "0" logique.
2. Dans le cas où $V_G = 0V$, l'interrupteur est ouvert. aucun courant ne circule donc dans la résistance. On a donc $V_S = V_{DD}$, ce qui correspond à un "1" logique.
3. Or, dans le cas où $V_G = V_{DD}$, on remarque qu'un courant traverse la résistance. C'est de la puissance dissipée (beaucoup même...).

Pourquoi la logique CMOS ? (suite)

Résultats de l'analyse précédente:

1. Lorsque $V_G = V_{DD}$ ("1" logique), alors l'interrupteur est fermé. On a donc $V_S = 0V$, soit un "0" logique.
2. Dans le cas où $V_G = 0V$, l'interrupteur est ouvert. aucun courant ne circule donc dans la résistance. On a donc $V_S = V_{DD}$, ce qui correspond à un "1" logique.
3. Or, dans le cas où $V_G = V_{DD}$, on remarque qu'un courant traverse la résistance. C'est de la puissance dissipée (beaucoup même...).
4. On introduit donc des montages complémentaires dans lequel on minimise au maximum la puissance dissipée.



Logique CMOS

Le C de CMOS signifie complémentaire. Au lieu de mettre une branche active et une branche passive, on met deux branches actives qui ont un comportement opposé. Par exemple, l'inverseur devient:

Logique CMOS

Le C de CMOS signifie complémentaire. Au lieu de mettre une branche active et une branche passive, on met deux branches actives qui ont un comportement opposé. Par exemple, l'inverseur devient:

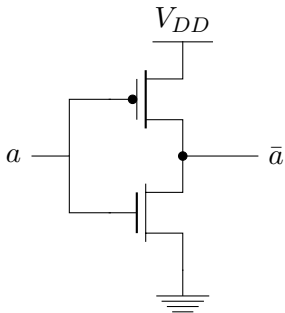


Figure : Schéma d'une porte NOT en logique CMOS

Portes complexes

Les portes complexes possèdent un réseau P et un réseau N.

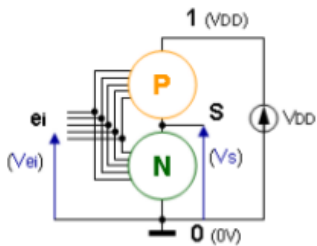
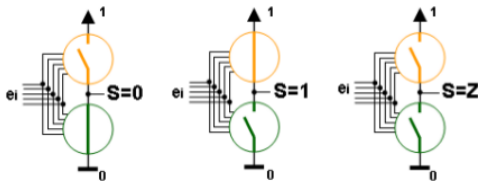


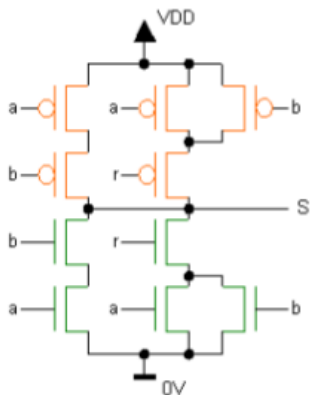
Figure : Schéma de principe d'une porte complexe

Principes de fonctionnement

- Chaque entrée doit commander au moins une paire d'interrupteurs (un N et un P).
- Un seul réseau doit être passant à la fois.
- Tolérance sur la possibilité d'avoir les deux états bloqués à la fois.



Exemple d'analyse avec une porte logique





Première méthode avec une table de vérité

Exercice

Faites la table de vérité pour en déduire la fonction.

Première méthode avec une table de vérité

Exercice

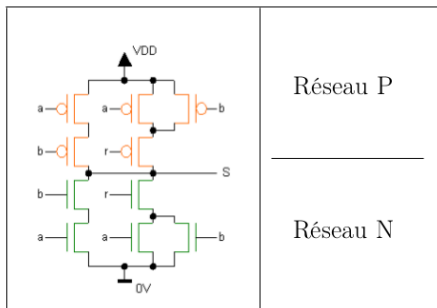
Faites la table de vérité pour en déduire la fonction.

entrées			réseaux		sortie
a	b	r	N	P	S
0	0	0	O	F	1
0	0	1	O	F	1
0	1	0	O	F	1
0	1	1	F	O	0
1	0	0	O	F	1
1	0	1	F	O	0
1	1	0	F	O	0
1	1	1	F	O	0

Deuxième méthode avec une analyse par réseau

Exercice

Faites l'analyse pour le réseau P, puis le réseau N. Constatez qu'on obtient le même résultat.



Synthèse de portes

Exercice

Synthétisez les portes suivantes à deux entrées :

- NAND
- NOR
- AND
- OR

Pourquoi les réseaux dans ce sens ?

Il faut prendre en compte un modèle avec une capacité parasite (notée C_L). Par exemple, pour l'inverseur, on a le modèle suivant :

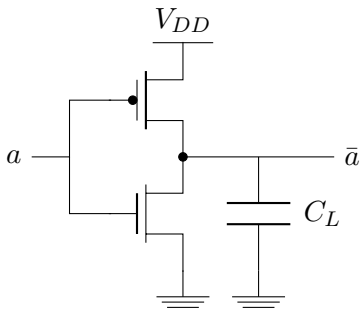
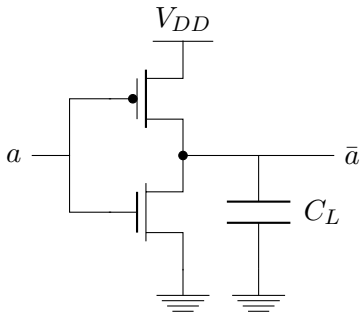


Figure : Modèle de l'inverseur avec capacité parasite

Comparaison des deux sens

Exercice

Etudiez la charge et la décharge du condensateur en considérant le circuit suivant :



Comparaison des deux sens

Exercice

Etudiez la charge et la décharge du condensateur en considérant le circuit suivant :

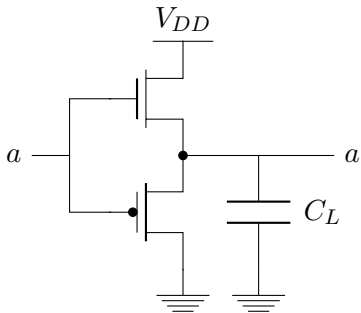




Table des matières

Introduction

Le transistor à effet de champ

Du transistor bipolaire au FET

Fonctionnement des transistors MOS

Simplifications

Construction de portes logiques

Le modèle interrupteur

La logique complémentaire CMOS

Portes complexes

Pourquoi les PMOS en haut et les NMOS en bas ?

Vitesse de traitement

TD

Chemin critique

Definition

Le chemin critique est le plus long chemin possible en terme de temps de propagation.

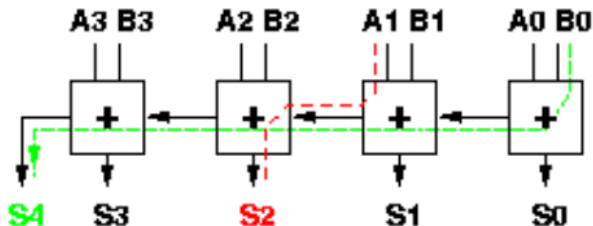


Figure : Exemple de chemin critique pour un additionneur 4 bits

Temps de propagation

La définition du temps de propagation d'une porte doit permettre par simple additivité de déterminer le temps de propagation d'une chaîne de portes. On distingue:

- Le temps de propagation de A vers la sortie pour une transition montante de la sortie.
- Le temps de propagation de A vers la sortie pour une transition descendante de la sortie.

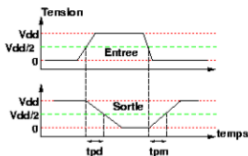


Figure : Temps de propagation d'une porte

Modèle du temps de propagation



Figure : Modèle du temps de propagation

A retenir

Le temps de propagation s'écrit :

$$t_p = t_{p0} + dt_p \cdot C_{EA}$$



Table des matières

Introduction

Le transistor à effet de champ

Du transistor bipolaire au FET

Fonctionnement des transistors MOS

Simplifications

Construction de portes logiques

Le modèle interrupteur

La logique complémentaire CMOS

Portes complexes

Pourquoi les PMOS en haut et les NMOS en bas ?

Vitesse de traitement

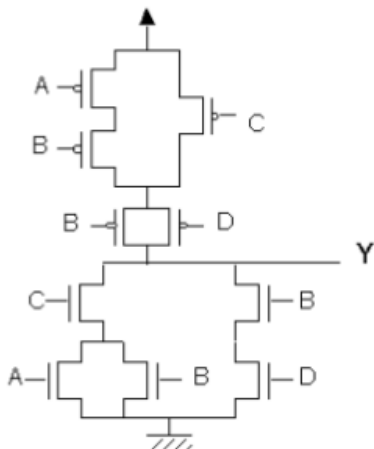
TD

Exercice 1

Considérez le réseau de la diapositive suivante :

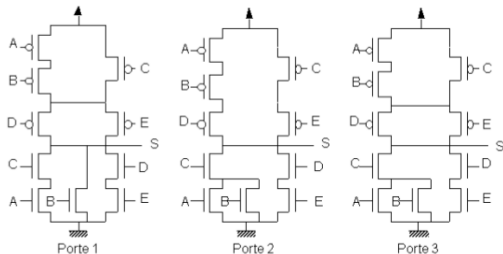
1. En considérant que Y est à 1 uniquement si le réseau P est passant, donnez l'expression de la fonction logique Y en utilisant la structure du réseau de transistors P.
2. En considérant que Y est à 0 uniquement si le réseau N est passant, donnez l'expression de la fonction logique Y en utilisant la structure du réseau de transistors N.
3. Vérifiez que les fonctions obtenues à l'aide du réseau P puis du réseau N sont bien identiques.
4. Dressez le tableau de Karnaugh de la fonction Y . En simplifiant la fonction trouvez une alternative au réseau de transistors P.

Exercise 1



Exercice 2

1. Un seul des trois montage est correct. Lequel ?
2. Quelle est sa fonction logique ?
3. Pour les portes défectueuses, trouvez une combinaison pouvant amener à une erreur.

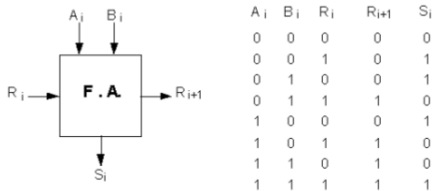


Exercice 3

1. Synthétisez la fonction majorité complémentée :
 $\overline{\text{Maj}}(a, b, c) = \overline{ab + bc + ac}$. Trouvez une structure minimisant le nombre de transistors.
2. Montrez que $\overline{\text{Maj}}(a, b, c) = \text{Maj}(\bar{a}, \bar{b}, \bar{c})$.
3. Déduisez-en une structure symétrique entre les réseaux P et N. Quelle est l'intérêt d'une telle symétrie ?

Exercice 4

On rappelle la table de vérité d'un additionneur 1 bit:



1. Proposez une structure de porte CMOS pour réaliser la fonction R_{i+1} .
2. Vérifiez que S_i peut s'écrire sous la forme $S_i = a_i b_i r_i + \overline{r_{i+1}}(a_i + b_i + r_i) = a_i \oplus b_i \oplus r_i$.
3. En utilisant le même raisonnement que pour la fonction Majorité, trouvez une structure optimale de la fonction S_i .